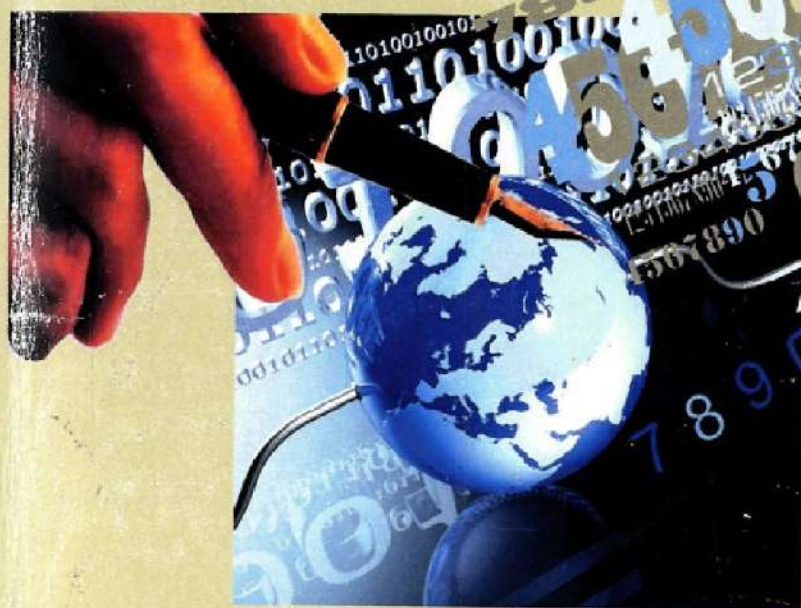


**В.А.Галочкин**

# СХЕМОТЕХНИКА АНАЛОГОВЫХ И ЦИФРОВЫХ УСТРОЙСТВ



Федеральное агентство связи  
Федеральное государственное образовательное бюджетное  
Учреждение профессионального высшего образования  
«Поволжский государственный университет  
телекоммуникаций и информатики»

Кафедра радиосвязи, радиовещания и телевидения

**Галочкин В.А.**

**СХЕМОТЕХНИКА**  
**аналоговых и цифровых устройств**

Учебное пособие

**Рекомендовано**

ФГАОУ ВО «Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В.И. Ульянова (Ленина)» в качестве учебного пособия для специалистов высших учебных заведений, обучающихся по направлению подготовки «Информатика и вычислительная техника», «Управление в технических системах», «Радиотехника».

Регистрационный номер рецензии 2988 от 26.02.2015г. ФГБОУ ВПО Московский государственный университет печати им. И.Федорова.

Самара – 2016

УДК 621. 385

**Галочкин В.А. «Схемотехника аналоговых и цифровых устройств».** Учебное пособие. Под редакцией д.т.н., профессора Елисеева С.Н. - Самара: ФГОБУ ВПО ПГУТИ 2016г- 441с.

**ISBN 978-5-904029-51-7**

Рассматриваются принципы построения и схемотехника аналоговых и цифровых устройств полупроводниковой электроники; Предназначено для студентов дневной и заочной форм обучения, а также для специалистов направлений «Информатика и вычислительная техника», «Управление в технических системах» и «Радиотехника».

Рецензент: д.т.н., профессор Тяжев А.И.

ФГОБУ ВПО «Поволжский государственный университет телекоммуникаций и информатики»

ISBN 978-5-904029-51-7

© Галочкин В.А., 2016



- Галочкин Владимир Андреевич; доцент, заместитель заведующего кафедрой радиосвязи, радиовещания и телевидения; факультет телекоммуникаций и радиотехники Поволжского государственного университета телекоммуникаций и информатики (ПГУТИ);
- Ученая степень, - к.т.н.,
- Академическое звание - старший научный сотрудник
- Почетный радист.
- Область научных интересов: надежность радиоэлектронных устройств; электроника и схемотехника.

ка, наноэлектроника.

- автор и руководитель внедренных разработок:
  - по автоматизации, дистанционному контролю и управлению с использованием каналов радиосвязи мощными КВ радиопередатчиками (радиоцентры г. Самары, Хабаровска, Москвы, Московской области);
  - по дистанционному контролю и управлению с использованием каналов радиосвязи энергообъектами предприятий по добыче и переработке нефти Самарского региона ОАО «Самаранефтегаз»;
  - по дистанционному телевизионному технологическому контролю и наблюдению за объектами по переработке нефти предприятий ОАО «Самаранефтегаз» (комплексы установлены на объектах нефтедобычи и нефтепереработки НГДУ «Кинельнефть», НГДУ «Первомайнефть», НГДУ «Жигулевскнефть» Самарского региона);
- автор более 50 опубликованных научных работ.

## Список сокращений и обозначений

АЛУ - арифметическо-логическое устройство  
АПХ – амплитудная передаточная характеристика  
АЧХ - амплитудно-частотная характеристика  
АХ - амплитудная характеристика  
АЦП – аналого-цифровой преобразователь  
АЭУ - аналоговое электронное устройство  
БИС – большая интегральная схема  
БМК - базовый матричный кристалл  
ВЧ - высокая частота  
ГСТ - генератор стабильного тока  
ДМДП - динамическая логика на МДП-транзисторах  
ДТЛ – диодно – транзисторная логика  
ДУ - дифференциальный усилитель  
ДК - дифференциальный каскад  
ЗУ – запоминающее устройство  
ЗУПВ – запоминающее устройство произвольной выборкой  
ИИЛ или  $I^2L$  – инжекторно – интегральная логика.  
ИМС - интегральная микросхема  
ИП - источник питания  
ИС - интегральная схема  
КМДП - логические элементы на комплементарных МДП-транзисторах  
КМОП - комплементарный полевой транзистор  
КПД - коэффициент полезного действия  
ЛПД - лавинно-пролетный диод  
МаБИС – матричная большая интегральная схема  
МБ – младший байт  
МДП - структура «металл-диэлектрик-полупроводник»  
МИС – малая интегральная схема  
МОП - структура “металл-окисел-полупроводник”  
МП – микропроцессор

МПЦОС – микропроцессор цифровой обработки сигналов  
НСТЛ - транзисторная логика с непосредственными связями

НЧ - низкая частота

ОБ - общая база

ОЗ - общий затвор

ОЗУ – оперативное запоминающее устройство

ОИ - общий исток

ОК - общий коллектор

ОС - общий сток

ООС - отрицательная обратная связь

ОЭ - общий эмиттер

ПД - полупроводниковый диод

ПЗУ – постоянное запоминающее устройство

ПЛИС – программируемая логическая интегральная схема

ПЛИМ - программируемая логическая матрица

ПМЛ – программируемая матричная логика

ППЗУ - постоянное запоминающее устройство с однократным программированием по заданной программе

ПОС - положительная обратная связь

ПТ - полевой транзистор

ПУ - предварительный усилитель

ПФ – полосовой фильтр

ПХ - переходная характеристика

РПЗУ - постоянное запоминающее устройство перепрограммируемое (репрограммируемое), с возможностью многократного электрического перепрограммирования

РТЛ – резисторно – транзисторная логика

СБ – старший байт

СБИС – сверхбольшая интегральная схема

СИС – средняя интегральная схема

ССИС – сверхскоростная интегральная схема

ТЛИП - транзисторные логические элементы с инжекционным питанием  
ТТЛ – транзисторно- транзисторная логика  
ТТЛШ - транзисторно- транзисторная логика с транзистором с диодом Шотки  
ТКН - температурный коэффициент напряжения  
ТЯ – топологическая ячейка  
УПТ - усилитель постоянного тока  
УНЧ - усилитель низкой частоты  
УЭ - усилительный элемент  
ФВЧ – фильтр верхних частот  
ФНЧ – фильтр нижних частот  
ФЧХ -фазочастотная характеристика  
ФНЧ – фильтр нижних частот  
ФЯ – функциональная ячейка  
ЦАП – цифро-аналоговый преобразователь  
ЦОС – цифровая обработка сигналов  
ЦИС - цифровая интегральная схема  
ЧХ - частотная характеристика  
ША - шина адреса  
ШД - шина данных  
ШПУ - широкополосные усилители  
ЭЗУ – элементарное запоминающее устройство  
ЭЗЭ - элементарный запоминающий элемент  
ЭСЛ – эмиттерно-связанная логика

## ВВЕДЕНИЕ

Электроника является универсальным и исключительно эффективным средством при решении самых различных проблем в области сбора и преобразования информации, автоматического и автоматизированного управления, выработки и преобразования энергии. Знания в области электроники становятся необходимыми все более широкому кругу специалистов/1/.

С помощью радиоэлектронных систем и устройств можно решать такие задачи, как передача информации и ее извлечение из электромагнитного колебания, хранение и отображение информации, передача команд на управляемые объекты, контроль и обеспечение работоспособности производственных и измерительных систем.

Ежегодно появляются в мире многие десятки новых моделей аналоговых и аналого-цифровых интегральных микросхем (ИМС) – гибридных и монолитных /2/.

Получила бурное развитие микросхемотехника. Она послужила основой развития информационной (цифровой) электроники. В свою очередь, потребности информационной электроники привели к созданию больших (БИС), а затем и сверхбольших (СБИС) интегральных схем. Логическим завершением этого этапа развития явилось создание микропроцессоров, микроЭВМ и больших ЭВМ./3/

Цифровая электроника играет важнейшую роль в деле обеспечения надежности, помехоустойчивости при создании современных систем и устройств связи, телевидения, автоматизированных систем управления, устройств радиоэлектроники. Основу цифровой электроники составляют логические элементы, регистры, счетчики, шифраторы и дешифраторы, мультиплексоры и демультиплексоры, запоминающие устройства. Устройства преобразования аналоговых сигналов в цифровые сигналы и их обратного



преобразования присутствуют, как правило, в любом современном приборе или устройстве.

Данное учебное пособие написано для студентов, обучающихся по направлениям (специальностям):

- 230100.62 «Информатика и вычислительная техника» с профилем подготовки «Программное обеспечение средств вычислительной техники и автоматизированных систем»;
- 220400.62 «Управление в технических системах» с профилем подготовки «Управление и информатика в технических системах»;
- 210400.62 «Радиотехника» с профилем подготовки «Радиотехника».

Учебное пособие написано на основе лекций, читаемых автором по дисциплинам «Электротехника, электроника и схемотехника», модуль «Схемотехника», «Схемотехника аналоговых электронных устройств», «Схемотехника цифровых устройств». По всем основным разделам пособия разработан лабораторный практикум /5,8/.

Учитывая сложность дисциплины «Схемотехника» и квалификацию выпускников - бакалавр, изложение материала учебного пособия выполнено максимально простым для понимания языком. Отобраны и приведены принципы работы наиболее важных, распространенных схем, составляющих основу современной аналоговой и цифровой электроники.

## Лекция 1

### **Тема: основные технические характеристики и показатели аналоговых электронных устройств (АЭУ)**

Оценка (количественная) АЭУ производится по его техническим показателям: усиление, искажения, точность преобразования, по уровням  $U_{вх}$  и  $U_{вых}$ , и т. д. Эти показатели позволяют оценить возможность использования АЭУ для тех или иных целей. Большинство параметров АЭУ совпадает с параметрами усилителей, т. к. основная масса АЭУ построена на их основе

#### **1.1. Стандартизация. Унификация**

Для устройств широкого применения показатели и методы их определения указаны в Государственных или Отраслевых стандартах (ГОСТ, ОСТ). Например, ГОСТ 23850-85 — “Аппаратура радиоэлектронная бытовая. Методы измерения акустических параметров”. Стандартизация тесно связана с унификацией (уменьшение числа типов), объектом которой могут быть как устройства, так и узлы. К унифицированным узлам аналоговых устройств, выпускаемым в массовом количестве, относятся интегральные микросхемы операционных усилителей, стабилизаторов, перемножителей, компараторов и т. д., а также специализированные микросхемы для радиоприемных устройств, телевизионных устройств и т. д. Стандартизация и унификация позволяют упростить разработку, удешевить производство, упростить ремонт техники.

## 1.2. Входное и выходное сопротивление

Входное сопротивление  $Z_{\text{вх}}$  усилителя или другого АЭУ — это внутреннее сопротивление между его входными зажимами. В большинстве случаев — это параллельное соединение входного сопротивления (активного, резистивного)  $R_{\text{вх}}$  и входной емкости  $C_{\text{вх}}$ . Желательно, как правило, иметь большое сопротивление  $R_{\text{вх}}$  и малую емкость  $C_{\text{вх}}$ .

Выходное сопротивление  $Z_{\text{вых}}$  — это внутреннее сопротивление между его выходными зажимами. По отношению к нагрузке усилитель (или АЭУ) является источником колебаний с внутренним сопротивлением  $Z_{\text{вых}}$ . В области средних частот  $Z_{\text{вых}}$  можно считать активным.

Если усилитель работает на нагрузку, подключенную через коаксиальный кабель, то  $R_{\text{вых}}$  должно быть равно 75 Ом во избежание отражений и искажений сигнала.

Для усилителя низкой частоты (УНЧ) желательно, чтобы  $Z_{\text{вых}}$  было как можно меньше — это ослабляет зависимость  $U_{\text{вых}}$  от  $Z_{\text{н}}$ . Последнее важно, если усилитель работает на нестабильную нагрузку.

## 1.3. Коэффициенты усиления (передачи)

Коэффициент усиления (или передачи) напряжения  $K_U$  — это отношение амплитуды выходного напряжения  $U_{\text{вых}}$  к амплитуде входного напряжения  $U_{\text{вх}}$  (рис.1-1):

$$K_U = U_{\text{вых}} / U_{\text{вх}}$$

Он определяется в установившемся режиме при гармоническом (синусоидальном) входном сигнале и в дальнейшем для простоты обозначается через  $K$  (без индекса  $U$ ).

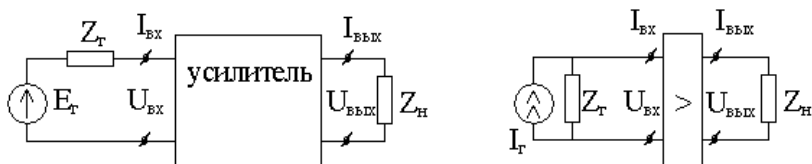


рис.1-1

Отношение  $K_{\text{СКВ}} = U_{\text{ВЫХ}} / E_T$  называется сквозным коэффициентом передачи.

Из рисунка следует, что

$$\underline{K}_{\text{СКВ}} = \underline{K}_{\text{ВХ}} \cdot \underline{K},$$

где  $\underline{K}_{\text{ВХ}} = \underline{Z}_{\text{ВХ}} / (\underline{Z}_T + \underline{Z}_{\text{ВХ}})$  — коэффициент передачи (в комплексной форме) входной цепи, состоящей из входного  $\underline{Z}_{\text{ВХ}}$  и  $\underline{Z}_T$ .

Коэффициент усиления (передачи) тока  $K_I$ :

$$K_I = I_{\text{ВЫХ}} / I_{\text{ВХ}}$$

— используется реже, т. к. технологически его трудно измерять (необходим разрыв цепи).

Иногда используют понятие сопротивление передачи:

$$Z_{\text{П}} = U_{\text{ВЫХ}} / I_{\text{ВХ}},$$

или проводимости передачи:

$$Y_{\text{П}} = I_{\text{ВЫХ}} / U_{\text{ВХ}}.$$

## 1.4. Коэффициент усиления (передачи) по мощности

$$K_p = P_n / P_{вх} .$$

где  $P_n$  - мощность в нагрузке;  $P_{вх}$  - входная мощность.

Так как громкость звукового восприятия звукового сигнала пропорциональна логарифму его интенсивности, для сравнения мощностей используют логарифмическую единицу “Бел” (по имени изобретателя телефона А. Белла).

Коэффициент усиления (передачи) по мощности выражают и в более мелких единицах — дециБелах:

$$K_p[\partial B] = 10 \lg K_p.$$

Если  $R_n = R_{вх} = R$ , то:

$$K_p[\partial B] = 10 \lg \frac{\frac{U_{вых}^2}{R}}{\frac{U_{вх}^2}{R}} = 20 \lg \frac{U_{вых}}{U_{вх}}$$

Это удобно, так как позволяет перемножение коэффициентов усиления заменить сложением.

## 1.5. Амплитудно - и фазочастотная характеристики

Комплексный коэффициент усиления по напряжению:

$$\underline{K} = K \cdot e^{j\varphi} .$$

где  $K$  — это модуль коэффициента усиления;  $\varphi$  — фаза выходного сигнала.

Зависимость модуля коэффициент усиления от частоты  $K = f(\omega)$  — это амплитудно-частотные характеристики усилителя — рис.1-2 а) и зависимость  $\varphi = f(\omega)$  — это фазочастотная характеристика — рис.1-2 б).

Здесь  $\omega = 2\pi f$ ;  $K_0$  — коэффициент усиления на средней частоте;  $y$  — относительный коэффициент усиления;  $d$  — допустимый уровень снижения коэффициента усиления;  $\varphi$  (в градусах) — фаза выходного сигнала (относительно входного);

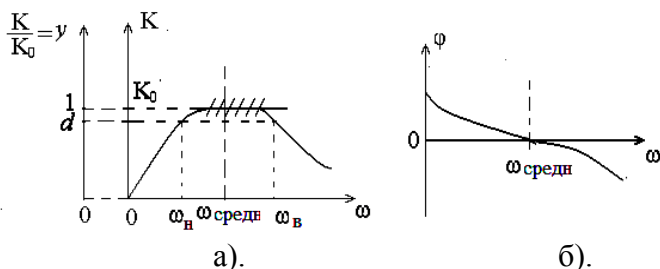


рис.1-2

Для АЧХ типичным является наличие так называемой области средних частот, где  $K$  почти не зависит от  $\omega$  и обозначается  $K_0$ . Как правило, по оси ординат используют относительный масштаб, откладывая относительное усиление  $y = K/K_0$ . Такая АЧХ  $y(\omega)$  или  $y(f)$  называется нормированной. На нижних и верхних частотах АЧХ обычно спадает. Частоты, на которых относительное усиление  $y$  уменьшается до условной величины  $d$ , называются граничными частотами усиления. Типовым (стандартным) условием считается значение

$$d = \frac{1}{\sqrt{2}} = 0,707.$$

Диапазон  $f_{\text{в}} \dots f_{\text{н}}$  — называется полосой пропускания усилителя.

Из-за спада АЧХ на краях полосы не все спектральные составляющие сложного входного колебания усиливаются одинаково — возникают частотные искажения (амплитудно-частотные). Они оцениваются коэффициентом частотных искажений:

$$M = K_0 / K = 1 / y,$$

который определяют на граничной частоте и выражают в дециБелах:

$$M [\text{дБ}] = 20 \lg M.$$

Для звуковых частот — это изменение тембра. Для звуковых частот допустимо  $M = 3 \text{ дБ}$  (1,41 раза); для измерительных устройств  $\leq 0,1 \text{ дБ}$  и т. д.

Зависимость фазового сдвига от частоты рис. 1-2 б) называется фазочастотной (фазовой) характеристикой. Если фазовая характеристика (ФЧХ) четырехполюсника не является прямой, исходящей из начала координат, то время прохождения через четырехполюсник различных спектральных составляющих сложного колебания — различно. Это приводит к искажению его формы, т. е. фазочастотным (фазовым) искажениям.

Частотные и фазовые искажения называются линейными, т. к. создаются за счет  $L$  и  $C$  схемы, которые являются линейными элементами. Линейные искажения меняют форму сложного колебания, а форму гармонического (синусоидального) колебания не изменяют.

Масштаб по оси  $\omega$  — для АЧХ и ФЧХ обычно берут логарифмический.

рифмический, так как он удобен - растягивается нижняя и сжимается верхняя область частот. Таким образом, можно подробно рассматривать равные (относительные) интервалы изменения частоты в любой ее области.

## 1.6. Переходная характеристика

Переходной характеристикой (ПХ) называется зависимость мгновенного значения выходного напряжения  $U_{\text{вых}}$  от времени при подаче на вход небольшого перепада напряжения, не вызывающего перегрузку усилителя. ПХ подобно АЧХ обычно строят в относительном масштабе (рис.1-3):

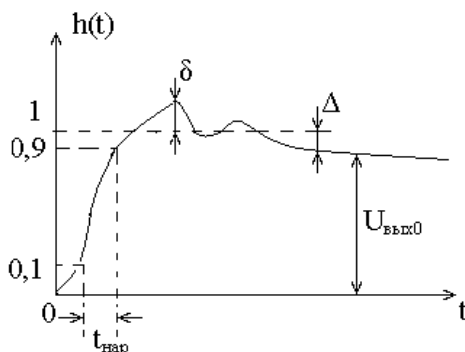


рис.1-3

По вертикали отношение  $h(t) = \frac{U_{\text{вых}}(t)}{U_{\text{вых0}}}$ , где  $U_{\text{вых}}(t)$  — выходное напряжение;  $U_{\text{вых0}}$  — выходное напряжение после установления фронта.

По существу, это есть ПХ коэффициента передачи по напряжению. Но можно строить ПХ и для других передаточных функций.

Время изменения нормированной ПХ от 0,1 до 0,9 называется временем нарастания  $t_{\text{нар}}$ .



Часто в конце фронта получается выброс иногда с последующими колебаниями на вершине ПХ.

Относительная величина выброса  $\delta$  измеряется в процентах (%). Спад верхней части ПХ обозначается  $\Delta$ . Эти величины нормируются при проектировании изделия.

ПХ однозначно определяет АЧХ и ФЧХ АЭУ — это всего лишь иной метод их оценки, оценки качества устройства — временной метод.

Иногда оценку производят по импульсной характеристике — реакции усилителя на очень короткий импульс, что по существу является производной от ПХ.

## 1.7. Нелинейные искажения

Нелинейные искажения — это изменения формы сигнала, обусловленные кривизной характеристик диодов, транзисторов, полупроводниковых конденсаторов, микросхем и т. д.

Параметры нелинейных элементов зависят от воздействующего на них тока или напряжения. Отличительным признаком нелинейных искажений является то, что им подвержены даже гармонические (синусоидальные) колебания. На этом основана их количественная оценка.

Коэффициент гармоник — это отношение эффективного (действующего) значения суммы высших гармоник выходного напряжения к эффективному значению его первой гармоники:

$$K_r = \frac{\sqrt{U_2^2 + U_3^2 + U_4^2 + \dots}}{U_1}$$

Можно использовать не эффективные значения, а амплитудные. Можно использовать также значения токов. Иногда используют коэффициенты отдельных гармоник:

$$K_{Г2} = \frac{U_{2Г}}{U_1} = \frac{I_2}{I_1}.$$

В звуковых усилителях эти искажения воспринимаются на слух как хрипы, дребезжание. При  $K_{Г} \leq 2 \div 3\%$  — искажения на слух не заметны. Однако в высококачественных усилителях устанавливают  $K_{Г} \leq 0,2\%$ , а в усилителях многоканальной связи  $< 0,001\%$ . Нелинейные искажения оценивают затуханием нелинейности (в дБ):

$$a_{Г[дБ]} = 20 \lg \left( \frac{1}{K_{Г}} \right).$$

Часто нормируют затухание по второй и третьей гармоникам:

$$a_{Г2} = 20 \lg \left( \frac{U_1}{U_2} \right); \quad a_{Г3} = 20 \lg \left( \frac{U_1}{U_3} \right).$$

В любом усилителе нелинейные искажения увеличиваются при приближении амплитуды выходного напряжения к максимально возможному значению. Напряжение  $U_{\text{вых}}$  (или  $U_{\text{вх}}$ ), при котором  $K_{Г}$  равен заданному (допустимому) значению, называется номинальным.

Тогда выходная номинальная мощность

$$P_{\text{выхном}} = \frac{U_{\text{выхном}}^2}{R_{\text{н}}}.$$

При усилении сложных сигналов возникают не только гармоники спектральных составляющих, но и их комбина-

ционные частоты. На слух они более заметны, т. к. они являются вновь возникшими составляющими. Поэтому для высококачественных усилителей измеряют такие интермодуляционные искажения, подавая на вход два синусоидальных колебания с сильно различающимися амплитудами: амплитуда сигнала  $f_1$  берется на 12 дБ меньше номинальной, а  $f_2$  — на 24 дБ (ГОСТ 23849-87). Количественно определяется (и нормируется) отношение суммарного напряжения комбинационных составляющих к напряжению частоты  $f_2$  на выходе усилителя.

### 1.8. Коэффициент полезного действия

Коэффициент полезного действия характеризует экономичность расходования энергии питания. Обычно он измеряется при усилении сигнала на  $f = 1$  кГц. Общий КПД всего усилителя называется промышленным — это отношение номинальной выходной мощности в нагрузке к суммарной мощности, потребляемой от всех источников:

$$\eta_{\Sigma} = \frac{P_{ном}}{P_{\Sigma}}.$$

Разность  $P_{\Sigma} - P_{ном}$  является мощностью потерь в усилителе.

Применяются также КПД выходной цепи:

$$\eta = P_{\sim} / P_{п},$$

где  $P_{\sim}$  — мощность переменного тока в выходной цепи УЭ (например, транзистора);  $P_{п}$  — мощность, потребляемая этой цепью.

Чем выше  $\eta$ , тем меньше потери в УЭ, которые превращаются в тепло.

Таким образом,  $\eta$  косвенно характеризует удельные размеры, массу (на единицу выходной мощности).

## 1.9. Собственные помехи

Собственные помехи возникают внутри АЭУ. В основном это фон, наводки, шумы, а в УПТ — это еще и дрейф нуля. Фон — это колебания с частотой питающей сети, или кратной ей. Возникают в результате недостаточности сглаживания пульсаций выпрямленного напряжения, из-за цепей накала катодов (при питании их переменным током). Наводки — помехи, наводимые в АЭУ электрическими или магнитными полями. Источники этих полей — трансформаторы, соединительные провода, электросети.

Количественная оценка фона и наводок — отношение их напряжения на выходе усилителя к номинальному выходному напряжению  $U_{\text{ном}}$  при номинальной выходной мощности. Как правило, норма  $\approx -60 \div -70$  дБ.

Собственные шумы усилителя представляют собой флуктуационные колебания, обусловленные хаотическим движением свободных носителей заряда (электронов, дырок) во всех электропроводящих материалах, из которых сделаны детали АЭУ.

Шумы возникают на микроскопическом уровне строения материалов, очень слабые. Но, будучи усиленными, могут быть соизмеримы с уровнем полезного сигнала. Их оценка будет дана ниже.

Дрейф нуля — медленное изменение выходного напряжения  $U_{\text{вых}}$  из-за нестабильности напряжения источника питания  $U_{\text{питания}}$  и характеристик транзисторов. Как правило, этот вид искажений относится к усилителям постоянного тока (УПТ). Их оценка будет дана ниже.

### 1.10. Амплитудная характеристика. Динамический диапазон

Амплитудная характеристика (АХ) — это зависимость амплитуды или действующего значения выходного напряжения  $U_{\text{ВЫХ}}$  от входного синусоидального напряжения  $U_{\text{ВХ}}$  (рис.1-4):

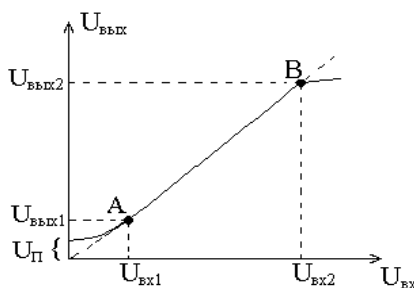


рис.1-4

Отношение  $U_{\text{ВЫХ}}$  к  $U_{\text{ВХ}}$  — это коэффициент усиления  $K$ . Поэтому, казалось бы, АХ должна быть прямой линией, исходящей из начала координат. Однако, она совпадает с прямой только на участке АВ. Начальный участок АХ отклоняется от прямой линии из-за наличия собственных помех  $U_{\text{П}}$ .

Верхний загиб АХ обусловлен наступлением перегрузок каскадов усилителя, когда наступает ограничение выходного колебания. Подробности будут рассмотрены ниже.

Динамический диапазон  $D$  — отношение наибольшего выходного (входного) напряжения к наименьшему в пределах линейной части АХ:

$$D = \frac{U_{\text{вых}2}}{U_{\text{вых}1}} = \frac{U_{\text{вх}2}}{U_{\text{вх}1}}$$

Динамический диапазон определяют обычно в дБ:

$$D_{[\text{дБ}]} = 20 \lg D, \text{ и обычно } D = 40 \div 60 \text{ дБ.}$$

Реальные речевые сигналы непрерывно изменяются: для радиовещания диапазон изменения сигналов составляет  $D_c \cong 40 \text{ дБ}$ . Для симфонического оркестра -  $D_c \cong 70 \text{ дБ}$ . Для усилителя необходимо выполнение условия  $D \geq D_c$ .

### 1.11. Специфические показатели АЭУ

Рассмотренные выше показатели характерны для большинства АЭУ. Однако есть специфические показатели, например:

для интегральных операционных усилителей и других аналоговых схем:

- входные токи; ЭДС; смещение нуля; максимальная скорость нарастания  $U_{\text{вых}}$ ; коэффициент ослабления синфазных  $U_{\text{вх}}$  и др.

для устройств перемножения и деления:

- масштабный коэффициент;

- величина прямого прохождения (или просачивания на выход напряжения) входного напряжения по одному из входов при равенстве нулю другого.

для компараторов:

- время переключения.

для активных фильтров:

- частота среза и неравномерность АЧХ в полосе пропускания и др.

## 1.12. Стабильность показателей

Технические показатели и характеристики любых АЭУ, к сожалению, не являются постоянными из-за нестабильности параметров составляющих элементов: при изменении температуры, напряжения питания; изменение показателей от экземпляра к экземпляру (производственный разброс), изменения вследствие старения. Наиболее нестабильны параметры транзисторов.

Для важнейших параметров показатели нестабильности нормируются техническими условиями.

При отыскании нестабильности какого-либо показателя  $\gamma$  устройства принято использовать понятие параметрической чувствительности:

$$S_x^\gamma = \frac{\frac{d\gamma}{\gamma}}{\frac{dx}{x}} = \frac{d\gamma}{dx} \cdot \frac{x}{\gamma}$$

— безразмерная величина;

Это, по сути, отношение относительных нестабильностей показателя  $\gamma$  по параметру  $x$  (как источника нестабильности).

Например: для простейшего однотранзисторного усилителя

$$\gamma = K, \quad x = I_{k0}.$$

Тогда чувствительность коэффициента усиления ( $K$ ) к изменениям тока коллектора ( $I_{k0}$ ) в рабочей точке:

$$S_{I_{k0}}^K = \frac{dK}{dI_{k0}} \cdot \frac{I_{k0}}{K} \quad (\text{безразмерная величина}).$$

## **Выводы по теме**

1. Оценка (количественная) АЭУ производится по его техническим показателям: усиление, искажения, точность преобразования, по уровням  $U_{вх}$  и  $U_{вых}$ , и т. д.

2. Большинство параметров АЭУ совпадает с параметрами усилителей, т. к. основная масса АЭУ построена на их основе.

3. Стандартизация и унификация позволяют упростить разработку, удешевить производство, упростить ремонт техники.

4. Технические показатели и характеристики любых АЭУ, к сожалению, не являются постоянными из-за нестабильности параметров составляющих элементов: при изменении температуры, напряжения питания; изменение показателей от экземпляра к экземпляру (производственный разброс), изменения вследствие старения. Наиболее нестабильны параметры транзисторов.

## **Задания и вопросы для самоконтроля по теме**

1. Дайте определение входному и выходному сопротивлениям усилителя;

2. Как определяются коэффициенты передачи по напряжению, по току усилителя?

3. Как определяется коэффициент передачи по мощности усилителя?

4. Приведите определение амплитудно-частотной и фазо-частотной характеристик усилителя;

5. Что такое переходная характеристика усилителя?

6. В чем суть нелинейных искажений и причина их появления?

7. Дайте определение коэффициента полезного действия;



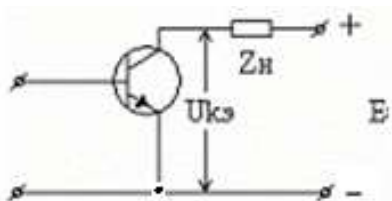
8. Приведите классификацию и объясните природу собственных помех усилителя;
9. Что такое амплитудная характеристика?
10. Что такое динамический диапазон усилителя?
11. Приведите примеры специфических показателей усилителя;
12. Что такое параметрическая чувствительность усилителя?

## Лекция 2

### Тема: требования к цепям питания усилительных элементов. Стабилизация режима транзистора

Состояние, при котором напряжение входного сигнала  $U_{вх\sim} = 0$  для УЭ, называется состоянием покоя. Положение рабочей точки на входной и выходной ВАХ в этом состоянии характеризует режим работы УЭ по постоянному току. Для его обеспечения подают, например, для биполярного транзистора: напряжение смещения — напряжение “база-эмиттер” и напряжение питания коллекторной цепи. Для получения выходного напряжения по переменному току используют две схемы (рис.2-1):

а) схема последовательного питания:



б) схема параллельного питания:

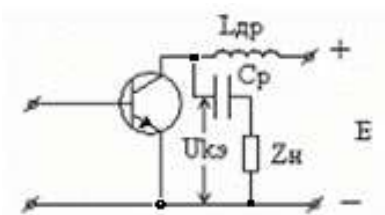


рис. 2-1

В первом случае через  $Z_H$  проходит и постоянная и переменная составляющие тока транзистора; во втором случае из-за  $C_p$  через  $Z_H$  идет только переменная составляющая. Подача смещения осуществляется цепями смещения. Возможно использование или двух самостоятельных ИП (по

смещению и по питанию коллектора), или питание осуществляется от одного ИП (чаще всего).

К цепям смещения предъявляются особые требования:

- 1) задать выбранные значения и полярность напряжений питания для установления положения рабочей точки;
- 2) обеспечить положение точки покоя в заданном положении при воздействии дестабилизирующих факторов.

Если выполняется только первое требование, то это - нестабилизированные цепи питания. Если оба требования выполняются одновременно, то это – стабилизированные цепи питания.

## 2.1. Нестабилизированные цепи питания

### 2.1.1. Смещение фиксированным током базы

Схема установки смещения фиксированным током представлена на рис. 2-2:

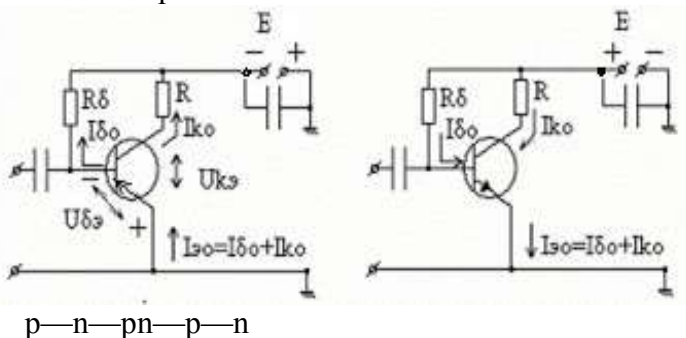


рис.2-2

Сопротивление  $R_\delta$  выбирается  $\gg R_{\delta k}$  (сопротивления перехода база-коллектор) по постоянному току;  $U_{\delta\epsilon 0} \ll E$ . Поэтому

$$I_{\delta o} = (E - U_{\delta\epsilon 0}) / R_\delta \approx E / R_\delta .$$

То есть ток базы практически не зависит от параметров транзистора, является фиксированным (определяется только величинами  $E$  и  $R_\delta$ ).

Ток  $I_{\delta 0}$  создает на входном сопротивлении напряжение смещения  $U_{\delta 0}$  (для кремниевых транзисторов  $\approx 0,6 \div 0,7$  В, для германиевых — меньше).

Не следует думать, что если  $I_{\delta 0}$  или  $U_{\delta 0}$  фиксированы, то точка покоя постоянна на ВАХ. На самом деле статические характеристики нестабильны. Причины нестабильности:

— технологический разброс параметров от транзистора к транзистору;

— сильная зависимость параметров от температуры.

Ток коллектора

$$I_k \approx h_{21\beta} (I_{\delta 0} + I_{k0}),$$

где  $h_{21\beta}$  — статический коэффициент усиления по току в схеме ОЭ;  $I_{k0}$  — начальный ток коллектора при отключенном эмиттере. Это тепловой ток неосновных носителей заряда через р-п переход (часто его называют обратным током коллектора).

Коэффициент  $h_{21\beta}$  может от транзистора к транзистору изменяться в 2÷3 раза. Ток  $I_k$  меняется от температуры: при изменении  $\Delta t = 10^\circ$  изменение  $\Delta I_k = 2$  раза для германиевых и 3 раза для кремниевых транзисторов. То есть величина изменения  $\Delta I_k$  очень сильно зависит от дестабилизирующих факторов. Даная схема на практике применяется редко. Для расчетов используют параметры:

- среднее значение коэффициент  $h_{21\beta}$  :

$$h_{21\beta} = \sqrt{h_{21\beta \min} \cdot h_{21\beta \max}}$$

- значение начального тока коллектора при отключенном эмиттере

$$I_{\kappa o} = h_{21э} \cdot I_{\delta o} + (1 + h_{21э}) \cdot I_{\kappa \delta o},$$

где  $I_{\kappa \delta o}$  — начальный обратный ток коллектора перехода, зависящий от окружающей температуры и температуры перехода транзистора  $t_{п}$ :

$$I_{\kappa \delta o}(t) = I_{\kappa \delta o} \cdot 10^{a(t_{п} - 25^{\circ})}.$$

Для кремниевых транзисторов  $a = 0,02 \div 0,025$ ; для германиевых  $a = 0,03 \div 0,035$ .

### 2.1.2. Смещение фиксированным напряжением база—эмиттер

Схемы смещения с фиксированным напряжением база—эмиттер приведены на рис. 2-3:

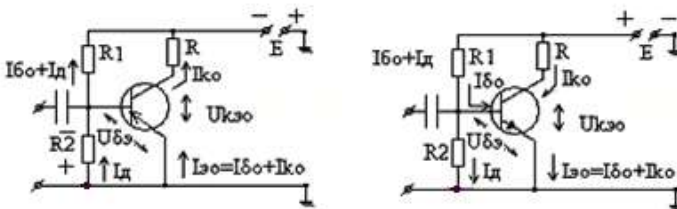


рис.2-3

Необходимое напряжение смещения  $U_{бэo}$  обеспечивается делителем  $R_1 / R_2$  в цепи базы.

$$E = I_{\delta} \cdot R_2 + I_{\delta o} \cdot R_1 + I_{\delta} \cdot R_1$$

где  $I_{\delta}$  — ток делителя:

$$I_{\delta} = \frac{E - I_{\delta o} \cdot R_1}{R_1 + R_2}$$

Так как

$$U_{бэо} = I_{д} \cdot R_2 ,$$

то

$$U_{бэо} = (E - I_{бэ} \cdot R_1) \cdot \frac{R_2}{R_1 + R_2} .$$

То есть, чем больше  $I_{д}$ , тем меньше  $U_{бэо}$  зависит от параметров транзистора.

При  $I_{д} \gg I_{бэ}$

$$U_{бэо} \approx \frac{E \cdot R_2}{R_1 + R_2}$$

то есть смещение фиксировано, и зависит только от  $E$ . Достоинство схем — простота и экономичность. Однако применение ограничено из-за нестабильности режимов транзистора во времени.

Причины нестабильности:

- изменение температуры и разброс параметров приводит к изменениям  $\Delta I_{кбэ}$  и  $\Delta I_{ко}$ . При этом напряжение на делителе будет изменяться. Для уменьшения этого влияния нужно, чтобы выполнялось условие  $I_{д} \gg I_{бэ}$ . Но для роста  $I_{д}$  нужно уменьшать  $R_1$  и  $R_2$ , что ведет к росту  $P_{расс}$  на них и уменьшению  $R_{вх}$  каскада. Для данной схемы влияние температуры можно учесть через параметр  $\Delta U_o$ , который учитывает сдвиг характеристики прямой передачи  $i_k = f(U_{бэ})$ , который происходит примерно со скоростью  $2,2 \cdot 10^{-3} \text{ В на } 1 \text{ градус}$  (рис.2-4). При этом:

$$\Delta U_o = 2,2 \cdot 10^{-3} \cdot \Delta t_c + (0,03 \div 0,06) \text{ В} ,$$

где добавки  $(0,03 \div 0,06)$  — это технологический разброс.

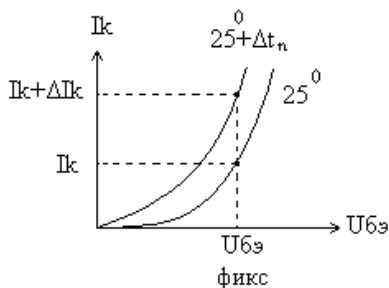


рис.2-4

Тогда с учетом конечного значения  $R_6$ :

$$\Delta I_{ko} = \frac{h_{113} \cdot \Delta U_o \cdot Y_{213}}{h_{113} + R_6} = \frac{h_{213} \cdot \Delta U_o}{h_{113} + R_6}$$

где

$$R_6 = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

## 2.2. Стабилизация режима транзистора

### 2.2.1. Эмиттерная стабилизация

Схема эмиттерной стабилизации приведена на рис.2-5: Стабилизация осуществляется за счет отрицательной обратной связи, создаваемой по току за счет падения напряжения на резисторе  $R_3$ .  
Напряжение смещения:

$$U_{бэо} = I_D \cdot R_2 - I_{эо} \cdot R_3 = U_{бэо} - I_{эо} \cdot R_3$$

где

$$U_{бэо} = I_D \cdot R_2$$

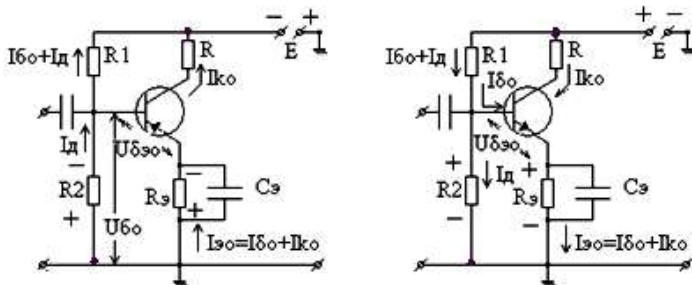


рис.2-5

Ток  $I_{\text{д}} \gg I_{\text{б0}}$  и напряжение  $I_{\text{д}} \cdot R_2$  практически не зависит от тока базы  $I_{\text{б0}}$ . Напряжение  $U_{\text{бэ0}}$ , и, следовательно, смещение будет изменяться при изменении  $I_{\text{э0}}$  только из-за изменения  $(I_{\text{э0}} \cdot R_э)$ . Например, пусть  $I_{\text{э0}}$  растет с ростом температуры (или при смене транзистора). При этом растет  $I_{\text{э0}} \cdot R_э$ ; это приведет к уменьшению  $U_{\text{бэ0}}$ ,

Транзистор закроется, ток  $I_{\text{б0}}$  соответственно уменьшится, соответственно уменьшится  $I_{\text{э0}}$ . Для того, чтобы коэффициент усиления не упал,  $R_э$  по переменному току закорачивают конденсатором  $C_э$ . Стабилизирующее действие увеличивается с ростом  $R_э$  и уменьшением  $R_1, R_2$  (с увеличением  $I_{\text{д}}$ ). Но при этом необходимо увеличивать  $E_{\text{п}}$  (требуемое).

Обычно выдерживают:

$$U_{R_э} = (0,1 \div 0,2) E_{\text{п}}$$

Тогда

$$R_э = (0,1 \div 0,2) \frac{E}{I_{\text{э0}}}.$$



Затем задают  
и определяют

$$I_{Д} = (1 \div 10) I_{б0}$$

$$R_2 = [I_{э0} \cdot R_э + |U_{бэ0}|] / I_{Д}$$

$$R_1 = (E - I_{Д} \cdot R_2) / (I_{Д} + I_{б0}).$$

Для найденных значений  $R_1$ ,  $R_2$  и  $R_э$  находят коэффициент неустойчивости:

$$S_T = \left[ 1 - \frac{h_{21б}}{1 + R_э/R_1 + R_э/R_2} \right]^{-1}$$

Если  $S_T = 2 \div 10$ , то считают стабилизацию удовлетворительной.

Другое объяснение стабилизации.

Эмиттерную стабилизацию можно объяснить действием последовательной ООС по току. Напряжение ОС с  $R_э$  подается на базу последовательно с напряжением  $U_{бэ}$  в противофазе. При этом глубина обратной связи (будет рассмотрено ниже - в лекции «Обратная связь») составляет

$$F = (1 + h_{21э}) R_э / (R_б + R_{вх}),$$

где величина входного сопротивления:

$$R_{вх} = r_б + r_э (1 + h_{21э});$$

и изменение тока коллектора (с учетом ООС) уменьшается:

$$\Delta I_{к ос} = \Delta I_{к} / F$$

- т.е. происходит повышение стабильности положения рабочей точки.

Так как действие ООС влияет и на полезный сигнал, то для исключения этого влияния резистор  $R_3$  блокируют конденсатором  $C_3$ .

Рассмотренная схема широко применяется в предварительных каскадах усиления, где постоянная составляющая выходного тока не зависит от амплитуды усиливаемого сигнала. В оконечных каскадах смещение на транзисторе зависит от амплитуды выходного сигнала, поэтому для них применяют схемы смещения с фиксированным напряжением база-эмиттер, а для стабилизации рабочей точки применяют схемы с термокомпенсацией.

#### 2.2.4. Цепи смещения с температурной стабилизацией

Цепи смещения с температурной стабилизацией показаны на рис.2-6.

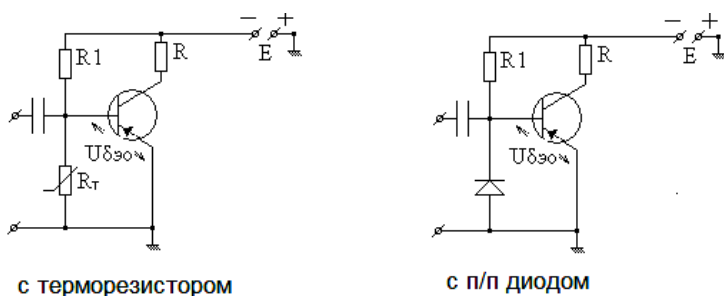


рис.2-6

В качестве терморезистора берут резисторы с отрицательным температурным коэффициентом: с ростом температуры уменьшается сопротивление терморезистора. Это при-

водит к уменьшению  $U_{бэо}$ , что, в свою очередь, приводит к соответствующему уменьшению  $I_{ко}$ .

Таким образом,  $\Delta I_{ко}$  (изменение) может быть существенно уменьшено из-за противоположных направлений изменения  $I_{ко}$ . Если вместо  $R_1$  включить терморезистор с положительным температурным коэффициентом, то стабильность  $\Delta I_{ко}$  существенно улучшится.

При использовании полупроводниковых диодов повышение температуры приводит к уменьшению прямого сопротивления диода, что приводит к уменьшению  $U_{бэо}$  и соответственно к уменьшению  $I_{ко}$ , что стабилизирует ток коллектора.

Примечание: для стабилизации режима необходимо, чтобы изменение  $U_{бэо}$  от температуры на терморезисторе (или диоде) убывало с такой же скоростью, с какой изменяется напряжение на эмиттерном p-n переходе транзистора (со скоростью  $\frac{\Delta U_{об}}{\Delta T} = -2.2 \text{ мВ}/^{\circ}\text{К}$ ).

Недостаток диодной схемы компенсации — невысокая точность и глубина.

При большом сигнале термоэлементы вносят искажения.

Схемы диодной компенсации широко используются в интегральных малосигнальных усилителях.

### **2.3. Цепи смещения без стабилизации режимов полевых транзисторов**

Напряжения, характеризующие состояние покоя, и выходные токи покоя устанавливают подачей постоянных напряжений на соответствующие электроды полевых транзисторов (ПТ).

Входные токи ПТ практически отсутствуют, если не принимать во внимание чрезвычайно малые обратные токи затвора, составляющие единицы—десятки нано- или пико-ампер в зависимости от типа ПТ.

Цепи смещения без стабилизации режимов ПТ приведены на рис.2-7.

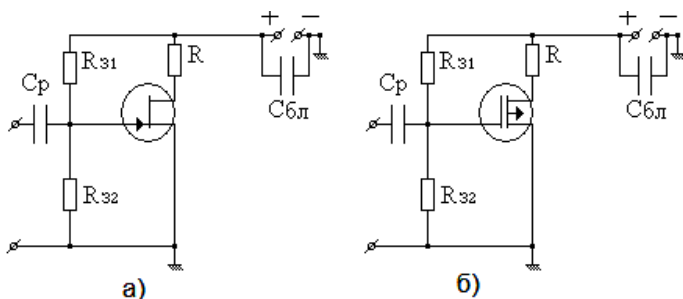


рис.2-7

Схема с фиксированным напряжением на затворе для ПТ с управляющим р—п переходом (с n—каналом) – рис.2-7 а); схема для МДП — транзистора (с встроенным каналом р—типа) – рис.2-7 б).

Напряжение смещения

$$U_{zu} = E \cdot R_{32} / (R_{31} + R_{32});$$

величины  $R_{31}$ ,  $R_{32}$  выбирают так, чтобы высокое  $R_{вх}$  транзистора шунтировалось незначительно.

Недостатки данных схем – отсутствие стабилизации ПТ при изменении температуры.

## 2.4. Цепи смещения со стабилизацией режима работы полевых транзисторов

Схема истоковой стабилизации режима работы приведена на рис.2-8.

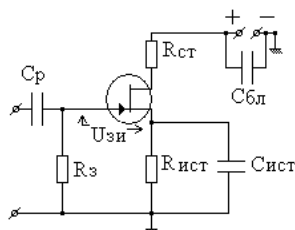


рис.2-8

Блокировочный конденсатор  $C_{ист}$  устраняет отрицательную ОС по сигналу, способствуя большему усилению, а конденсатор  $C_p$  — обычный разделительный во входной цепи. Резистор  $R_{ст}$  — стоковая нагрузка ПТ.

Любые отклонения постоянного тока стока от исходного приводят к изменению напряжения на  $R_{ист}$  (передающегося затем через  $R_з$  на затвор), что стабилизирует положение точки покоя:

$$U_{зи} \cong -R_{ист} \cdot I_c$$

Для увеличения стабилизации применяется схема (рис.2-9).

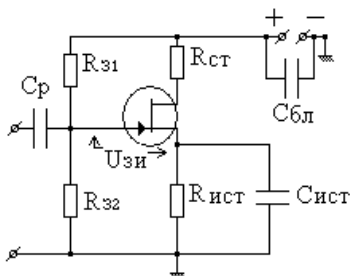


рис.2-9

Схема на рис.2-9 отличается от предыдущей только тем, что в ней добавлен один резистор, включенный между стоком и затвором для увеличения стабильности исходного режима работы. Дело в том, что сопротивление в цепи истока  $R_{ист}$  в предыдущей схеме строго определено:

$$R_{ист} = \frac{U_{зи}}{I_c}$$

Однако полученное сопротивление резистора может оказаться недостаточным с точки зрения стабильности. В этом случае необходимый уровень стабилизации достигается увеличением сопротивления резистора в цепи истока  $R_{ист}$  с последующей компенсацией излишка напряжения введением в схему делителя напряжения  $R_{31}, R_{32}$ .

При этом смещение:

$$U_{зи} = U_{R32} - I_c \cdot R_{ист} = \frac{R_{32} \cdot E}{R_{31} + R_{32}} - I_c \cdot R_{ист}$$

Обычно выбирают:

$$\frac{R_{31}}{R_{32}} = \frac{E}{U_{R32}} - 1$$

Тогда задавая значения  $R_{31}$ , находим значение  $R_{32}$ .

## 2.5. Генераторы стабильного тока (ГСТ)

### 2.5.1. Принцип работы ГСТ

Для повышения стабильности режима стараются увеличить  $R_{ист}$ , однако из-за большого падения напряжения на нем величина  $R_{ист}$  ограничена сверху величиной напряже-

ния источника питания. Поэтому его заменяют ГСТ (вместо  $R_{ист}$ ) – рис.2-10:

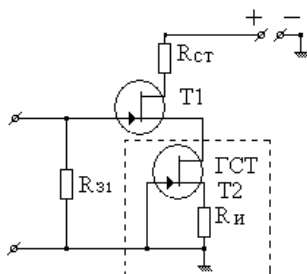


рис.2-10

ГСТ – это устройство, близкое по своим параметрам к идеальному источнику, ток которого не изменяется с изменением сопротивления на нагрузке. У ГСТ динамическое сопротивление  $R_{и}$  значительно отличается от сопротивления постоянному току и при большем значении  $R_{и}$  не надо повышать  $E_{ист.}$  питания. ГСТ находит широкое применение не только для цепей смещения, но и в качестве динамических нагрузок и цепей стабилизации (рис.2-11):

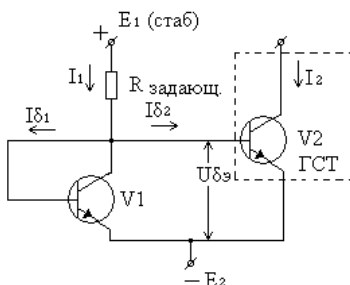


рис.2-11

Для транзистора V1:

$$I_1 = (I_{\kappa 1} + I_{\bar{o}1} + I_{\bar{o}2}) = (1 + h_{21\bar{o}1}) \cdot I_{\bar{o}1} + I_{\bar{o}2}.$$

Для основного транзистора V2:

$$I_2 = I_{k2} = h_{21\bar{o}2} \cdot I_{\bar{o}2}$$

Так как транзисторы одинаковы, то  $I_{\bar{o}1} \cong I_{\bar{o}2}$ ;  $h_{21\bar{o}1} \cong h_{21\bar{o}2}$ , при этом соотношение токов

$$\frac{I_1}{I_2} = \left[ \frac{1 + h_{21\bar{o}1}}{h_{21\bar{o}2}} \right] \cdot \frac{I_{\bar{o}1}}{I_{\bar{o}2}} + \frac{1}{h_{21\bar{o}2}}$$

близко к 1 при  $h_{21\bar{o}1} \gg 1$  и  $h_{21\bar{o}2} \gg 1$ , что обычно выполняется.

Таким образом, для V<sub>1</sub> и V<sub>2</sub> имеет место “зеркальное отображение” токов, выражающееся в том, что I<sub>2</sub> “следит” за I<sub>1</sub>.

В этом смысле понимается термин “токовое зеркало”. Относительная нестабильность – тоже одинакова

$$\Delta I_1 / I_1 = \Delta I_2 / I_2.$$

Так как дополнительный транзистор V<sub>1</sub> используется в диодном режиме, то его ток I<sub>к1</sub> (и, соответственно, ток I<sub>1</sub>) можно стабилизировать с требуемой точностью. Соответственно, можно стабилизировать ток I<sub>2</sub>, задавая его значение с помощью источников питания E<sub>1</sub>, E<sub>2</sub> и резистора R<sub>задающ.</sub>. Транзистор V<sub>2</sub> включают в эмиттерные цепи соответствующих транзисторов, стабилизируя их токи.



## 2.5.2. Схемы ГСТ

Термин “токовое зеркало” раньше применяли для схем у которых  $\frac{I_1}{I_2} = 1$ . В последствии стали применять и для схем, у которых  $\frac{I_1}{I_2} \neq 1$ , но стабильно. Для таких схем применяют термин “отражатель тока”. Температурную стабильность можно получить для данной схемы приблизительно 5% (по току). Недостатком данной схемы – малое отношение  $\frac{I_1}{I_2} \approx 5$ . Для отношений  $\gg 5$  применяют другую схему ГСТ (рис.2-12).

Достоинство схемы - позволяет стабилизировать весьма малые токи  $I_2$  при сравнительно небольших  $R_{зад}$  и  $R_э$ .

Наличие  $R_э$  заметно увеличивает выходное сопротивление ГСТ (за счет ООС по току). Однако при этом токи  $I_2$  могут оказаться очень малыми, что нежелательно. Для устранения этого применяют схему с  $R_{доб}$  (рис.2-13):

За счет  $R_{доб}$  повышается потенциал  $U_{бэ2}$  и увеличивается  $I_{э2}$ , сохраняя высокое выходное сопротивление.

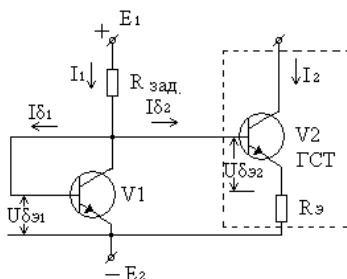


рис.2-12

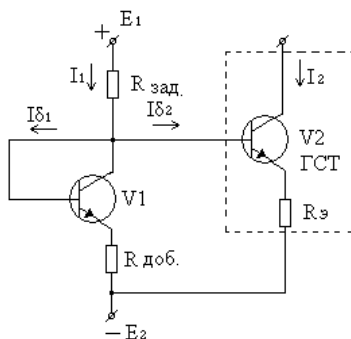


рис.2-13

$$U_{бэ1} + I_{э1} \cdot R_{доб} = U_{бэ2} + I_{э2} \cdot R_{э}$$

Пренебрегая  $I_{б1}$  ( $I_{б2}$ ) можно записать:

$$I_{э1} = I_1; I_{э2} = I_2$$

При равенстве  $R_{доб}$  и  $R_{э}$  следует равенство  $I_1 = I_2$  (при идентичности параметров схем).

То есть это - типичный “отражатель тока” (“токовое зеркало”).

При  $I_1 \cdot R_{доб} \cong U_{бэ1}$  и, соответственно,

$$\frac{I_2}{I_1} \approx \frac{R_{доб}}{R_{э}}$$

То есть отношения токов может варьироваться в очень широких пределах (до двух порядков) независимо от температуры.

Другое достоинство ГСТ - большое динамическое сопротивление для переменного тока и очень малое по постоянному току.

Физическая суть значительного отличия  $R_{\text{дин}} \gg R_{\text{статич}}$  для ГСТ при использовании терминов « активная нагрузка» или «электронный эквивалент сопротивления» может быть объяснена на рис.2-14:

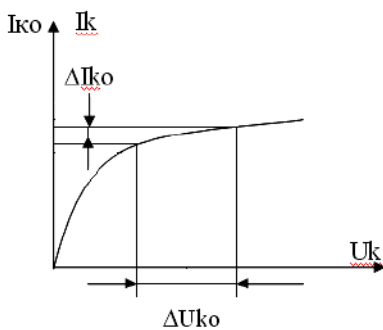


рис.2-14

$R_{\text{статич}} = U_{к0} / I_{к0}$  (небольшое);  $R_{\text{дин}} = \Delta U_{к} / \Delta I_{к}$ ; При этом, так как  $\Delta I_{к}$  очень мало (из-за небольшого наклона ВАХ), то получается  $R_{\text{дин}} \gg R_{\text{статич}}$ . Реально можно получить для  $R_{\text{дин}}$  сотни  $k\Omega$  или даже  $M\Omega$  при относительно небольших значениях  $R_{\text{статич}}$ .

## Выводы по теме

1. К цепям смещения предъявляются особые требования:  
1) задать выбранное значение и полярность напряжения для положения рабочей точки;

2) обеспечить положение точки покоя в заданном положении при воздействии дестабилизирующих факторов.

2. Достоинство схем фиксированным током базы или фиксированным напряжением базы — простота и экономичность. Однако применение ограничено из-за нестабильности режимов транзистора во времени и из-за изменения температуры.

3. Эмиттерная стабилизация имеет преимущество перед коллекторной, так как исходный режим задается делителем  $R_1R_2$ , а требуемая стабилизация — выбором  $R_3$ , независимо от параметров делителя; эмиттерная стабилизация более эффективна.

4. Недостаток диодной схемы компенсации — невысокая точность и глубина. При большом сигнале термоэлементы вносят искажения. Диодная схема компенсации широко используется в интегральных малосигнальных усилителях.

5. Входные токи ПТ практически отсутствуют, если не принимать во внимание чрезвычайно малые обратные токи затвора, составляющие единицы — десятки нано- или пикоампер в зависимости от типа ПТ.

6. Смещение на ПТ желательно выбирать таким, чтобы точка покоя была расположена ближе к термостабильной точке транзистора.

7. ГСТ — это устройство, близкое по своим параметрам к идеальному источнику, ток которого не изменяется с изменением сопротивления на нагрузке. ГСТ находит широкое применение не только для цепей смещения, но и в качестве динамических нагрузок и цепей стабилизации.

8. Достоинством схемы стабилизации с ГСТ является стабилизация весьма малых токов при сравнительно небольших значениях резисторов  $R_{зод}$  и  $R_3$ .

9. Другим достоинством ГСТ является большое дина-

мическое сопротивление для переменного тока и очень малое по постоянному току. При использовании обычных элементов этого достичь невозможно.

### **Задания и вопросы для самоконтроля по теме**

1. Приведите схему последовательного и параллельного питания транзистора в каскадах маломощного усиления;
2. Какие требования предъявляются к цепям смещения?
3. Приведите особенности схемы смещения фиксированным током базы;
4. Приведите особенности схемы смещения фиксированным напряжением базы;
5. Перечислите причины неустойчивости схем смещения фиксированным током базы и фиксированным напряжением базы;
6. Приведите схему установки рабочей точки фиксации тока эмиттера;
7. Приведите особенности схемы эмиттерной стабилизации;
8. Приведите особенности схемы смещения с температурной стабилизацией;
9. В чем заключаются особенности питания цепей смещения полевых транзисторов?
10. Приведите примеры схем смещения без стабилизации режимов ПТ;
11. Как учитывается неоднозначность зависимости тока стока ПТ от температуры при построении цепей смещения?
12. Приведите примеры схем смещения со стабилизацией режимов ПТ;
13. В чем заключается особенность работы схем ГСТ?

14. В чем заключается особенность построения схемы «токового зеркала»?

15. В чем заключается особенность построения схемы «отражателя тока»?

16. В чем заключается особенность построения схемы и смысл терминов « активная нагрузка» или «электронный эквивалент сопротивления»?

## Лекция 3

### **Тема: обратная связь в аналоговых электронных устройствах и ее влияние на их параметры и свойства. Схемотехника применения отрицательной обратной связи**

Понятие «обратная связь» (ОС) широко используется как в технике, так и в других областях знаний. Когда в 1928 г. была предпринята попытка запатентовать отрицательную обратную связь, то эксперты не увидели ее полезности и дали отрицательный ответ. И действительно, на первый взгляд, отрицательная обратная связь только уменьшает коэффициент усиления усилителя. Однако, как это часто бывает в технике вообще и в электронике в частности, один недостаток того или иного решения может значительно перевешиваться его достоинствами. Отрицательная обратная связь, хотя и уменьшает коэффициент усиления, но исключительно благотворно влияет на многие параметры и характеристики усилителя. В частности, уменьшаются искажения сигнала, в значительно большем диапазоне частот коэффициент усиления оказывается не зависящим от частоты и т. д./1/.

### **3.1. Виды обратной связи**

Обратной связью называется связь, при которой происходит передача сигнала (напряжения, тока) из выходной цепи усилителя во входную (рис.3-1). В усилителях ОС используется для уменьшения искажений и повышения стабильности усиления и режима работы усилительных элементов. Как видно из рисунка, в узле 1 суммируются сигналы ( $U, I$ ) от источника и от выхода усилителя.

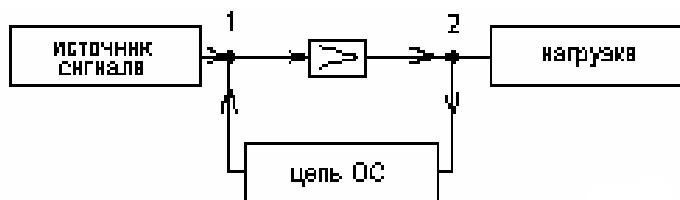


рис.3-1

Если фазы этих сигналов совпадают, то их общая амплитуда возрастает как в точке 1, так и в точке 2 – это положительная обратная связь.

При противоположной фазе – отрицательная обратная связь, вносящая ослабление.

ООС – частотно-независимая, если коэффициент передачи напряжения (тока) цепи ОС не зависит от частоты, в отличие от частотно-зависимой.

Если цепь (элемент) ОС является неотъемлемой частью усилителя, такая ОС – внутренняя. Если ОС охватывает один каскад многокаскадного усилителя, то это местная ОС, в отличие от общей ОС, охватывающей весь усилитель в целом.

### 3.1.1. Параллельная по входу и выходу ОС

Действие этого вида ОС зависит от параметров входной ( $Y_1, Z_1$ ) и выходной ( $Y_2, Z_2$ ) нагрузок и не проявляется при коротком замыкании как на входе ( $Y_1 = \infty, Z_1 = 0$ ), так и на выходе ( $Y_2 = \infty, Z_2 = 0$ ). Так как этот вид связи существует только при  $U_2 \neq 0$ , то этот вид ОС – параллельный по напряжению (рис.3-2):



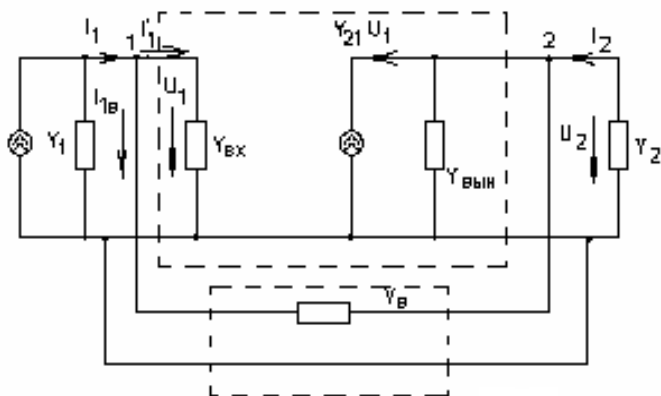


рис.3-2

Другой характерный признак – наличие узлов 1 и 2 на эквивалентной схеме.

Пример реализации такой обратной связи (рис.3-3):

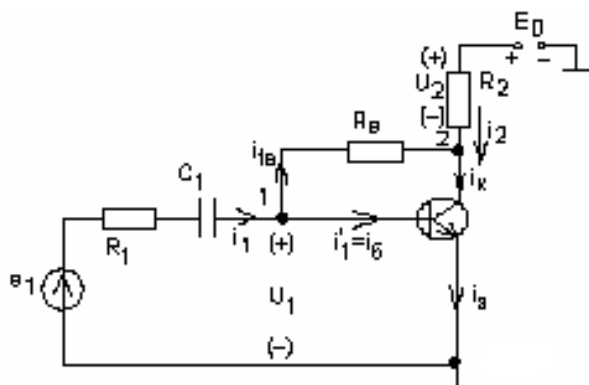


рис.3-3

$$\begin{cases} i_1 = i'_1 + i_{1B} \\ i_k = i_o = i_2 + i_{1B} \end{cases}$$

Разделительный конденсатор  $C_1$  (и резистор  $R_1$ ) является частью сопротивления источника сигнала:

$$Y_1 = \frac{1}{R_1 + \frac{1}{j\omega C_1}}$$

Как видно:

1) при  $R_1 = 0$ ,  $1/j\omega C_1 = 0$ , а так же при  $R_2 = 0$  обратная связь не действует;

2) кроме того, имеются узлы 1 и 2.

При  $i_1 = i'_1 + i_{1B}$ ; и  $1/j\omega C_1 \ll R_1$

$$U_1 = e_1 - R_1(i'_1 + i_{1B})$$

- понижается за счет увеличения  $i_{1B}$  – т.е. характерно для отрицательной обратной связи.

Так как обратная связь имеется только при наличии  $U_2$  (см. эквивалентную схему), то ОС – «по напряжению».

### **3.1.2. Последовательная по входу и выходу обратная связь**

Схема последовательной по входу и выходу обратной связи представлена на рис.3-4:

$Z_{вх}$  – входное сопротивление усилителя без ООС;

$U_{1B}$  – напряжение ОС;

В режиме холостого хода на входе ( $Z_{вх} = \infty$ ) сигнал  $U_{1B}$  не передается на вход;

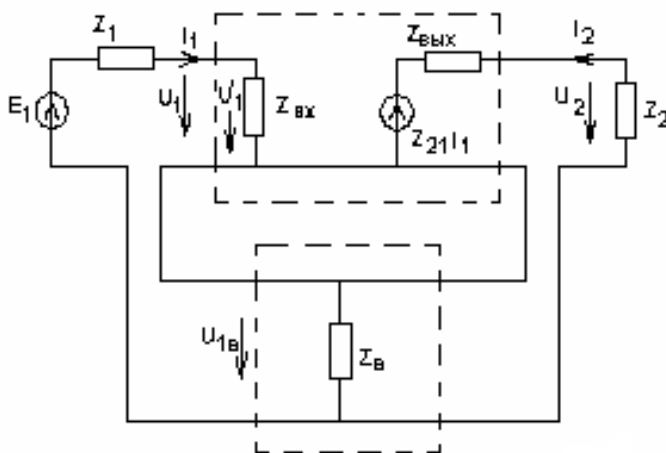


рис.3-4

то же самое – при холостом ходе на выходе ( $Z_2 = \infty$ ) напряжение ОС равно нулю, т.е. необходимым условием наличия ОС – существование выходного тока  $I_2 \neq 0$  (ОС «по току»).

В простейшем случае реализация такой ОС (рис.3-5):

$R_{61}$ ;  $R_{62}$ ;  $C_1$  – следует отнести к источнику сигнала:

$$Z_1 = \frac{1}{\frac{1}{R_{61}} + \frac{1}{R_{62}} + \frac{1}{R_1 + j\omega C_1}}$$

Напряжением на промежутке база-эмиттер  $U'_1 = U_1 - U_{1B}$  - т.е. ОС отрицательная. Признаком последовательной ОС является отсутствие узла во входной цепи, а связи по току – то, что при коротком замыкании на выходе ( $R_2 = 0$ ) передача сигнала с выхода на вход не прекращается.

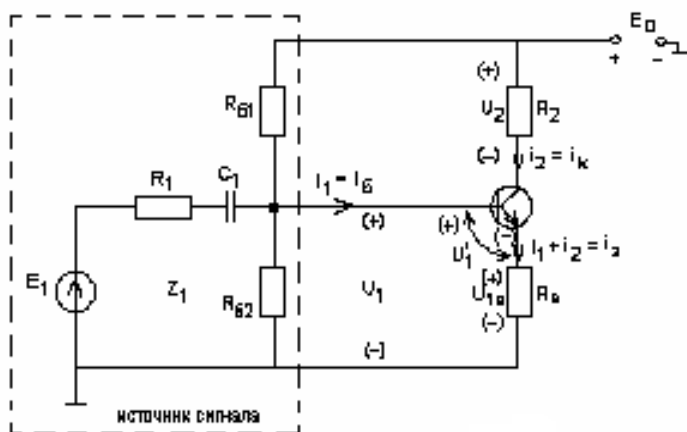


рис.3-5

### 3.1.3. Последовательная по входу и параллельная по выходу обратная связь

Это гибридная схема (рис.3-6).

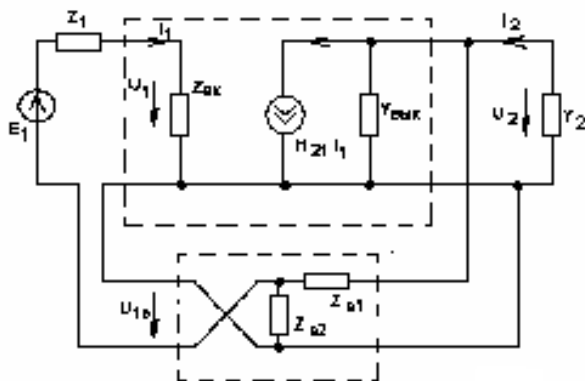


рис.3-6

Данная схема ОС не действует при холостом ходе на входе

( $Z_1 = \infty$ ) и при коротком замыкании на входе ( $Y_2 = \infty$ ).  
 Для получения ОС на выходе ставят делитель  $Z_{B1}$ ,  $Z_{B2}$  (резисторы, конденсаторы, их комбинации, трансформаторы и т.д.).  
 Пример реализации такой обратной связи (рис.3-7):

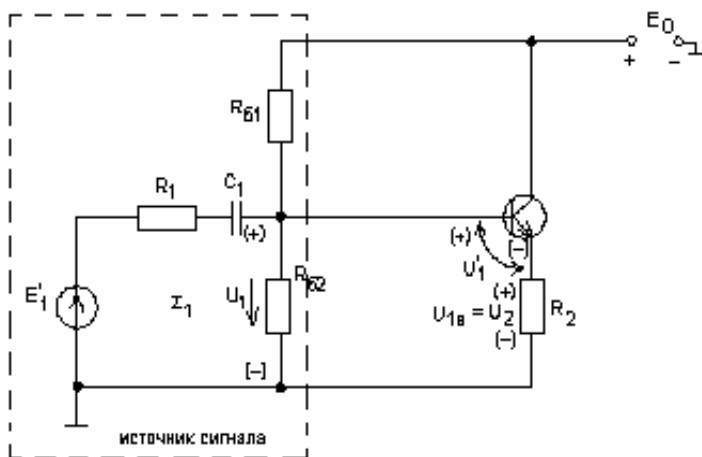


рис.3-7

Напряжение ОС  $U_{1B} = U_2$  равно напряжению на выходе. В схеме отсутствует узел 1 – признак последовательной связи.

$Z_2 = R_2$ , а  $Z_{1B}$  и  $Z_{2B}$  отсутствуют. Связь отрицательная, так как  $U'_1 = U_1 - U_{1B}$ .

### 3.1.4. Параллельная по входу и последовательная по выходу ОС

Схема параллельной по входу и последовательной по выходу ОС приведена на рис.3-8:

ОС не действует при коротком замыкании на входе ( $Y = \infty$ ) и в режиме холостого хода на выходе ( $Z_2 = \infty$ ,  $Y_2 = 0$ ).  $Y_{1B}$ ,  $Y_{2B}$  – выполняются в виде комбинации из R, C, трансформаторов и т.д.

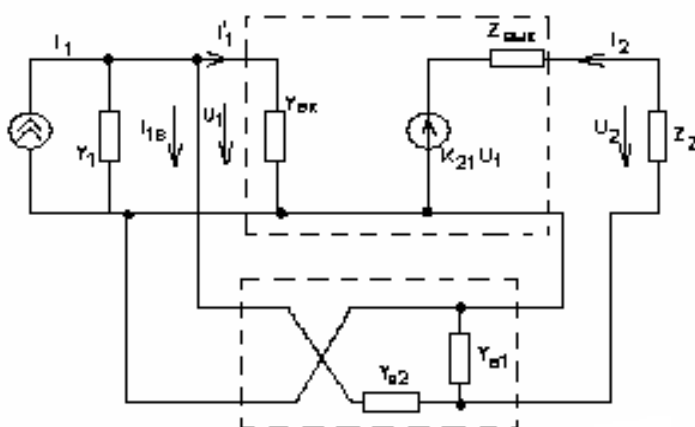


рис.3-8

Пример реализации такой ОС (рис.3-9):

$R_3$  - предназначено для замыкания цепи питания по цепи база-эмиттер.

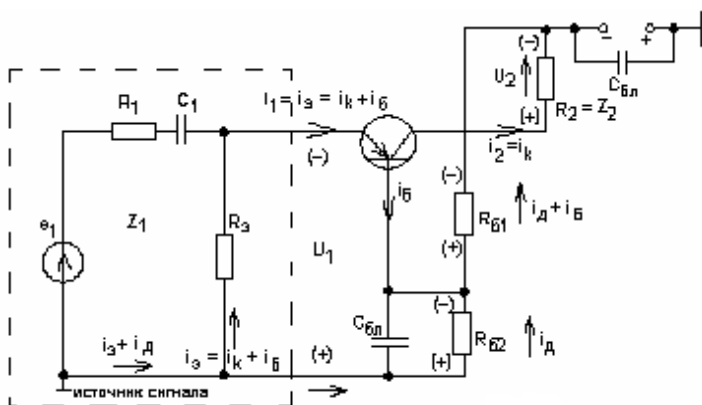


рис.3-9

Комплексное сопротивление источника сигнала

$$Z_1 = \frac{\left( R_1 + \frac{1}{j\omega C_1} \right) \cdot R_3}{R_1 + \frac{1}{j\omega C_1} + R_3}$$

Напряжение смещения подается на базу через делитель  $R_{61}$  и  $R_{62}$ . Для устранения дополнительной (местной) ОС на  $R_{62}$  – ставится конденсатор  $C_{6л}$ .

Переменная составляющая тока коллектора  $i_k = i_2$ , вызванная напряжением сигнала  $U_1$  проходит в составе эмиттерного тока  $i_3 = i_b + i_k = i_1$  через источник сигнала, т.е. возвращается на вход.

Это схема эмиттерной стабилизации с ОС на резисторе  $R_3$  для схемы с общей базой.

### 3.2. Влияние ОС на коэффициенты усиления/1/.

Рассмотрим влияние ООС на коэффициенты усиления, охваченного последовательной обратной связью по напряжению (рис.3-10).

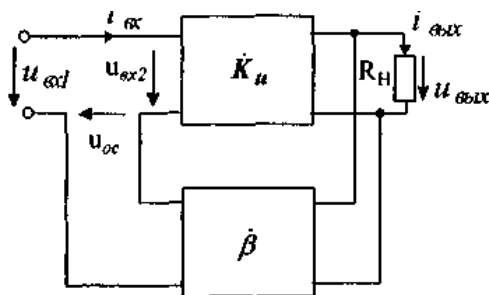


рис.3-10

В структурную схему входит цепь прямой передачи и цепь обратной связи (цепь обратной передачи). Предполагается, что указанные цепи линейные. На усилитель с обратной связью подается внешний синусоидальный входной сигнал  $u_{вх1}$ , а на цепь прямой передачи — сигнал  $u_{вх2}$ . Цепь прямой передачи характеризуется комплексным коэффициентом усиления по напряжению  $\dot{K}_u$  (коэффициентом прямой передачи):

$$\dot{K}_u = \frac{\dot{U}_{вых}}{\dot{U}_{вх2}},$$

где  $\dot{U}_{вых}$ ,  $\dot{U}_{вх2}$  — соответственно комплексные действующие значения напряжений  $u_{вх2}$  и  $u_{вых}$ .

Цепь обратной связи характеризуется комплексным коэффициентом обратной связи  $\dot{\beta}$ :

$$\dot{\beta} = \frac{\dot{U}_{ос}}{\dot{U}_{вых}}$$



где  $\dot{U}_{oc}$  — комплексное действующее значение напряжения обратной связи  $u_{oc}$ .

Коэффициент усиления усилителя, охваченного обратной связью, определяется по формуле

$$\dot{K}_{uoc} = \frac{\dot{U}_{вых}}{\dot{U}_{вх1}}$$

где  $\dot{U}_{вх1}$  — комплексное действующее значение напряжения  $u_{вх1}$ . Легко заметить, что при отрицательной обратной связи

$$\dot{U}_{вх2} = \dot{U}_{вх1} - U_{oc}$$

$$\dot{U}_{вх1} = U_{вх2} + U_{oc}$$

Поэтому

$$\begin{aligned} \dot{K}_{uoc} &= \frac{\dot{U}_{вых}}{\dot{U}_{вх1}} = \frac{\dot{K}_u \cdot \dot{U}_{вх2}}{\dot{U}_{вх2} + \dot{U}_{oc}} = \frac{\dot{K}_u \cdot \dot{U}_{вх2}}{\dot{U}_{вх2} + \beta \cdot \dot{U}_{вых}} = \\ &= \frac{\dot{K}_u \cdot \dot{U}_{вх2}}{\dot{U}_{вх2} + \beta \cdot \dot{K}_u \cdot \dot{U}_{вх2}} = \frac{\dot{K}_u}{1 + \beta \cdot \dot{K}_u} \end{aligned}$$

Таким образом,

$$\dot{K}_{uoc} = \frac{\dot{K}_u}{1 + \beta \cdot \dot{K}_u}$$

т.е. коэффициент усиления по напряжению при последовательной отрицательной обратной связи уменьшается.

Коэффициент усиления по току при этом виде обратной связи не изменяется:

$$K_i = \frac{I_{вых}}{I_{вх}} = K_{ioc} = const,$$

полагая при этом, что  $U_{BX2}$  и  $R_{BX}$  (т.е.  $I_{BX}$ ) усилителя не изменяются при введении обратной связи.

Рассмотрим влияние ООС на коэффициенты усиления, охваченного параллельной обратной связью по напряжению (рис.3-11).

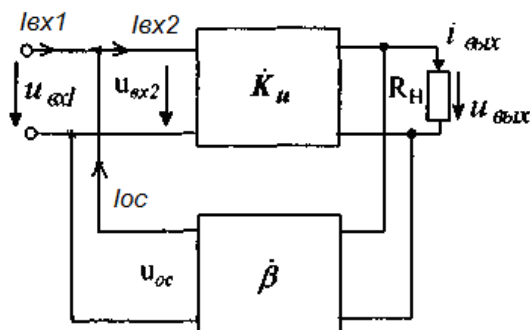


рис.3-11

Так как для этого вида обратной связи

$$U_{вх1} = U_{вх2} = U_{ос},$$

то коэффициент усиления по напряжению при этом виде обратной связи не изменяется:

$$K_u = K_{uoc} = \frac{U_{вых}}{U_{вх}} = const$$

Коэффициент усиления по току при этом виде обратной связи (отрицательной):

$$I_{вх2} = I_{вх1} - I_{ос}$$

$$I_{вх1} = I_{вх2} + I_{ос}$$

и, соответственно,

$$K_{ioc} = \frac{I_{\text{вблх}}}{I_{\text{вх1}}} = \frac{I_{\text{вблх}}}{I_{\text{вх2}} + I_{oc}}$$

- уменьшается.

При комбинированной по входу ОС составляющая последовательной ОС влияет только на коэффициент усиления по напряжению, а составляющая параллельной ОС – только на коэффициент усиления по току.

Величину  $1 + \dot{\beta} \cdot \dot{K}_u$  называют глубиной обратной связи, а величину  $\dot{\beta} \cdot \dot{K}_u$  называют петлевым усилением. Если глубина обратной связи достаточно велика, то  $|1 + \dot{\beta} \cdot \dot{K}_u| \gg 1$

и

$$\dot{K}_{uoc} = \frac{1}{\dot{\beta}}$$

Отсюда можно сделать следующий очень важный вывод: если глубина отрицательной обратной связи достаточно велика, то коэффициент усиления усилителя, охваченного обратной связью  $K_{uoc}$ , зависит только от свойств цепи обратной связи и не зависит от свойств цепи прямой передачи.

### 3.3. Стабильность коэффициента усиления при обратной связи /1/

Как было показано выше, коэффициент усиления усилителя, охваченного отрицательной обратной связью, однозначно определяется:

$$\dot{K}_{uoc} = \frac{\dot{K}_u}{1 + \dot{\beta} \cdot \dot{K}_u}$$

Пусть коэффициенты  $\dot{K}_u$  и  $\dot{\beta}$  являются вещественными. Тогда и коэффициент  $\dot{K}_{uoc}$  - вещественный. Будем для этого случая использовать обозначения  $K_u$ ,  $\beta$  и  $K_{uoc}$ . Пусть в некотором частотном диапазоне коэффициент  $K_u$  изменяется в пределах от 10000 до 1000 (на 90% по отношению к значению 10000), а коэффициент  $\beta$  является постоянным,  $\beta = 0,1$ .

Тогда в соответствии с формулой для  $K_{uoc}$  окажется, что  $K_{uoc}$  будет изменяться в пределах от 9,99 до 9,9 (примерно на 1%). Таким образом, изменение коэффициента усиления после введения отрицательной обратной связи станет значительно меньшим.

Важно уяснить, что если все же необходимо повысить коэффициент усиления до 10000, то и в этом случае использование отрицательной обратной связи значительно улучшит стабильность.

Пусть для получения большого коэффициента усиления использованы четыре включенных последовательно описанных усилителя, охваченных отрицательной обратной связью.

Тогда в рассматриваемом диапазоне частот общий коэффициент усиления будет изменяться в пределах от 9960 ( $9,99 \cdot 9,99 \cdot 9,99 \cdot 9,99$ ) до 9606 ( $9,9 \cdot 9,9 \cdot 9,9 \cdot 9,9$ ). Изменение составит  $3,6\% \left( \frac{9960 - 9606}{9960} \cdot 100\% \right)$ .

Это, очевидно, значительно меньше 90% .

### 3.4. Влияние отрицательной обратной связи на входные и выходные сопротивления /1/

#### 3.4.1. Влияние отрицательной обратной связи на входное сопротивление

Обратимся к структурной схеме усилителя с последовательной отрицательной обратной связью по напряжению (рис.3-12):

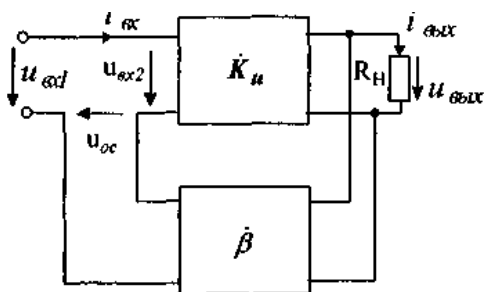


рис. 3-12

Обозначим через  $Z_{ВХ}$  входное комплексное сопротивление цепи прямой передачи:

$$\dot{Z}_{вх} = \frac{\dot{U}_{вх2}}{\dot{I}_{вх}}$$

где  $\dot{I}_{вх}$  - комплексное действующее значение тока  $i_{вх}$ .

Найдем входное комплексное сопротивление усилителя  $\dot{Z}_{вхос}$ , охваченного обратной связью:

$$\dot{Z}_{вхос} = \frac{\dot{U}_{вх1}}{\dot{I}_{вх}}$$

Получим

$$\begin{aligned}\dot{Z}_{\text{вхос}} &= \frac{\dot{U}_{\text{вх1}}}{\dot{I}_{\text{вх}}} = \frac{\dot{U}_{\text{вх2}} + \dot{U}_{\text{ос}}}{\dot{I}_{\text{вх}}} = \frac{\dot{U}_{\text{вх2}} + \dot{U}_{\text{вых}} \cdot \dot{\beta}}{\dot{I}_{\text{вх}}} = \\ &= \frac{\dot{U}_{\text{вх2}} + \dot{U}_{\text{вх2}} \cdot \dot{K}_U \cdot \dot{\beta}}{\dot{I}_{\text{вх}}} = \frac{\dot{U}_{\text{вх2}}}{\dot{I}_{\text{вх}}} \cdot (1 + \dot{K}_U \cdot \dot{\beta}) = \dot{Z}_{\text{вх}} \cdot (1 + \dot{K}_U \cdot \dot{\beta})\end{aligned}$$

Таким образом,

$$\dot{Z}_{\text{вхос}} = \dot{Z}_{\text{вх}} \cdot (1 + \dot{K}_U \cdot \dot{\beta})$$

Пусть коэффициенты  $\dot{K}_u$  и  $\dot{\beta}$  являются вещественными.

Тогда

$$Z_{\text{вхос}} = Z_{\text{вх}} \cdot (1 + K_U \cdot \beta)$$

Отсюда следует, что последовательная отрицательная обратная связь увеличивает входное сопротивление по модулю /1/.

Подобные рассуждения показывают, что при параллельной отрицательной обратной связи при сохранении  $\dot{U}_{\text{вх1}} = \text{const}$  входной ток увеличивается на величину тока обратной связи, что приводит к уменьшению входного сопротивления:

$$Z_{\text{вхос}} = \frac{Z_{\text{вх}}}{1 + K_U \cdot \beta}$$

При этом изменения входного сопротивления не зависят от способа получения обратной связи на выходе усилителя.

## Лекция 4

### Тема: обратная связь в аналоговых электронных устройствах и ее влияние на их параметры и свойства. Схемотехника применения обратной связи (продолжение лекции 3)

#### 3.4.2. Влияние отрицательной обратной связи на выходное сопротивление

Определим выходное сопротивление усилителя, охваченного обратной связью. Обозначим через  $\dot{Z}_{\text{вых}}$  и  $\dot{Z}_{\text{выхOC}}$ , соответственно, выходное комплексное сопротивление цепи прямой передачи и выходное комплексное сопротивление усилителя, охваченного обратной связью по напряжению (рис.3-12).

По определению

$$\dot{Z}_{\text{вых}} = - \frac{\Delta \dot{U}_{\text{вых}}}{\Delta \dot{I}_{\text{вых}}}$$

где  $\Delta \dot{U}_{\text{вых}}$  и  $\Delta \dot{I}_{\text{вых}}$  — приращения комплексных действующих значений соответственно напряжения  $u_{\text{вых}}$  и тока  $i_{\text{вых}}$ . При этом предполагается, что обратная связь отключена (например, выход цепи обратной связи закорочен).

Также предполагается, что  $\dot{U}_{\text{вх1}} = \text{const}$ , а изменение величин  $u_{\text{вых}}$  и  $i_{\text{вых}}$  вызвано изменением сопротивления нагрузки.

По определению

$$\dot{Z}_{\text{выхOC}} = - \frac{\Delta \dot{U}_{\text{вых}}}{\Delta \dot{I}_{\text{вых}}}$$

Но при этом предполагается, что обратная связь действует и что  $\dot{U}_{\text{вх1}} = \text{const}$ . В этом случае причиной возникновения

приращения  $\Delta \dot{U}_{\text{вых}}$  является не только падение напряжения на выходном сопротивлении  $\dot{Z}_{\text{вых}}$ , но и появление приращения  $\Delta \dot{U}_{\text{ос}}$  комплексного действующего значения напряжения  $U_{\text{ос}}$ .

Следовательно,

$$\Delta \dot{U}_{\text{вых}} = -\Delta \dot{I}_{\text{вых}} \cdot \dot{Z}_{\text{вых}} - \Delta \dot{U}_{\text{ос}} \cdot \dot{K}_U$$

Знаки «минус» использованы потому, что и увеличение тока  $I_{\text{вых}}$  и увеличение напряжения  $U_{\text{ос}}$  вызывают уменьшение напряжения  $U_{\text{вых}}$ . Отсюда с учетом, что  $\Delta \dot{U}_{\text{ос}} = \Delta \dot{U}_{\text{вых}} \cdot \dot{\beta}$ , получим

$$\Delta \dot{U}_{\text{вых}} = -\Delta \dot{I}_{\text{вых}} \cdot \dot{Z}_{\text{вых}} - \Delta \dot{U}_{\text{вых}} \cdot \dot{\beta} \cdot \dot{K}_U$$

$$\Delta \dot{U}_{\text{вых}} = -\Delta \dot{I}_{\text{вых}} \cdot \frac{\dot{Z}_{\text{вых}}}{1 + \dot{\beta} \cdot \dot{K}_U}$$

В соответствии с этим

$$\dot{Z}_{\text{выхос}} = -\frac{\Delta \dot{U}_{\text{вых}}}{\Delta \dot{I}_{\text{вых}}} = \frac{\dot{Z}_{\text{вых}}}{1 + \dot{\beta} \cdot \dot{K}_U}$$

Пусть коэффициенты  $\dot{K}_u$  и  $\dot{\beta}$  являются вещественными.

Тогда,

$$Z_{\text{выхос}} = \frac{Z_{\text{вых}}}{1 + \beta \cdot K_U}$$

т.е. отрицательная обратная связь по напряжению уменьшает выходное сопротивление усилителя  $/1/$ .



Отрицательная обратная связь по напряжению поддерживает стабильным выходное напряжение, делая его независимым от сопротивления нагрузки, что эквивалентно уменьшению выходного сопротивления усилителя.

Подобные рассуждения показывают, что отрицательная обратная связь по току поддерживает стабильным выходной ток, что эквивалентно увеличению выходного сопротивления усилителя:

$$Z_{вых} = Z_{вых} \cdot (1 + K_U \cdot \beta)$$

При этом изменения выходного сопротивления не зависят от способа введения обратной связи на входе усилителя.

### **3.4.3. Общий метод определения влияния ООС на входные и выходные сопротивления по формуле Блекмана**

Как было отмечено выше (см. раздел 3.2) величину

$$1 + \dot{\beta} \cdot \dot{K}_u$$

называют глубиной обратной связи и часто обозначают символом F:

$$F = 1 + \dot{\beta} \cdot \dot{K}_u$$

где  $\dot{\beta}$  - комплексный коэффициент обратной связи (рис.3-10):

$$\dot{\beta} = \frac{\dot{U}_{oc}}{\dot{U}_{вых}}$$

Влияние ООС на входные и выходные сопротивления легко определять по формуле Блекмана:

$$Z_F = Z \cdot \frac{F_{кз}}{F_{хх}},$$

где  $Z_F$  и  $Z$  - сопротивления (входные или выходные) при наличии или отсутствии обратной связи, а  $F_{кз}$  и  $F_{хх}$  - глубина обратной связи при замкнутой или разомкнутой цепи, соответственно.

Рассмотрим применение формулы Блекмана на примере последовательной ООС по напряжению (рис.3-10).

Выходная цепь: при коротком замыкании нагрузки напряжение на выходе усилителя и напряжение ООС отсутствуют и  $F_{к.з.} = 1$ , так как  $\dot{\beta} = 0$ . При х.х. («обрыв» нагрузки) напряжение на выходе усилителя и напряжение ООС сохраняются и величина обратной связи равна  $F_{х.х.}$ .

Тогда по формуле Блекмана:

$$z_{ВЫХF} = z_{ВЫХ} \frac{1}{F_{ХХ}},$$

т.е. выходное сопротивление усилителя при отрицательной обратной связи по напряжению уменьшается, как это и было показано выше с помощью математических соотношений.

Входная цепь: при к.з. источника сигнала ООС на входе усилителя сохраняется и равна величине  $F_{кз}$ ;

при х.х. по входу («обрыв» цепи источника сигнала) и напряжение сигнала и напряжение ООС на входе усилителя отсутствуют, и так как при этом  $\dot{\beta} = 0$ , то  $F_{х.х.} = 1$ .

Тогда по формуле Блекмана:

$$z_{ВХF} = z_{ВХ} \cdot F_{кз},$$

т.е. при последовательной отрицательной обратной связи входное сопротивление увеличивается, как и было показано выше.

### 3.5. Влияние ОС на амплитудно-, фазочастотные и переходные характеристики (линейные искажения)

#### 3.5.1. Частотно-независимая ОС

Типичные АЧХ и ФЧХ усилителей показаны на рис.3-13 и 3-14:

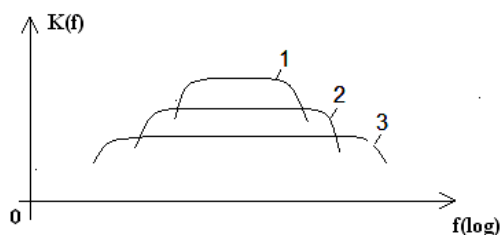


рис. 3-13

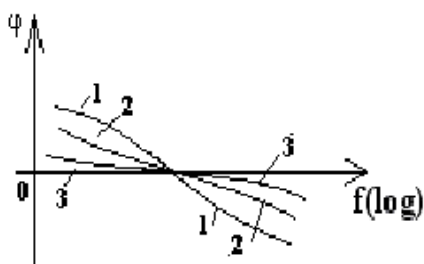


рис. 3-14

1 – с положительной ОС – самая нелинейная АЧХ и ФЧХ;

2 – без ОС;

3 – с отрицательной ОС – самая линейная АЧХ и ФЧХ.

Т.е. ООС – расширяет полосу пропускания усилителя, делая его АЧХ более равномерной, а ФЧХ – более линейной.

Количественно эти утверждения можно оценить следующим образом.

Усилительный каскад может быть представлен общей упрощенной эквивалентной схемой (рис.3-15 а) и эквивалентными схемами на НЧ (рис.3-15 б) и на ВЧ (рис. 3-15 в):

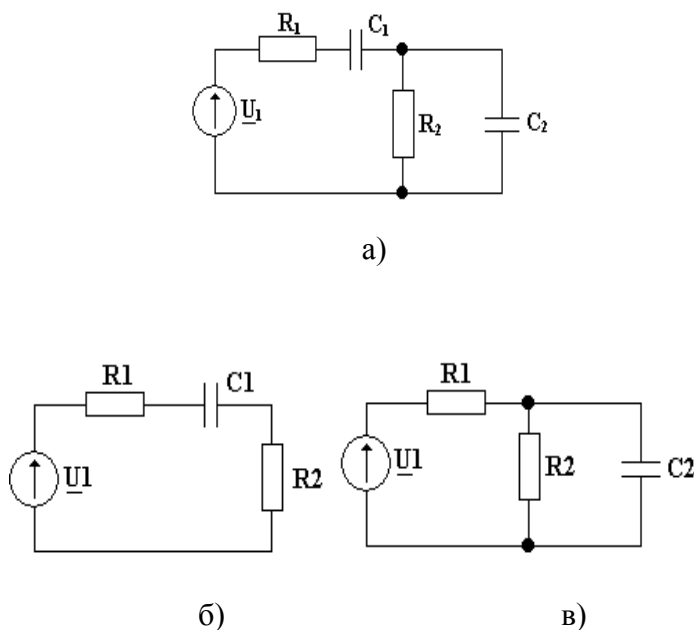


рис.3-15

Полагая, что  $C_2 \ll C_1$ ;  $R_1 \ll R_2$ , на НЧ – пренебрегаем  $C_2$ , так как  $\frac{1}{\omega \cdot C_2} \gg R_2$  - рис.3-15 б); На ВЧ – пренебрегаем  $C_1$  так как  $\frac{1}{\omega C_1} \ll R_1$  - рис. 3-15 в)

Общее выражение для коэффициента усиления с ОС:

$$K_F(j\omega) = \frac{K(j\omega)}{1 + \beta(j\omega)K(j\omega)} ;$$

Для усилителя без ОС:

$$K(j\omega) = \frac{K}{(1 + j\omega\tau_B)}$$

где  $\tau_B = RC$  - постоянная времени усилительного каскада на ВЧ;

Подставляя  $K(j\omega)$  (без ОС) в формулу  $K_F(j\omega)$ , получаем:

$$K_F(j\omega) = \frac{K/(1 + \beta \cdot K)}{1 + j\omega\tau_B/(1 + \beta \cdot K)} ,$$

т.е. постоянная времени  $\tau_B$  усилителя с ОС уменьшилась в  $F$  раз; следовательно, верхняя граничная частота усиления

$$\omega_{BF} = \omega_B \cdot (1 + \beta K)$$

- увеличилась в  $F$  раз.

Аналогично показывается расширение частотного диапазона в области НЧ. По аналогии можно показать, что  $\varphi_F = \varphi / F$  - т.е. фазовый сдвиг по абсолютной вели-

чине уменьшается в  $F$  раз при ООС и увеличивается при ПОС, а АЧХ – более нелинейная при ПОС.

Так как ООС уменьшает амплитудно-частотные и фазочастотные искажения, то она уменьшает и связанные с ними переходные искажения.

Так как ООС расширяет полосу как в сторону  $f_n$ , так в сторону  $f_v$ , то ООС будет уменьшать время установления  $t_y$  импульса ( $t_{\text{нарастания}}$ ) и спад его плоской вершины ( $\Delta$ ) – см. рис. 3-16.

Форма ПХ в области малых времен обусловлена эквивалентной схемой для ВЧ.

Форма ПХ в области больших времен обусловлена эквивалентной схемой для НЧ.

Расширение полосы в сторону НЧ эквивалентно увеличению постоянной времени заряда конденсатора  $C_1$  и, соответственно, уменьшению спада  $\Delta$ .

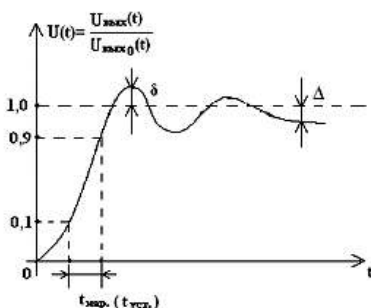


рис.3-16

Расширение полосы в сторону ВЧ эквивалентно уменьшению постоянной времени заряда  $C_2$  и, соответственно, уменьшению  $t_{\text{уст.}}$

### 3.5.2. Частотнозависимая ОС

Частотнозависимая ОС изменяет АЧХ усилителя, делая её обратной АЧХ коэффициента передачи цепи обратной связи (рис.3-17):

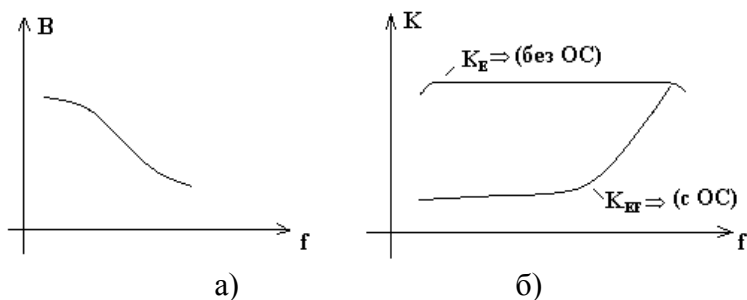


рис.3-17

Например, для схемы передачи ОС через цепь RC с увеличением частоты сопротивление  $X_c = 1/\omega C$  падает, и коэффициент обратной связи  $\beta$  уменьшается (см. рис.3-17 а).

Если усилитель без ОС имел горизонтальную АЧХ, то с ООС он будет иметь вид, показанный на рис.3-17 б), т.е. с ростом частоты величина ОС падает и коэффициент усиления  $K_F$  растет.

Существует большое количество цепей коррективки АЧХ за счёт частотно-зависимой ООС – примеры приведены ниже на рис 3-18.

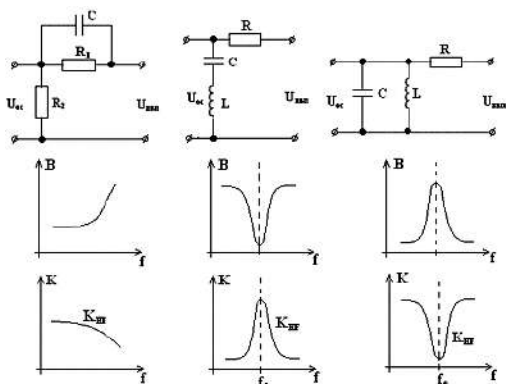


рис.3-18

### 3.6. Влияние ОС на нелинейные искажения, помехи и динамический диапазон

Можно показать, что при наличии ООС уменьшение помех на выходе усилителя определяется:

$$U_{2ПФ} = \frac{U_{2П}}{1 + \beta \cdot K_E} = \frac{U_{2П}}{F}.$$

Но так как ООС одинаково ослабляет и помеху и сигнал, то отношение  $U_{\text{с}}/U_{\text{п}}$  - не изменится. Введение ООС позволяет уменьшить нелинейные искажения. Физически это объясняется тем, что гармонические составляющие по цепи ОС попадают на вход в противофазе. Это значит, что при том же самом сигнале на входе уровень гармонических составляющих на выходе определяется:

$$K_{IF} \cong \frac{K_{\Gamma}}{(1 + \beta \cdot K_F)} = \frac{K_{\Gamma}}{F}.$$

Это очень важно для усилительных устройств многоканальной связи. Глубина  $F$  может составлять 60 – 70 дБ.



Снижение уровня помех и повышение линейности способствует расширению динамического диапазона

$$D = \frac{U_{BbIX \max}}{U_{BbIX \min}} = \frac{U_{BX \max}}{U_{BX \min}}$$

в пределах линейного участка амплитудной характеристики ( $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ ).

Так как напряжение помехи (как и сигнала) с выхода усилителя поступает на вход по цепи обратной связи в противофазе с основным сигналом (и помехой), то в результате произойдет ослабление помехи (при этом соотношение сигнал/помеха не изменится!)

### 3.7. Устойчивость усилителей с ОС. Критерии устойчивости. Запасы устойчивости

Как видно из гибридной схемы (рис.3-6) усилитель и цепь ОС составляют замкнутое кольцо, которое принято называть петлей обратной связи.

Для замкнутой цепи ОС, как было уже показано, имеются количественные характеристики величины обратной связи (рис.3-10):

- глубина обратной связи (отрицательной)

$$F = 1 + \dot{\beta} \cdot \dot{K}_u$$

- и комплексный коэффициент обратной связи  $\dot{\beta} = \frac{\dot{U}_{oc}}{\dot{U}_{вых}}$

Для количественной оценки характеристик петли обратной связи применяются показатели:

- коэффициент петлевого усиления  $K_{\Pi} = \beta \cdot K_u$
- и величина возвратного отношения  $T = -K_{\Pi}$ .

При этом глубина ООС:

$$F = 1 + K_{II} = 1 - T$$

Величина возвратного отношения  $\underline{T}$  – комплексная величина, характеризуется модулем  $T$  и аргументом  $\varphi_T$  – фазой обратной связи.

Модуль глубины ОС  $F$  определяется через  $T$  и  $\varphi_T$  (рис.3-19):

$$F = |1 + T \cdot e^{j\varphi_T}| = \sqrt{1 + 2T \cos \varphi_T + T^2}.$$

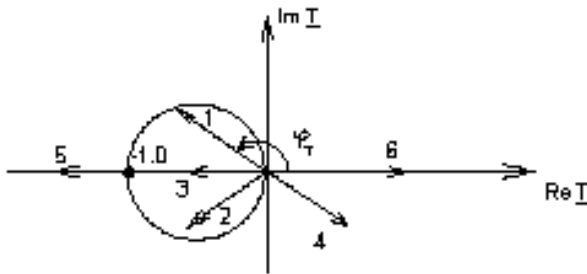


рис.3-19

При  $F = 1$  получаем величину возвратного отношения  $T = -2 \cos \varphi_T$ , зависимость которого от частоты имеет вид окружности с единичным радиусом:

1) любой вектор из начала координат, лежащий на окружности относится к нейтральной ОС (вектор 1), которая влияет лишь на фазу выходного напряжения;

2) при  $F < 1$   $T < -2 \cos \varphi_T$ , т.е. векторы находятся внутри окружности, не соприкасаясь с ней. Это положительная ОС – векторы 2,3;

3) если вектор оказывается вне круга, то ОС – отрицательная (векторы 4,5,6);

4) отдельный случай – расположение векторов на оси вещественных значений  $T$  (при  $\varphi_T = 180^\circ$  и  $\varphi_T = 0^\circ$ ):

- при  $\varphi_T = 180^\circ$  и  $T < 1$ , вектор внутри круга – положительная ОС (вектор 3);
- при  $\varphi_T = 180^\circ$  и  $T > 1$ , то усилитель неустойчив, самовозбуждается, превращаясь в генератор (вектор 5);
- при  $\varphi_T = 0^\circ$  - отрицательная ОС (вектор 6).

Критерий Найквиста: в соответствии с ним усилитель с ОС устойчив, если (рис.3-20) годограф вектора возвратного отношения  $T(jf)$  не охватывает точки с координатами  $(-1,0)$  в области изменения частоты от 0 до  $\infty$ .

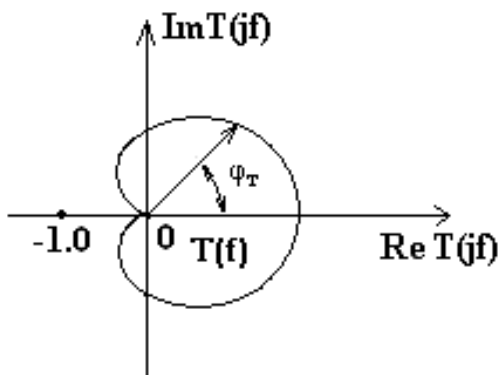


рис.3-20

Годограф - кривая, по которой проходит конец вектора  $T$  при изменении частоты от 0 до  $\infty$ .

На рис. 3-21 показан годограф возвратной разности неустойчивого усилителя. Однако, если уменьшить коэффициент усиления, то  $T(f)$  уменьшится и неустойчивый усилитель станет устойчивым (пунктир.)

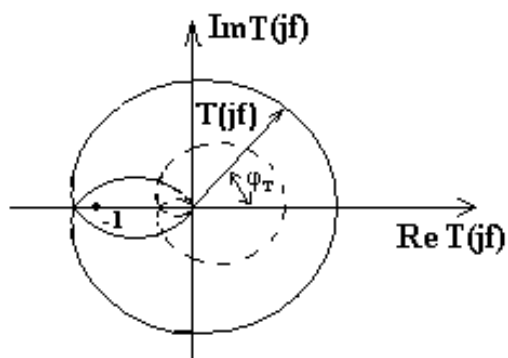


рис.3-21

Условно устойчивый усилитель (рис.3-22): при перегрузках усилителя (сигналом или помехой) критическая точка  $(-1,0)$  может оказаться внутри годографа – наблюдается самовозбуждение (потеря устойчивости).

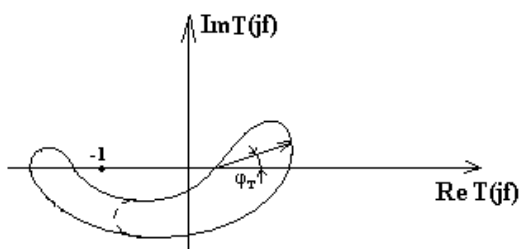


рис.3-22

Чтобы не допустить потери устойчивости делают автоматическую регулировку, изменяя годограф (см. пунктир на рис.3-22).

Запасы устойчивости определяют с помощью годографа (рис.3-23).

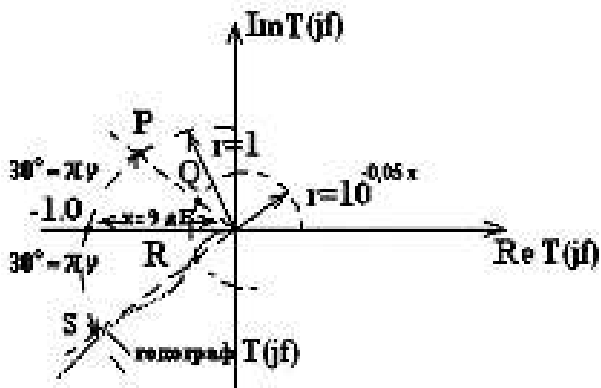


рис.3-23

Для обеспечения устойчивости с запасом, который необходим из-за разброса и непостоянства параметров усилителей и их зависимости от температуры, от изменения напряжения источников питания, от времени и т.д., годограф должен проходить на некотором удалении от точки  $(-1,0)$ ; т.е. должны быть запасы по  $X$  - по модулю  $T$  (в децибелах) и  $Y$  - по аргументу  $\varphi$ : это связано с тем, что фазовый сдвиг является зависимым от соотношений активных и реактивных цепей ( $L$  и  $C$  на ВЧ (выводы, паразитные ёмкости); на НЧ - это блокировочные ёмкости в цепях питания и т.д.).

Годограф вектора  $T(jf)$  должен находится вне области PQRS (рис.3-23): при этом рекомендуемые значения запаса по модулю порядка  $X=9$  дБ и по аргументу  $Y = 1/6 = \pi/6 = 30^\circ$ .

Ниже приведены основные меры по обеспечению устойчивости.

1. Нужны меры по снижению коэффициента петлевого усиления  $K_{\Pi} = \beta \cdot K_u$  на частотах, где фаза обратной связи  $\varphi$  достигает  $180^\circ$ .

Для этого нужно уменьшить число каскадов, охваченных ОС, или охватывать ОС каскады, дающие малые фазовые сдвиги (резисторные).

2. Если есть трансформатор на выходе усилителя, то ОС надо снимать с первичной обмотки, если на входе – то подавать ОС во вторичную обмотку.

При этом будут минимальные сдвиги фазы.

3. Если в усилителе много каскадов с ОС – то желательно общую петлю ОС разделять на несколько.

4. Можно применять корректирующие цепочки, уменьшающих сдвиг фазы петли ОС.

Например (рис.3-24):

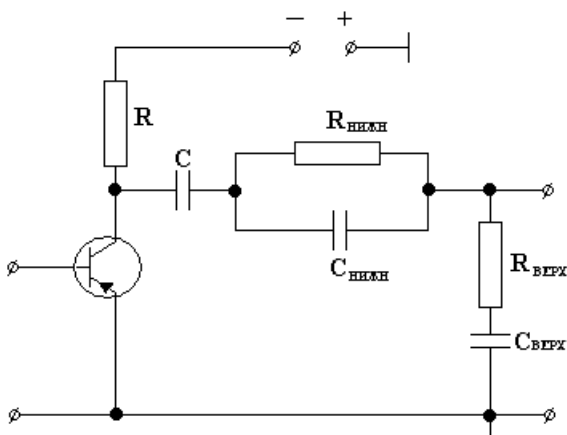


рис.3-24

$R_H C_H$  снижает коэффициент усиления на НЧ и отодвигает фазовый сдвиг в область очень НЧ, устраняя неустойчивость на рабочей частоте.

$R_B C_B$  аналогично действует в области ВЧ. Их необязательно применять вместе.

## Выводы по теме

1. Влияние ОС на коэффициенты усиления не зависит от способа получения ОС, а определяется только способом введения ОС на вход усилителя.

2. При последовательной ОС сигнал ОС вводится последовательно с напряжением источника сигнала. При этом ток входной цепи, а значит и усиление по току не меняется; происходит сложение напряжений (сигнала и ОС). Если ОС отрицательна, то сигнал ОС вычитается из напряжения источника сигнала и усиление по напряжению уменьшается. При ПОС, соответственно, усиление по напряжению увеличивается.

3. При параллельной ОС сигнал ОС вводится параллельно с напряжением источника сигнала. При этом напряжение на входе и, соответственно, коэффициент усиления по напряжению не меняются. Так как при этом вычитаются токи сигнала и ООС, то уменьшается коэффициент усиления по току. При ПОС, наоборот, усиление по току увеличится.

4. При комбинированной по входу ОС составляющая последовательной ОС влияет только на коэффициент усиления по напряжению, а составляющая параллельной ОС – только на коэффициент усиления по току. При ООС – все коэффициенты, соответственно, уменьшаются, а при ПОС – увеличиваются.

5. Сквозной коэффициент усиления при любом способе введения ОС уменьшается.

6. ООС расширяет полосу пропускания усилителя, делая его АЧХ более равномерной, а ФЧХ – более линейной. Повышается стабильность коэффициента усиления. Снижается уровень помех и уровень нелинейных искажений (при неизменности соотношения  $U_c/U_n$ ).

7. Выходное сопротивление усилителя при отрицательной обратной связи по напряжению уменьшается, а при отрицательной обратной связи по току – увеличивается.
8. Входное сопротивление усилителя при параллельной отрицательной обратной связи уменьшается, а при последовательной – увеличивается.
9. Устойчивость усилителя можно определять по критерию Найквиста - в соответствии с ним усилитель с ОС устойчив, если годограф вектора возвратного отношения  $T(jf)$  не охватывает точки с координатами  $(-1,0)$  в области изменения частоты от 0 до  $\infty$ .

### **Задания и вопросы для самоконтроля по теме**

1. Что такое «обратная связь» и для чего она используется в усилительных устройствах?
2. Назовите виды обратной связи;
3. Приведите пример реализации ООС параллельной по напряжению;
4. Приведите пример реализации ООС последовательной по току;
5. Приведите пример реализации ООС последовательной по напряжению;
6. Приведите пример реализации ООС параллельной по току;
7. Как влияет последовательная ООС на коэффициенты усиления?
8. Как влияет параллельная ООС на коэффициенты усиления?
9. Как влияет комбинированная ООС на коэффициенты усиления?
10. Как влияет последовательная ООС на входное сопротивление?



11. Как влияет параллельная ООС на входное сопротивление?
12. Как влияет комбинированная ООС на входное сопротивление?
13. Как влияет ООС по току на выходное сопротивление?
14. Как влияет ООС по напряжению на выходное сопротивление?
15. Как влияет комбинированная ООС на выходное сопротивление?
16. Приведите формулу Блекмана и пример ее применения;
17. Как влияет ООС на стабильность усиления? Приведите примеры.
18. Как влияет ООС на АЧХ и ФЧХ усилителя?
19. Как влияет ООС величину помех и нелинейные искажения?
20. Приведите примеры схем применения частотнозависимой ОС;
21. Как с помощью критерия Найквиста определить устойчивость усилителя?
22. Назовите основные меры по обеспечению устойчивости усилителя.

## Лекция 5

### Тема: усилители на биполярных и полевых транзисторах

#### 5.1. Основные свойства транзисторов, включенных по схемам с общим эмиттером, общей базой и общим коллектором

Рассмотрим указанные схемы по таким показателям, как коэффициенты передачи по току, напряжению, мощности и способности инвертировать входной сигнал.

##### 5.1.1. Основные свойства транзистора, включенного по схеме с общим эмиттером

Для схемы с общим эмиттером (рис.5-1) входной ток  $I_{вх} = I_b$ ; выходной ток  $I_{вых} = I_c$ ;

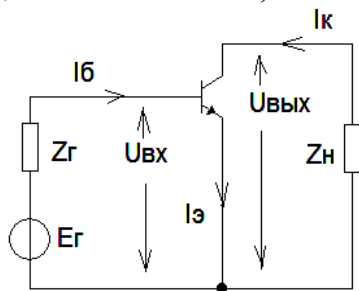


рис.5-1

1) Коэффициент передачи по току:

$$K_{ioэ} = \frac{I_{вых}}{I_{вх}} = \frac{I_c}{I_b} = \beta = h_{21э} \gg 1$$

## 2) Коэффициент передачи по напряжению

$$K_{иоэ} = \frac{U_{вых}}{U_{вх}} = \frac{I_{вых} \cdot Z_H}{I_{вх} \cdot Z_{вхоэ}} = K_{иоэ} \cdot \frac{Z_H}{Z_{вхоэ}}$$

Если  $Z_H \approx Z_{вхоэ}$  (одного порядка), то  $K_{иоэ} \gg 1$ , т.е. схема с общим эмиттером является хорошим усилителем как по току, так и по напряжению.

## 1) Коэффициент передачи по мощности:

$$K_{роэ} = K_{иоэ} \cdot K_{иоэ} \gg 1$$

4) Рассмотрим вопрос инвертирования входного сигнала, для чего представим схему усиления с ОЭ (рис.5-2):

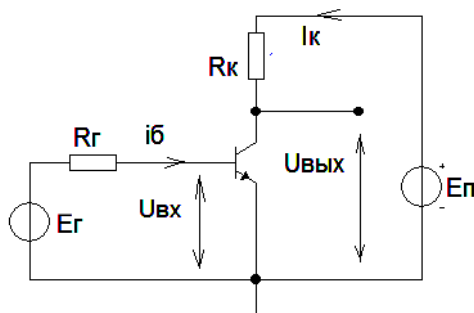


рис.5-2

На рис 5-3 показаны входная, выходная и нагрузочная характеристики для переменного входного и выходного сигналов, из которых видно, что выходное напряжение  $U_k$  находится в противофазе с входным сигналом.

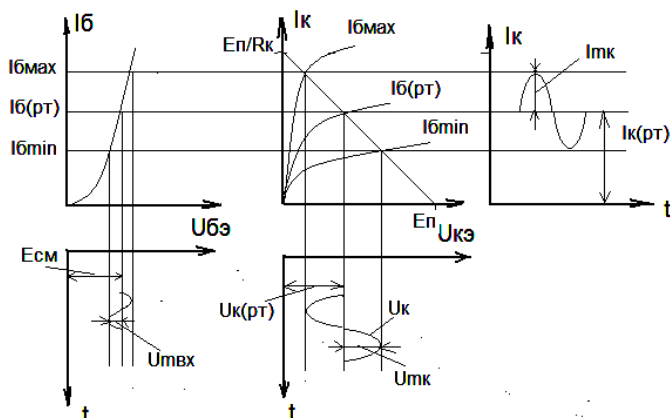


рис 5-3

Для схемы рис.5-2 можно записать:

$$U_{вых} = E_{пит} - I_k \cdot R_k,$$

т.е. изменение выходного напряжения

$$\Delta U_{вых} = -I_k \cdot R_k,$$

что так же подтверждает инвертирующие свойства схемы с общим эмиттером.

### 5.1.2. Основные свойства транзистора, включенного по схеме с общей базой

Для схемы с общей базой (рис.5-4) входной ток  $I_{вх} = I_{\varepsilon} = I_{б} + I_{к}$ ; выходной ток  $I_{вых} = I_{к}$ ;

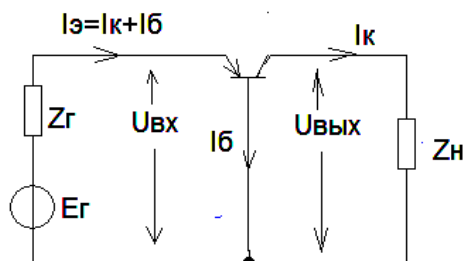


рис.5-4

1) Коэффициент передачи по току:

$$K_{iоб} = \frac{I_{вых}}{I_{вх}} = \frac{I_k}{I_{\varepsilon}} = \frac{I_k}{I_{\varepsilon} + I_k} = \alpha = h_{21\delta} \leq 1,$$

т.е. схема с общей базой не усиливает ток.

2) Коэффициент передачи по напряжению:

$$K_{uоб} = \frac{U_{вых}}{U_{вх}} = \frac{I_k \cdot Z_n}{I_{\varepsilon} \cdot Z_{вхоб}} = \frac{I_k \cdot Z_n}{(I_{\varepsilon} + I_k) \cdot Z_{вхоб}} = K_{iоб} \cdot \frac{Z_n}{Z_{вхоб}}.$$

Сравним входные сопротивления схем с общим эмиттером и общей базой:

- для схемы с общим эмиттером

$$Z_{вх\delta} = \frac{U_{вх}}{I_{\varepsilon}};$$

- для схемы с общей базой

$$Z_{вхоб} = \frac{U_{вх}}{I_{\varepsilon} + I_k} \ll Z_{вх\delta}$$

или

$$Z_{вхоб} = \frac{U_{вх}}{I_б + I_k} = \frac{U_{вх}}{I_б} \cdot \frac{1}{\left(\frac{I_k}{I_б}\right) + 1} = \frac{Z_{вхоэ}}{1 + h_{21э}}$$

Тогда коэффициент передачи по напряжению

$$K_{иоб} = K_{иоб} \cdot (1 + h_{21э}) \cdot \frac{Z_n}{Z_{вхоэ}}.$$

Так как  $K_{иоб} \leq 1$ , а  $Z_n$  и  $Z_{вхоэ}$  - одного порядка, то  $K_{иоб} \gg 1$ , т.е. схема с общей базой является хорошим усилителем напряжения.

3) Коэффициент передачи по мощности:

$K_{роб} = K_{иоб} \cdot K_{иоб} \gg 1$ , но меньше, чем для схемы с общим эмиттером.

4) Для оценки инвертирующих свойств схемы с общей базой представим ее в виде рис.5-5:

Как видно из особенности построения схемы с общей базой, она не инвертирует входной сигнал (входной и выходной токи совпадают по фазе).

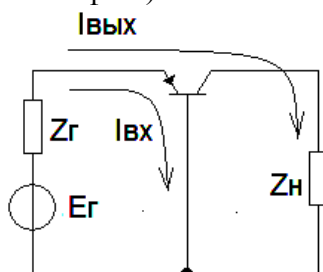


рис.5-5

### 5.1.3. Основные свойства транзистора, включенного по схеме с общим коллектором

Для схемы с общим коллектором (рис.5-6) входной ток  $I_{вх} = I_{б}$ ; выходной ток  $I_{вых} = I_{э} = I_{б} + I_{к}$ ; входное напряжение  $U_{бэ} + U_{вых}$ .

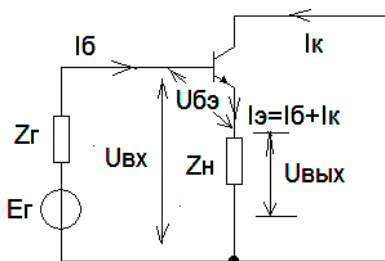


рис.5-6

1) Коэффициент передачи по току:

$$K_{ток} = \frac{I_{вых}}{I_{вх}} = \frac{I_{б} + I_{к}}{I_{б}} = 1 + h_{21э} \gg 1,$$

т.е. схема с общим коллектором является хорошим усилителем тока.

2) Коэффициент передачи по напряжению ( $U_{бэ}$ , как правило, меньше  $U_{вых}$ ):

$$K_{уок} = \frac{U_{вых}}{U_{вх}} = \frac{U_{вых}}{U_{бэ} + U_{вых}} \leq 1,$$

т.е. схема с общим коллектором не усиливает напряжение.

3) Коэффициент передачи по мощности:

$K_{рок} = K_{ток} \cdot K_{уок} \gg 1$ , но меньше, чем для схемы с общим эмиттером.

4) Для оценки инвертирующих свойств схемы с общим коллектором представим ее в виде рис.5-7:

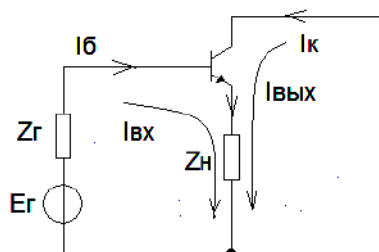


рис.5-7

Как видно из особенности построения схемы с общим коллектором, она не инвертирует входной сигнал (входной и выходной токи совпадают по фазе).

## 5.2. Принцип электронного усиления

Рассмотрим исходное положение при отсутствии сигнала на входе транзистора  $U_{вх} = 0$  (рис.5-8). При этом напряжение на базе равно напряжению смещения  $E_{см}$ , а на коллекторе в рабочей точке (по постоянному току)

$$U_k(pt) = E_{пит} - R_k \cdot I_k(pt)$$

При подаче на вход переменного напряжения

$$U_{вх} = U_{mвх} \cdot \sin \omega t$$

в первый полупериод входное напряжение на базе будет дополнительно открывать транзистор, а во второй полупериод – закрывать.



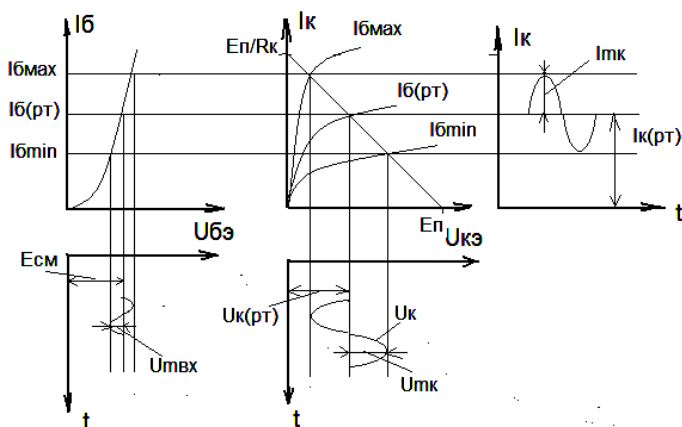


рис. 5-8

В результате ток коллектора будет изменяться:

$$i_K = I_K(pm) + I_{mK} \cdot \sin \omega \cdot t$$

Переменное напряжение на коллекторе:

$$U_{KЭ} = U_K(pm) - U_{mK} \cdot \sin \omega \cdot t,$$

где  $U_{mK} = I_{mK} \cdot R_K$  - амплитуда его переменной составляющей.

При достаточно большом  $R_K$  амплитуда  $U_{mK} > U_{mvx}$ , т.е. каскад усиливает по напряжению. Процесс управления током  $i_K$  транзистора может быть рассмотрен как результат изменения его внутреннего сопротивления  $R_i$ , в результате чего происходит непрерывное перераспределение напряжения источника питания между транзистором и нагрузкой, а управление  $R_i$  осуществляется за счёт изменения  $U_{vx}$ .

### 5.3 Режимы работы усилительных элементов

**Режим А** (рис.5-9) характеризуется тем, что рабочая точка **А** выбирается на линейном участке характеристики при сравнительно большом токе.

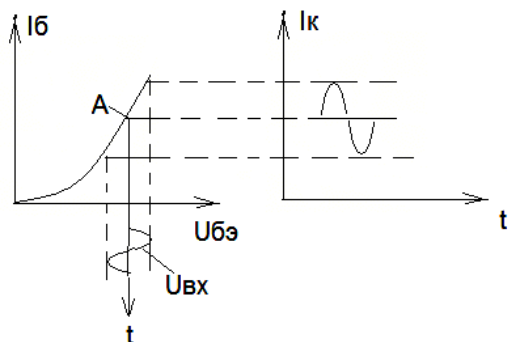


рис. 5-9

Ток коллектора не прерывается в течение всего периода входного колебания. В этом режиме обеспечиваются минимальные нелинейные искажения. Данный режим применяется только в каскадах предварительного усиления из-за низкого коэффициента полезного действия. Половина длительности импульса выходного сигнала, выраженная в радианах (или градусах) текущей фазы, называется углом отсечки  $\Theta$ . Для данного режима  $\Theta = 180^\circ$ .

**Режим В.** Рабочая точка совмещается с началом входной характеристики (точка 0, рис.5-10).

В отсутствии сигнала  $I_k = 0$ , что делает режим покоя экономичным. Ток  $I_k$  протекает в течение положительной половины каждого периода входного сигнала.

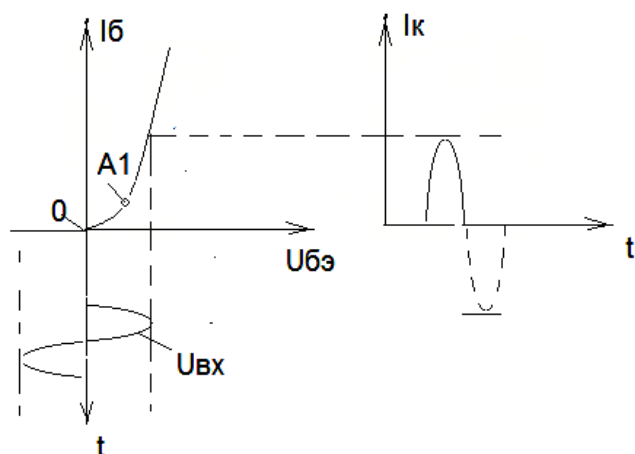


рис.5-10

Вторая полуволна не пропускается данным транзистором. Для ее усиления ставится другой транзистор - получается двухтактный усилитель. Для данного режима  $\Theta = 90^\circ$ .

В режиме В получается высокий КПД.

Однако из-за кривизны начального участка появляются искажения выходного тока. Из-за прерывистости тока возникают дополнительные искажения, обусловленные переходными процессами.

**Режим АВ.** Рабочая точка  $A_1$  устанавливается примерно по середине криволинейного участка входной характеристики (рис. 5-10). В результате импульсы выходного тока оказываются шире половины периода и угол отсечки  $\Theta > 90^\circ$ . Этот режим - основной для двухтактных каскадов. Здесь потребляется некоторый ток покоя, но КПД несколько ниже, чем в режиме В. Преимущество - лучшая линейность (меньше искажений).

**Режим С.** Рабочая точка  $A_1$  (рис. 5-11) находится в области запираения;  $\Theta < 90^\circ$ .

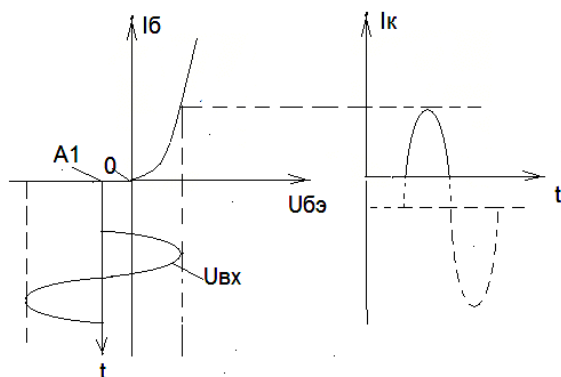


рис.5-11

Этот режим применяется в основном в радиопередающих устройствах и специальных усилителях с повышенным КПД.

**Режим Д** - ключевой режим; его особенность состоит в том, что на вход транзистора подают прямоугольные импульсы большей амплитуды, полностью запирающие или отпирающие транзистор. Последний используется в качестве ключа: или полностью открыт или полностью закрыт. В первом случае напряжение  $U_{КЭ} \cong 0$ , во втором  $I_K \cong 0$ , поэтому потери энергии в транзисторе практически отсутствуют.

Режим Д позволяет получить очень высокий КПД. Кроме мощных ключевых усилителей данный режим используется также в цифровых устройствах.

## 5.4. Схемы межкаскадных связей

Обычно усилители - многокаскадные, так как один каскад не обеспечивает требуемого коэффициента усиления.

Простейший вид межкаскадной связи - **непосредственная связь (или гальваническая, рис.5-12).**

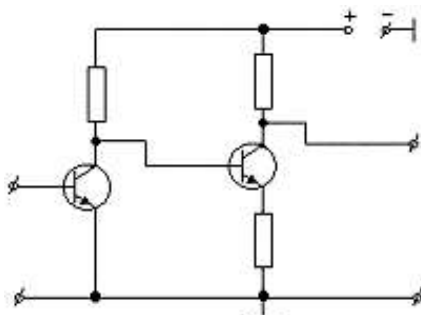


рис.5-12

Её достоинство – предельная простота, широкополосность, возможность передачи постоянных напряжений.

Её недостаток – передача медленных изменений, т.е. сказывается нестабильность питающих напряжений, которая усиливается следующим каскадом; непосредственная связь используется в УПТ, в интегральных микросхемах.

**Резистивно-емкостная связь:** через резистор  $R_2$  и конденсатор  $C_2$  (рис.5-13).

Конденсаторы  $C_2$  и  $C_3$  разделяют по постоянному току один каскад от другого, благодаря чему режим транзистора  $T_2$  не зависит от режима транзистора  $T_1$ .

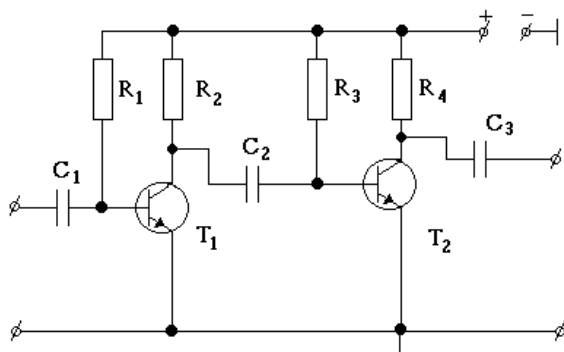


рис. 5-13

Схема проста, широкополосная. Каскад с резистором  $R_2$  в цепи выходного электрода называется резисторным. Недостаток - наличие габаритных конденсаторов  $C_2$ , что является ограничением в применении для интегральных микросхем.

**Дроссельно-конденсаторная связь.** Вместо резистора  $R_2$  устанавливается дроссель. Полоса частот значительно сужается из-за наличия собственной ёмкости дросселя и снижения сопротивления дросселя  $X_{Lop} = \omega \cdot L_{op}$  на низких частотах.

Достоинство – высокий КПД каскада.

Недостаток – узкая полоса, большие габариты, чувствительность к магнитным наводкам. Большая масса и размеры усилителя.

**Трансформаторная связь** (рис.5-14).

Резистор  $R_1$  задает смещение на  $T_2$ ; конденсатор  $C_1$  – для связи по переменному току с эмиттером  $T_2$ . Трансформатор обеспечивает развязку каскадов по постоянному току.

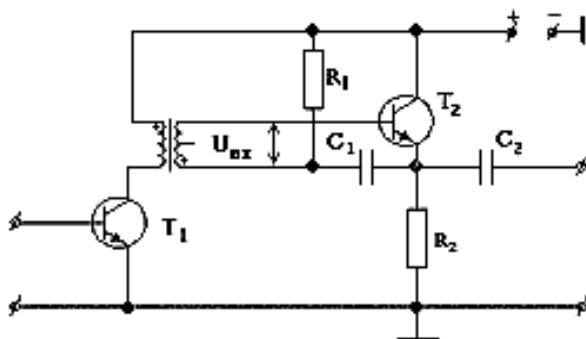


рис.5-14

Выбором коэффициента трансформации обеспечивается оптимальная (по мощности или по напряжению) нагрузка транзистора  $T_1$ .

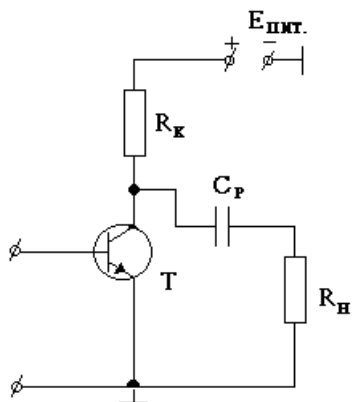
Трансформаторный каскад имеет хороший КПД. Недостатки - большие размеры, масса, неширокая полоса пропускания, высокая чувствительность к наводкам магнитных полей. Большие фазовые сдвиги на ВЧ.

### 5.5. Динамические и нагрузочные характеристики

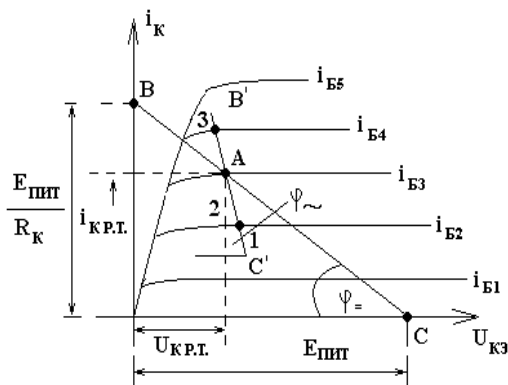
Динамическая характеристика – связь между мгновенными значениями тока и напряжения при наличии нагрузки  $R_H$ .

По ней выбирают рабочую точку, определяют выходную мощность  $P_{\text{вых}}$ , КПД, нелинейные искажения.

Для схемы (рис.5-15) постоянное напряжение на коллекторе  $U_K = E_{\text{пит}} - i_K \cdot R_K$  - это формула нагрузочной характеристики или линии нагрузки для постоянного тока.



Линия нагрузки по постоянному току представлена на рис.5-16 – это линия ВС, с точками  $E_{\text{пит}}/R_K$  и  $E_{\text{пит}}$  по осям координат.



Угол наклона её  $\text{tg}\varphi = (-1/R_K)$ . Однако проще строить её по указанным точкам В и С.



Задавая смещение, устанавливают рабочую точку А на прямой ВС. Её координаты:

$$I_{K(P.T.)} \text{ и } U_{K(P.T.)} = E_{\text{ПИТ}} - R_K I_{K(P.T.)}.$$

Для переменной составляющей линия нагрузки будет другой. Так как сопротивление разделительного конденсатора  $C_p$  выбирается  $X_{C_p} = \frac{1}{\omega \cdot C_p} \approx 0$ , то для переменной составляющей коллекторного тока сопротивления  $R_K$  и  $R_H$  соединены параллельно и составляют

$$R_{H\text{транз.}} = R_K \parallel R_H$$

При мгновенном изменении  $\Delta i_K$  напряжение на коллекторе уменьшится на величину

$$\Delta U_{KЭ} = -\Delta i_K \cdot R_{H\text{транз.}}$$

- это уравнение нагрузки для переменного тока.  
Угол её наклона:

$$\text{tg } \varphi \sim (-1/R_{H\text{транз.}}).$$

С помощью линий нагрузок определяют рабочую точку,  $i_{k\text{max}}$ ,  $U_{k\text{max}}$  и т.д. Если  $R_H$  чисто активное, то линия нагрузки – прямая В'С'.

## 5.6. Резисторный апериодический предварительный усилитель напряжения

Предварительный усилитель (ПУ) предназначен для усиления сигналов до уровня, достаточного для управления оконечным или предоконечным каскадом. В ПУ

уровни сигналов малы, и параметры транзисторов можно считать постоянными, а нелинейные искажения очень малыми.

Принципиальные (полные) схемы приведены на рис.5-17: а) - схема с общим эмиттером и б) – схема с общей базой.

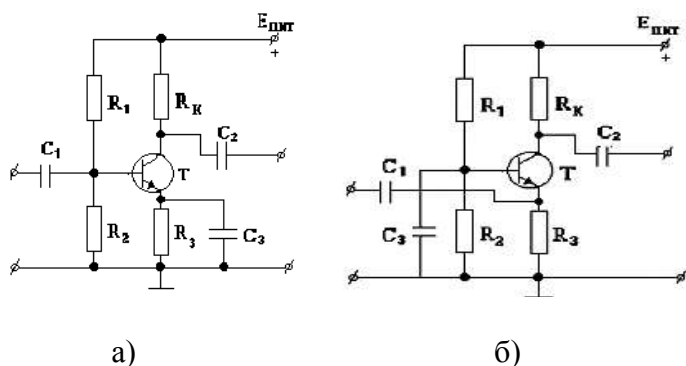


рис.5-17

По постоянному току – схемы одинаковы: они построены по схеме с эмиттерной стабилизацией. По переменному току в первой схеме эмиттер «закорочен» конденсатором  $C_3$ , а входное напряжение подаётся на базу через конденсатор  $C_1$ . Во второй схеме блокировочный конденсатор  $C_3$  «закорачивает» на землю базу, а входное напряжение подаётся через конденсатор  $C_1$  на  $R_3$  в цепь эмиттера.

Выходное напряжение снимается через конденсатор  $C_2$ . Каскад с ОЭ – инвертирующий Каскад с ОБ – не даёт усиления по току.

### 5.6.1. АЧХ резисторного каскада на биполярном транзисторе

Для упрощения по рис.5-17 а):

В.А.Галочкин

1) не принимаем во внимание блокировочные конденсаторы  $C_1$  и  $C_3$ , так как

$$X_{c1} = X_{c3} = \frac{1}{\omega \cdot C_3} \approx 0$$

2) нагрузка - только  $R_H C_H$  (включая ёмкость монтажа). Тогда упрощенная схема будет иметь вид (рис.5-18):

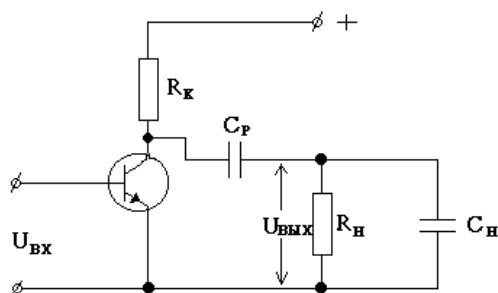


рис. 5-18

#### а) область верхних частот:

Заменяем транзистор эквивалентным двухполюсником (рис.5-19):

Здесь:  $R_{HT} = R_K \parallel R_H$ ;  $X_{C_P} = \frac{1}{\omega \cdot C_P} \approx 0$ .

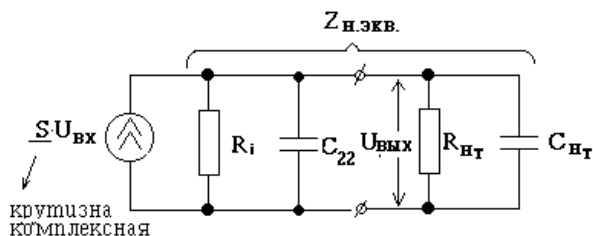


рис. 5-19

Обозначим:

$$\begin{cases} R_{H.ЭKB.} = R_i \parallel R_{HT} \\ C_{H.ЭKB.} = C_H + C_{22} \end{cases}$$

$C_{22}$  – выходная ёмкость транзистора

$$C_{22} = C_K \cdot (1 + K_0)$$

$$C_{22} \Big|_{R_F=0} = C_K \cdot (1 + S \cdot r_\delta)$$

$$C_{22} \Big|_{R_F=\infty} = C_K \cdot (1 + \beta)$$

Тогда

$$z_{H.ЭKB.} = \frac{R_{H.ЭKB.}}{1 + j \cdot \omega \cdot \tau_{H.ЭKB.}},$$

где  $\tau_{H.ЭKB.} = R_{H.ЭKB.} \cdot C_{H.ЭKB.}$  – постоянная времени цепи нагрузки генератора на эквивалентной схеме.

Кроме того, учтём крутизну транзистора:

$$\underline{S} = \frac{S_0}{1 + j\omega \cdot \tau_S},$$

где  $S_0$  – значение крутизны на низкой частоте,  $\tau_S$  – постоянная времени крутизны.

Тогда нормированный комплексный коэффициент передачи на ВЧ:

$$\underline{y}_e = \frac{K_e}{K_0} = \frac{1}{(1 + j\omega \cdot \tau_S) \cdot (1 + j\omega \cdot \tau_{H.ЭКВ.})}$$

где  $K_0 = S_0 R_{H.ЭКВ.}$  – это коэффициент усиления на средних частотах.

Учитывая, что  $\omega^2 \tau_S \tau_{H.ЭКВ.} \ll 1$ ,  
получаем

$$\underline{y}_e \cong \frac{1}{1 + j\omega \cdot \tau_e},$$

где  $\tau_e = \tau_S + \tau_{H.ЭКВ.}$  – постоянная времени каскада на ВЧ.  
Модуль нормированного коэффициента передачи

$$y_e = \frac{K_e}{K_0} = \frac{1}{\sqrt{1 + \omega^2 \cdot \tau_e^2}}$$

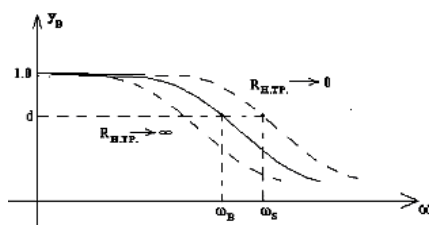


рис. 5-20

Спад характеристики (рис.5-20) обусловлен уменьшением крутизны  $S$  и сопротивления  $Z_{H.ЭКВ.}$  из-за наличия Снэкв.

При уровне отсчёта  $d$  на граничной частоте  $\omega_B$  ( $y_B = d$  на  $\omega = \omega_B$ )

$$\omega_{\theta} = \frac{1}{\tau_{\theta}} \cdot \sqrt{\frac{1}{d^2 - 1}}$$

В частности при  $d = 1/\sqrt{2} = 0.707$

$$\omega_{\theta} = \frac{1}{\tau_{\theta}} \cdot$$

При  $R_{н.т.} \rightarrow 0$ , то в  $\tau_B = \tau_S + \tau_{н.экв.}$  в нуль обращается только  $\tau_{н.экв.}$  и  $\omega_B$  увеличивается до величины

$$\omega_S = \frac{1}{\tau_S}$$

( $\omega_S$  - частота, на которой  $S=0,707S_0$ )

**б) область нижних частот.** Упрощенная схема для рис.5-17 а) остаётся прежней. Однако сопротивлением разделительного конденсатора нельзя пренебрегать, так как оно сильно влияет на частотную характеристику. Поэтому эквивалентная схема для НЧ (рис.5-21):

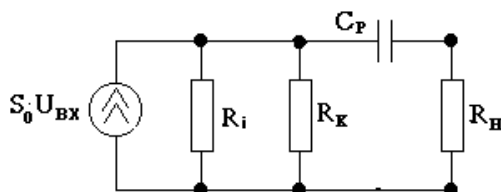


рис. 5-21

Ёмкости  $C_{22}$  и  $C_н$  не учитываются ввиду малости влияния их сопротивлений. Они, (сопротивления) очень

велики и слабо шунтируют нагрузку. Крутизна транзистора на НЧ не является комплексной и равна  $S_0$ . Так как  $C_p$  и  $R_H$  последовательны, то можно представить эквивалентную схему (левая часть тоже последовательна – рис.5-22).

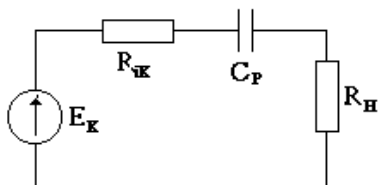


рис. 5-22

где  $R_{iK} = R_i \parallel R_K$ ;  $E_K = S_0 U_{BX} R_{iK}$ .

Тогда комплексный коэффициент передачи на НЧ:

$$\underline{K}_H = \frac{\underline{U}_{B\Delta X}}{\underline{U}_{BX}} = \frac{K_0}{1 + 1/j\omega \cdot \tau_H},$$

где  $K_0 = S_0(R_{iK} \parallel R_H) = S_0 R_{H.ЭКВ.}$  – коэффициент усиления в области средних частот,  $\tau_H = C_p(R_{iK} + R_H)$  – постоянная времени каскада на НЧ.

Нормированная АЧХ или модуль относительного усиления (рис.5-23):

$$y_H = \frac{K_H}{K_0} = \frac{1}{\sqrt{1 + \frac{1}{\omega^2 \tau_H^2}}}$$

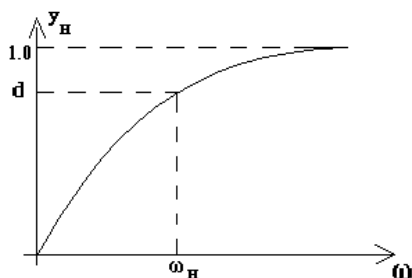


рис.5-23

Спад характеристики в области НЧ (рис.5-23) обусловлен влиянием емкости  $C_p$ . В пределе ( $\omega \rightarrow 0$ ,  $K_H = 0$ ,  $y_H = 0$ ).

Если  $y_H = d$ , то

$$\omega_H = \frac{1}{\tau_H \sqrt{\frac{1}{d^2} - 1}}.$$

В частности при  $d = 0,707$

$$\omega_H = \frac{1}{\tau_H}.$$

Тогда требуемое значение

$$C_p = \frac{1}{\omega_H \cdot (R_{ik} + R_H) \cdot \sqrt{M_H^2 - 1}}$$

где  $M_H = \frac{1}{y_H} = \frac{1}{d}$  - коэффициент частотных искажений

на частоте  $\omega_H$ .



Выражение для АЧХ во всей полосе -  $y = y_H \cdot y_B$   
(рис.5-24):

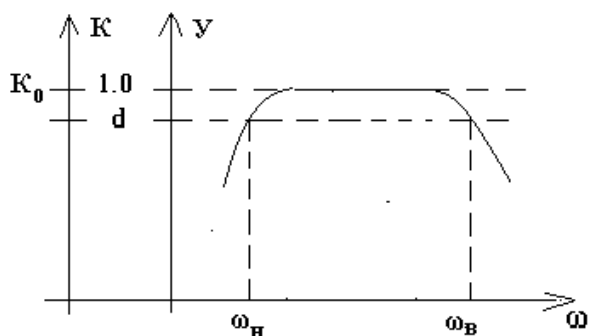


рис.5-24

## Лекция 6

### Тема: усилители на биполярных и полевых транзисторах (продолжение лекции 5)

#### 5.6.2. Фазочастотная характеристика резисторного каскада

а) для нижних частот: сдвиг составляет:

$$[\text{из } K_H = \frac{U_{\text{вых}}}{U_{\text{вх}}} = \frac{K_0}{1 + 1/j\omega \cdot \tau_H}]:$$

$$\varphi_H = \arctg\left(\frac{1}{\omega \cdot \tau_H}\right)$$

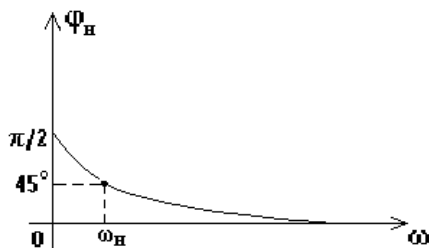


рис.6-1

На нижней граничной частоте  $\omega_H$  (рис.6-1) при стандартном уровне отсчёта  $0,707 \varphi_H = 45^\circ$ .

Увеличение  $\varphi_H$  с уменьшением  $\omega$  обусловлено разделительным конденсатором  $C_P$ , который и обуславливает фазовый сдвиг.

б) для высоких частот:

Приближённая величина  $\varphi_B = -\arctg \omega \tau_B$  - кривая 1 на рис.6-2 (из  $u_B = 1/(1+j\omega\tau_B)$ ).

Отрицательные значения  $\varphi_B$  обусловлены комплексностью крутизны транзистора и сопротивления нагрузки эквивалентного генератора тока.

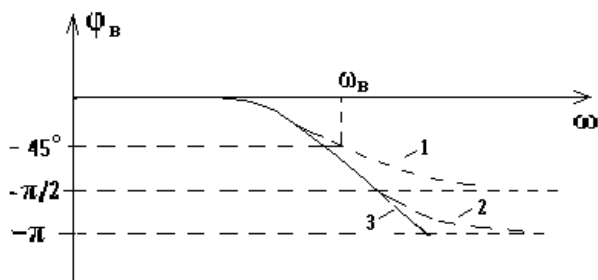


рис. 6-2

Более точная величина  $\varphi_B = -(\arctg \omega t_S + \arctg \omega t_{НЭКВ.})$  для неё – см. кривая 2 на рис.6-2. Предельное значение составляет  $\varphi_{B, \text{ПРЕДЕЛ.}} = 180^\circ$ .

Более точно  $\varphi_S = -\arctg(\omega t_S + m\omega t_\alpha)$ , где  $t_\alpha = 1/\omega_\alpha$  – постоянная времени коэффициента передачи по току транзистора в схеме с ОБ – кривая 3 на рис.6-2. Здесь  $m \approx 0.2 \div 0.8$  (коэффициент Кримера).

Полная ФЧХ (во всем диапазоне) получается суммированием ФЧХ на НЧ и ВЧ.

На верхней граничной частоте  $\omega_B$  значение  $\varphi_B = -45^\circ$ .

## 6. Усилители на полевых транзисторах.

### Широкополосные (импульсные) усилители. Коррекция амплитудно-частотных характеристик

Отличительной чертой полевых (униполярных, канальных) транзисторов является высокое входное сопротивление

ние, поэтому они управляются напряжением, а не током (как биполярные транзисторы). Один из важнейших параметров полевого транзистора - крутизна:

$$S = \frac{\partial I_c}{\partial U_3} \text{ (мА/В)}.$$

### 6.1. Особенности анализа каскадов на полевых транзисторах

На рис.6-3 приведена принципиальная схема резисторного каскада с общим истоком (ОИ) на полевом транзисторе с управляющим р-п переходом и каналом п-типа

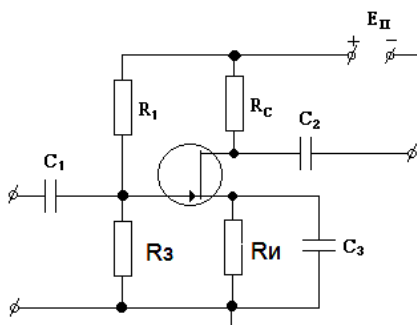


рис.6-3

Стабилизация рабочей точки – истоковая (внешне – не отличается от схемы стабилизации с ОЭ). Для переменного тока сопротивление  $X_{C3} = \frac{1}{\omega \cdot C_3} = 0$ , и упрощенная

схема по постоянному току представляется (рис.6-4):

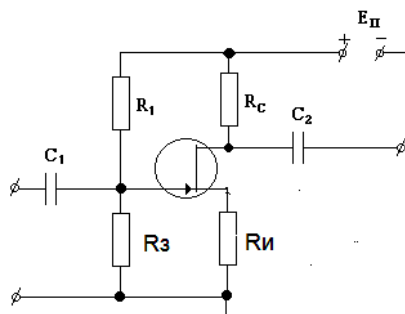


рис. 6-4

Отличие анализа работы усилителя на полевом транзисторе от усилителя на биполярном транзисторе (для АЧХ и ФЧХ):

1. Огромное (десятки МОм) входное сопротивление транзистора; поэтому  $i_{ВХ}$  отсутствует, выходное сопротивление  $R_{ВЫХ}$  не зависит от  $R_{Г}$ .
2. Полевой транзистор на частотах примерно до 100 МГц (иногда выше) можно считать безынерционным усилителем, т.е. постоянная времени крутизны  $\tau_s = 0$ ;  $S = S_0$ . Соответственно  $\varphi_s = 0$  и фазовый сдвиг на ВЧ

$$\varphi_{В} = - \arctg \omega \tau_{Н.ЭКВ}.$$

не превышает  $\leq 90^\circ$ . ФЧХ приведена на рис.6-2.

## 6.2. Широкополосные (импульсные) каскады. Площадь усиления

а) Широкополосные усилители (ШПУ) отличаются от усилителей звуковой частоты следующими особенностями:

1) в ШПУ требуется усиливать сигналы в очень низкой полосе частот от единиц и десятков Гц до нескольких десятков МГц. Как правило, это – резисторные каскады со специальными корректирующими цепями; такие каскады имеют наилучшие частотные, ФЧХ и ПХ.

2) ШПУ используют как для усиления гармонических каскадов, так и для импульсных сигналов.

3) Для ШПУ используют специальные транзисторы и лампы, имеющие высокую предельную частоту коэффициента передачи, малые входные и выходные ёмкости, большую крутизну характеристики – как правило, полевые транзисторы.

4) Как правило, транзисторы в ШПУ включают по схеме с ОЭ, ОИ (общим истоком).

Как было показано на рис.5-19 и стр. 101 для увеличения полосы (увеличения  $\omega_B$ ) нужно уменьшать  $R_{HT} = R_K \parallel R_H$ . Но с уменьшением  $R_{HT}$  снижается коэффициент усиления (передачи). Малое значение  $u_B$  (коэффициента передачи) невыгодно, так как увеличивается количество каскадов усиления, что приводит к усложнению и удорожанию.

б) Импульсные усилители должны воспроизводить форму сигнала с минимальными искажениями. Обычно спектр импульсных сигналов простирается от единиц Гц до нескольких десятков МГц. Поэтому импульсные усилители – это широкополосные усилители, для которых  $\frac{\omega_B}{\omega_H} = 10^2 \div 10^4$  и более. Обеспечение малых искажений характеристик достигается включением специальных корректирующих цепей.

Чем шире полоса в области ВЧ, тем точнее воспроизводится фронт импульса (уменьшаются искажения в области малых времён).

Чем шире полоса в области НЧ, тем лучше воспроизводится плоская вершина импульса. В импульсных усилителях применяют, как правило, резисторные усилители, имеющие лучшие частотные и переходные характеристики.

Важным показателем ШПУ является площадь усиления каскада:

$$\Pi = K_0 \cdot f_B$$

( $f_B$  - частота, на которой коэффициент передачи уменьшается в  $\sqrt{2} = 0,707$  раз), который характеризует способность усилителя создавать усиление в широкой полосе частот.

В области высоких частот имеем:

$$\Pi = K_0 \cdot f_B = S_0 \cdot R_{ЭКВ} \cdot f_B = \frac{S_0}{2 \cdot \pi \cdot C_{ЭКВ}},$$

т.е. площадь усиления зависит от крутизны и  $C_{ЭКВ}$  и не зависит от  $R_{ИСТ}$  и  $R_H$ . Т.о., для увеличения площади усиления  $\Pi$  (полосы пропускания) необходимо брать УЭ с большей крутизной и малыми величинами  $C_{ЭКВ}$ .

Это справедливо только для полевых транзисторов и ламповых усилителей, у которых  $R_{BX}$  велико и напряжением  $U_{BX}$  является ЭДС источника  $E_G$ .

Для каскада на биполярном транзисторе

$$\Pi_{max} = \frac{f_T}{(1 + \sqrt{2\pi \cdot f_T \cdot C_K \cdot r_{\delta'}})^2},$$

где  $f_T = h_{21Э} f_{h21Э}$ ;  $C_K$  - ёмкость между базой и коллектором (барьерная) -  $C_{БК}$ ;  $r_{\delta'}$  - объёмное сопротивление базы ( $r_{\delta'} \approx 100$  Ом).  $f_{h21Э}$  - граничная частота, на которой

$h_{21Э} = 0,707$  от своего значения на НЧ.  $f_T$  - частота, на которой  $h_{21Э} = 1$  (частота единичного усиления).

Т.е., при малых  $R_H (\approx 10 \text{ Ом и менее})$  вследствие влияния  $r_B$ , верхняя граничная частота  $f_B$  растёт медленнее, чем падает усиление и поэтому площадь усиления  $\Pi$  уменьшается при уменьшении  $R_H$ .

Цепи, изменяющие ЧХ в области НЧ и ПЧ в области больших времён, называют цепями НЧ коррекции; цепи, изменяющие ЧХ в области ВЧ и ПЧ в области малых времён, называют цепями ВЧ коррекции.

### 6.3. Низкочастотная коррекция

Коррекцию применяют для получения ЧХ специальной формы (например, подъём ЧХ), чтобы скомпенсировать снижение усиления в других каскадах; кроме того, при заданных искажениях коррекция позволяет применить конденсаторы меньшей ёмкости.

#### 6.3.1. НЧ коррекция с помощью цепочки $R_\Phi C_\Phi$

Принципиальная схема каскада приведена на рис.6-5; эквивалентная схема на НЧ показана рис.6-6.

Цепочка  $R_\Phi C_\Phi$  одновременно:

1. Защищает от паразитной обратной связи через общий источник питания;

2. Сглаживает пульсации ИП.

Конденсатор  $C_\Phi$  берут такой величины, чтобы на средних частотах и на ВЧ его сопротивление было много меньше  $R_k$ , величина которого определяет усиление каскада.

При уменьшении частоты сопротивление цепочки  $R_\Phi C_\Phi$  возрастает и, соответственно, напряжение  $U_{вых}$  будет возрастать, и, соответственно, будет увеличиваться коэффициент усиления на НЧ.



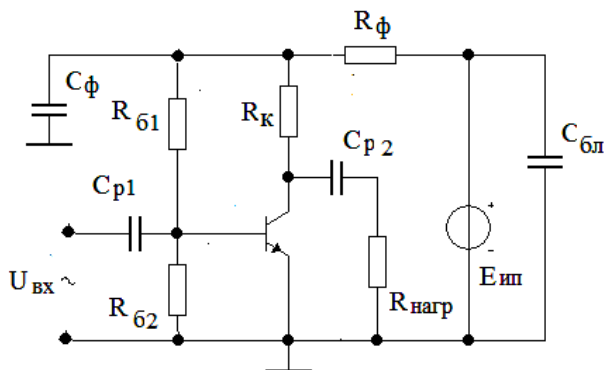


рис.6-5

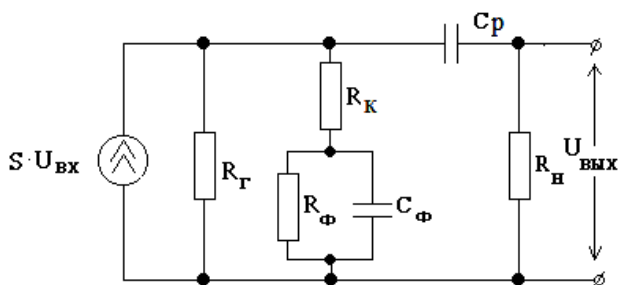


рис.6-6

Т.о., будет компенсировано снижение  $K_{НЧ}$  из-за увеличения сопротивления конденсатора  $C_p$ .

При правильном выборе  $R_{\Phi}$   $C_{\Phi}$  можно уменьшить  $\omega_{н.гр.}$  в  $5 \div 10$  раз и устранить спад плоской части импульса в области больших времён.

Схема хорошо работает при  $R_{\Gamma} \gg R_K \ll R_H$  (при высокоомных нагрузках), например, в схемах с полевыми транзисторами. Для биполярных транзисторов коррекция хорошо работает в схемах с высокими  $R_H$ .

Расширение АЧХ вниз (по частоте) тем больше, чем меньше коэффициент НЧ коррекции

$$\sigma = \frac{R_{\kappa}}{R_{\phi}}.$$

При этом ЧХ изменяется при изменении параметра коррекции

$$m = \frac{C_{\phi} \cdot R_{\kappa}}{C \cdot R_{\pi}}.$$

Нормированная ЧХ (рис.6-7):

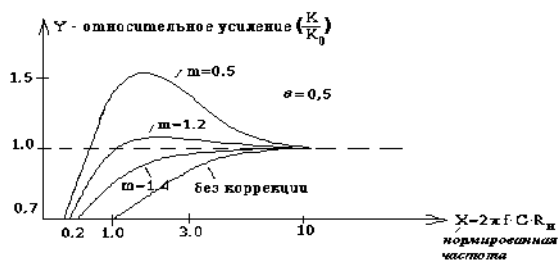


рис. 6-7

Влияние цепочки RфCф на форму выходного импульса показано на рис. 6-8:

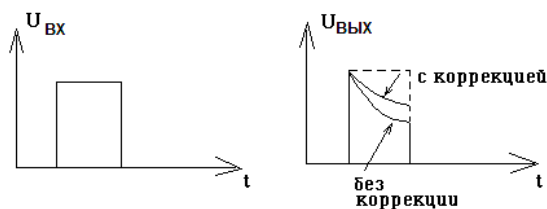


рис. 6-8

Критическое для ЧХ значение  $m = 1,4$  обеспечивает получение минимальное значение  $\omega_{г\text{ринжн.}}$  без подъема ЧХ. Если  $C_{\phi}$  меньше  $C_{\phi.\text{крит.}}$ , то появляются подъёмы ЧХ в области НЧ.

### 6.3.2. НЧ коррекция с помощью ОС

Из-за большого разброса параметров транзисторов и сильного их изменения при изменении температуры, напряжения  $E_{\text{пит.}}$ , старении и т.д. обычные схемы коррекции малоэффективны. Поэтому применяют ООС (рис.6-9):

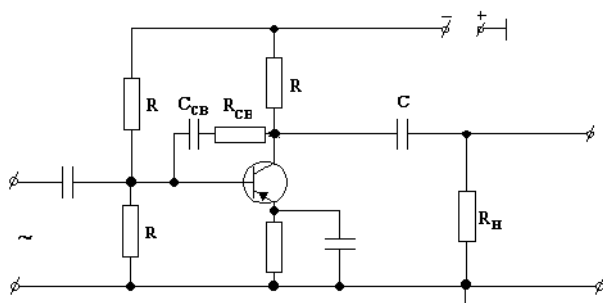


рис. 6-9

Цепочка  $C_{\text{CB}} \cdot R_{\text{CB}}$  дает ООС по напряжению, снижение  $K_{\text{УС}}$ , стабилизацию режима и улучшение характеристик.  $R_{\text{CB}}$  - обеспечивает нужную глубину ОС.  $C_{\text{CB}}$  - выбирают из условия  $X_{\text{CB}} < R_{\text{CB}}$  на СЧ и ВЧ.

При понижении частоты  $X_{\text{CB}}$  возрастает и глубина ОС уменьшается, что приводит к увеличению коэффициента усиления схемы.

Здесь 
$$m = \frac{C_{\text{CB}} \cdot R_{\text{CB}}}{C \cdot R_{\text{H}}};$$

## 6.4. Высокочастотная коррекция

### 6.4.1. Схема ВЧ коррекции с параллельной индуктивностью

Принципиальная схема каскада приведена на рис.6-10; эквивалентная схема на ВЧ показана рис.6-11.

Корректирующая индуктивность  $L$  образует с емкостью  $C_H$  параллельный резонансный контур (рис.6-11).

В результате в области ВЧ полное сопротивление нагрузки возрастает и расширяется верхняя граничная частота  $\omega_v$ , улучшаются ЧХ и ПХ.

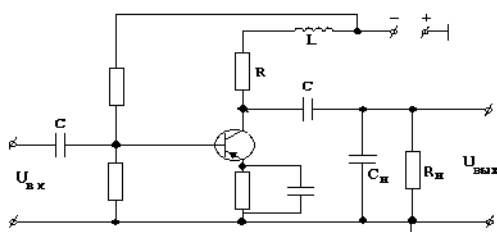


рис.6-10

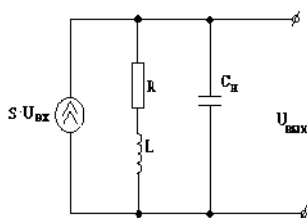


рис. 6-11

Индуктивность  $L$  берут достаточно малой, чтобы она влияла только на ВЧ.

Схема хорошо работает при  $R_{г} \gg R \ll R_H$ .

Схема проста, удобна, легко настраивается и увеличивает полосу частот  $\cong$  в 1,7 раза.

Недостаток – эту схему нельзя применять в интегральных микросхемах из-за нереализуемости (из-за её размеров).

ЧХ и ПХ определяются коэффициентом ВЧ коррекции:

$$a = \frac{L}{C_H \cdot R^2} \cdot$$

При расчете каскадов усиления импульсных сигналов с параллельной индуктивностью значение коэффициента коррекции «а» следует выбирать наибольшим исходя из заданного (допустимого) выброса. При этом время установления будет минимальным

Нормированная ЧХ (рис.6-12):

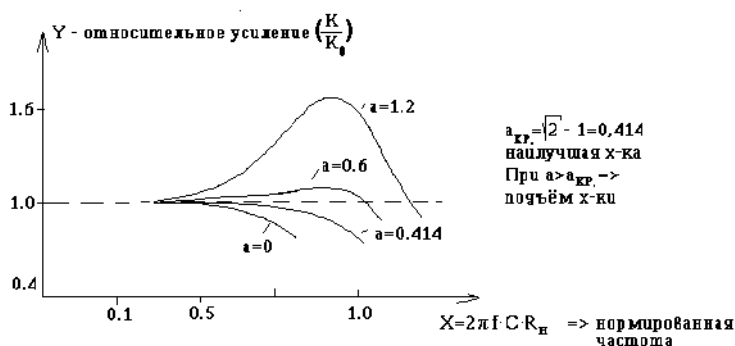


рис. 6-12

### 6.4.2. ВЧ коррекция с ООС

Принципиальная схема каскада приведена на рис.6-13; вариант (фрагмент) показан на рис.6-14.

Величина емкости  $C_{\text{КОР.}}$  выбирается такой, чтобы действие ООС в целом сказывается только на НЧ и СЧ. На ВЧ действие ООС из-за  $C_{\text{КОР.}}$  ослабляется, компенсируя «завал» АЧХ (рис.6-15).

Характеристика 1 (рис.6-15) соответствует значению  $C_{\text{ЭКВ}} = \infty$  ( $X_{\text{сэкв}} = 0$ ), т.е. нет ООС, нет коррекции -

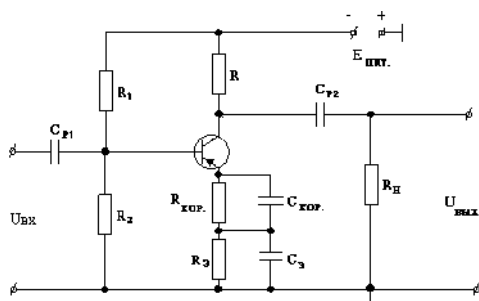


рис. 6-13

или вариант

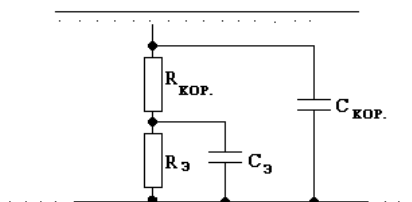


рис. 6-14

обычный резисторный каскад без коррекции. Верхняя граничная частота равна  $\omega_{В1}$ .

Характеристика 2 соответствует значению  $C_{\text{ЭКВ}} = 0$

( $X_{C_{ЭКВ}} = \frac{1}{\omega \cdot C_{ЭКВ}} = \infty$ ), т.е. имеется 100 % ООС по переменному току. Коэффициент усиления и полоса немного шире (на уровне  $\sqrt{2}$ ); верхняя граничная частота равна  $\omega_{В2}$ .

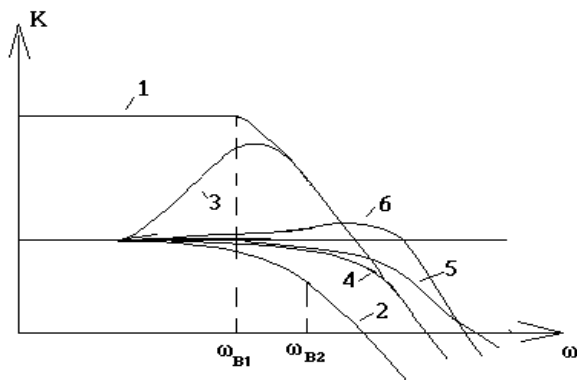


рис.6-15

Характеристика 3 соответствует значению  $0 < C_{ЭКВ} < \infty$ , т.е. при малых  $C_{ЭКВ}$  она совпадает с характеристикой 2, а при больших  $C_{ЭКВ}$  - с характеристикой 1.

Уменьшая  $C_{ЭКВ}$  можно дойти до характеристики 4, у которой площадь усиления  $\Pi$  как у характеристики 1, но полоса на уровне  $\sqrt{2}$  раз шире (за счёт снижения коэффициента усиления  $K$ ).

Подбирая  $C_{ЭКВ}$  можно получить кривую 5 и кривую 6. Характеристика 5 - это оптимальная АЧХ (максимально плоская). Выигрыш по полосе  $\approx 1,6$  раза.

## Выводы по теме

1. Процесс усиления транзистора (процесс управления током  $i_k$  транзистора) может быть рассмотрен как результат изменения его внутреннего сопротивления  $R_i$ , в результате чего происходит непрерывное перераспределение напряжения источника между транзистором и нагрузкой, а управление  $R_i$  осуществляется за счёт  $U_{вх}$ .

2. Режим А (рис.5-9) характеризуется тем, что рабочая точка выбирается на линейном участке характеристики при сравнительно большом токе. Для данного режима  $\Theta = 180^\circ$ . В этом режиме обеспечиваются минимальные нелинейные искажения. Данный режим применяется только в каскадах предварительного усиления из-за низкого коэффициента полезного действия.

3. Рабочая точка в режиме В совмещается с началом входной характеристики. Для данного режима  $\Theta = 90^\circ$ . В режиме В получается высокий КПД. Из-за кривизны начального участка появляются искажения выходного тока. Из-за прерывистости тока возникают дополнительные искажения, обусловленные переходными процессами.

4. Режим АВ. Рабочая точка  $A_1$  устанавливается примерно по середине криволинейного участка входной характеристики. Угол отсечки  $\Theta > 90^\circ$ . КПД несколько ниже, чем в режиме В. Преимущество - лучшая линейность (меньше искажений).

5. Режим С. Рабочая точка  $A_1$  находится в области запираания;  $\Theta < 90^\circ$ . Этот режим применяется в основном в радиопередающих устройствах и специальных усилителях с повышенным КПД.



6. Режим Д - ключевой режим; его особенность состоит в том, что на вход транзистора подают прямоугольные импульсы большей амплитуды, полностью запирающие или отпирающие транзистор. Режим Д позволяет получить очень высокий КПД. Кроме мощных ключевых усилителей данный режим используется также в цифровых устройствах.

7. Предварительный усилитель (ПУ) предназначен для усиления сигналов до уровня, достаточного для управления оконечным или предоконечным каскадом. В ПУ уровни сигналов малы, и параметры транзисторов можно считать постоянными, а нелинейные искажения очень малыми.

8. Спад амплитудно-частотной характеристики и увеличение фазовых искажений усилителя в области ВЧ обусловлены уменьшением крутизны  $S$  и сопротивления  $Z_{н.экв.}$  из-за наличия выходной емкости транзистора, емкости нагрузки, включая емкость монтажа.

9. Спад характеристики и увеличение фазовых искажений в области НЧ обусловлен влиянием разделительной емкости  $C_p$ .

10. Отличие анализа работы усилителя на полевом транзисторе от усилителя на биполярном транзисторе - огромное (десятки МОм) входное сопротивление транзистора; выходное сопротивление  $R_{вых}$  не зависит от  $R_{г.}$  Полевой транзистор на частотах примерно до 100 МГц (иногда выше) можно считать безынерционным усилителем.

11. Импульсные усилители – это широкополосные усилители, для которых  $\frac{\omega_B}{\omega_H} = 10^2 \div 10^4$  и более. Обеспечение малых искажений характеристик достигается включением специальных корректирующих цепей.

12. Расширение полосы пропускания необходимы для улучшения показателей импульсного усилителя. Важным показателем ШПУ является площадь усиления каскада

$$\Pi = K_0 * f_B,$$

которая характеризует способность усилителя создавать усиление в широкой полосе частот.

13. Коррекцию применяют для получения ЧХ специальной формы (например, подъём ЧХ на НЧ или ВЧ), чтобы скомпенсировать снижение усиления в других каскадах; кроме того, при заданных искажениях коррекция позволяет применять в схемах конденсаторы меньшей ёмкости.

14. Для схемы НЧ коррекции при правильном выборе  $R_\phi$   $C_\phi$  можно уменьшить нижнюю граничную частоту в 5÷10 раз и устранить спад плоской части импульса в области больших времён.

15. Схемы ВЧ коррекции расширяют верхнюю граничную частоту, улучшают ЧХ и ПХ. Возможно увеличение полосы частот  $\cong$  в 1,7 раза.

### **Задания и вопросы для самоконтроля по теме**

1.Объясните принцип электронного усиления на биполярном транзисторе.

2.Приведите основные режимы усиления и их особенности.

3.Приведите схему и особенности гальванической (непосредственной) межкаскадной связи.

4.Приведите схему и особенности резистивно-емкостной межкаскадной связи.

5. Приведите схему и особенности дроссельно-конденсаторной межкаскадной связи.

6. Приведите схему и особенности трансформаторной межкаскадной связи.

7. Что такое нагрузочная характеристика по постоянному току? Приведите пример ее построения.

8. Приведите пример построения динамической характеристики усилителя.

9. Чем определяется поведение амплитудно-частотной характеристики усилителя в области низких частот?

10. Чем определяется поведение амплитудно-частотной характеристики усилителя в области высоких частот?

11. Чем определяется поведение фазочастотной характеристики усилителя в области низких частот?

12. Чем определяется поведение фазочастотной характеристики усилителя в области высоких частот?

13. В чем заключаются особенности анализа каскадов на полевых транзисторах?

14. В чем заключаются особенности широкополосных усилителей (ШПУ) в отличие от усилителей звуковой частоты?

15. Как взаимосвязаны АЧХ усилителя с параметрами импульса при усилении импульсных сигналов?

16. Что характеризует показатель ШПУ - «площадь усиления каскада»?

17. Какие параметры импульсного усилителя влияют на площадь усиления ШПУ?

18. Приведите схему НЧ коррекции с помощью цепочки  $RfCf$  и объясните принцип ее работы.

19. Приведите параметры НЧ коррекции и объясните их влияние на ЧХ и ПХ.

20. Приведите схему НЧ коррекции с помощью ООС и объясните принцип ее работы.

21. Приведите схему ВЧ коррекции с помощью параллельной индуктивности и объясните принцип ее работы.

22. Приведите схему ВЧ коррекции с помощью последовательной индуктивности и объясните принцип ее работы.

23. Приведите схему ВЧ коррекции с помощью ООС и объясните принцип ее работы.

## Лекция 7

### Тема: анализ и схемотехника выходных мощных каскадов усиления

Усилителем мощности называют усилитель, предназначенный для обеспечения заданной мощности нагрузки  $P_n$  при заданном сопротивлении нагрузки  $R_n$ . Усилитель мощности является примером устройств силовой электроники. Основная цель при разработке таких устройств состоит в том, чтобы отдать нагрузке заданную мощность.

В противоположность устройствам силовой электроники при проектировании устройств информативной (информационной) электроники основная цель состоит в том, чтобы выполнить заданную обработку сигнала и получить выходные сигналы, содержащие ту или иную информацию о входных. В качестве примера можно назвать устройства, определяющие, в какой момент времени входной сигнал принимает максимальное значение. В устройствах информативной электроники, как правило, стремятся снизить мощность обрабатываемых сигналов до такого уровня, при котором помехоустойчивость устройства еще приемлема. В устройствах силовой электроники такую задачу в соответствии с изложенным нельзя ставить в принципе. Реальное устройство может содержать черты как силовой, так и информативной электроники, но об указанном различии следует постоянно помнить. Необходимо отметить, что функции устройств информативной электроники все чаще берут на себя микропроцессоры. Но микропроцессоры, естественно, не в состоянии выполнять функции устройств силовой электроники.

На усилитель мощности, как правило, приходится подавляющая часть мощности, потребляемая тем устройством, составной частью которого он является. Поэтому всемерное внимание уделяется повышению коэффициента

полезного действия усилителя мощности. Другой важной проблемой является уменьшение габаритных размеров и веса усилителя мощности, так как они часто определяют габаритные размеры и вес всего устройства. Проблемы повышения коэффициента полезного действия и уменьшения габаритных размеров тесно связаны, потому что габаритные размеры и вес усилителя сильно зависят от габаритных размеров и веса охладителей. Чем больше коэффициент полезного действия, тем меньше габаритные размеры и вес усилителя.

Транзисторы усилителей мощности работают в режиме большого сигнала, когда амплитуды переменных составляющих токов и напряжений достаточно велики. При этом заметно проявляются нелинейные свойства транзисторов и возникают нелинейные искажения входного сигнала. С другой стороны, обычно не допускается, чтобы выходной сигнал был сильно искаженным.

Уровень нелинейных искажений и КПД усилителя мощности существенно зависят от начального режима работы, причем нелинейные искажения обуславливаются нелинейностью не только входных, но и выходных характеристик транзисторов, так как они работают в режиме большого сигнала. Минимально возможный уровень нелинейных искажений можно обеспечить в режиме класса А, а максимально возможный КПД — в режиме классов В или АВ /1/. Основная особенность работы выходных каскадов — высокий уровень сигналов, что накладывает на них ряд специфических требований.

## **7.1. Требования к оконечным усилительным каскадам**

Назначение выходного каскада — обеспечить:

1) при заданном значении сопротивления нагрузки требуемый уровень сигнала. Если нагрузка активна, то необходимо обеспечить требуемую  $P_{\text{вых}}$ ; если нагрузка содержит реактивность, то необходимо обеспечить требуемое значение напряжения  $U_{\text{вых}}$ .

2) требуемый уровень сигнала на выходе должен обеспечиваться при допустимых линейных и нелинейных искажениях.

Кроме того:

3) необходимо обеспечить минимум потребления от ИП или

4) максимум КПД.

При этом

5) необходимо обеспечить минимум потери на УЭ и, соответственно,

6) обеспечить требуемый температурный режим УЭ.

Обычно в оконечных каскадах применяются мощные УЭ.

При этом необходимо

7) максимально использовать УЭ (по мощности, по току - для минимизации потерь на нем). Рекомендуются выбирать менее мощный с максимумом его использования по допустимым параметрам.

## 7. 2. Схемы выходных каскадов

Существуют следующие виды практических схем усилителей:

- 1) Простая схема;
- 2) Двухтактная схема;
- 3) Трансформаторная схема;
- 4) Дроссельная схема.

Как было рассмотрено в лекциях 5и 6, в зависимости от типа схемы выходного каскада используются один из вариантов схем включения УЭ.

Транзисторы в трансформаторных схемах мощного усиления обычно включают по схеме с ОЭ или ОБ.

При включении по схеме с ОЭ получают максимум усиления по мощности; при этом требуется минимум мощности от предоконечного каскада, что удешевляет схему.

При включении по схеме с ОБ получают минимум коэффициента гармоник и хорошую стабильность каскада при изменении температуры, нестабильности источника питания, старении. Но при этом велик входной ток, приходится «умощнять» предоконечный каскад.

Включение по схеме с ОК в трансформаторных схемах применяют редко — не имеет преимуществ по сравнению с ОБ.

Достоинство простой схемы непосредственного включения нагрузки  $R_H$  — ее простота, отсутствие дополнительных деталей, потерь мощности в выходном устройстве, широкая полоса частот.

Недостатки — протекание постоянной составляющей тока через нагрузку; высокий потенциал  $E_P$  на  $R_H$ ; невысокий КПД  $\leq 20\%$  для транзисторных усилителей ( $\leq 12\%$  для тетродов;  $\leq 7\%$  для триодов ламповых). Схема редко используется в выходных каскадах.

Схема выходного каскада с RC-цепью (рис.7-1):

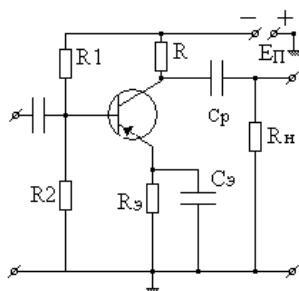


рис.7-1



Ток питания не проходит через сопротивление нагрузки  $R_H$ . Нагрузка соединена с землей одним концом, что часто удобно. Достоинство схемы — ее простота. Недостатки — низкий КПД  $\leq 5\div6\%$  для транзисторных;  $\leq 2\div3\%$  для ламповых каскадов. Применяют при уровне  $(10\div100)$  милливатт выходной мощности.

Трансформаторные (дроссельные) выходные каскады (рис.7-2) имеют более высокий КПД.

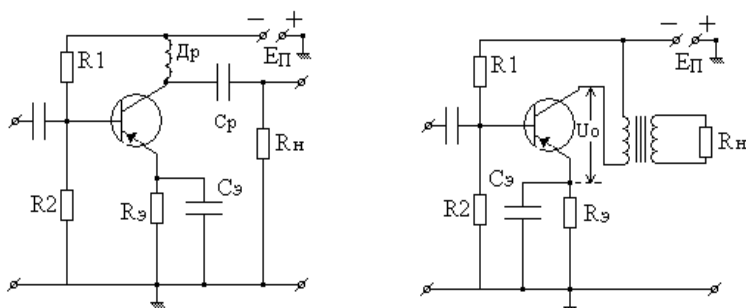


рис.7-2

Ток питания не течет через нагрузку. Максимальный КПД в два раза выше, чем у резисторного каскада с непосредственным включением и приблизительно в 6 раз больше, чем у каскада с RC-цепью.

Однако полоса усиливаемых частот у дроссельного каскада меньше, чем у резисторного. У трансформаторного — еще меньше. А стоимость и габариты — больше.

Трансформаторные каскады могут работать практически на любое, достаточно низкое сопротивление  $R_H$ .

Особенности анализа: способ расчета зависит от схемы каскада, типа УЭ, его режима; выбора  $E_P$ ,  $R_H$ ,  $R_{BX}$ ,  $U_{BX}$  и других условий.

При расчете необходим учет заданного коэффициента нелинейных искажений.

### 7.3. Трансформаторный каскад мощного усиления в режиме А

#### 7.3.1. Общие соотношения

Мощность полезного сигнала  $P_{\sim}$ , которую должен отдать усилительный элемент (УЭ), должна быть больше выделяемой мощности в нагрузке  $P_H$ , так как часть мощности теряется в выходном трансформаторе:

$$P_{\sim} = \frac{P_H}{\eta_{TP}},$$

где для расчетов  $\eta_{TP}$  определяется из табл.7-1:

табл.7-1

тип трансформатора	к.п.д. $\eta$ трансформатора	
	в стационарных устройствах	в портативных устройствах
Входные (до 1 Вт) - межкаскадные, выходные малой мощности	0,7 ÷ 0,8	0,6 ÷ 0,75
Межкаскадные и выходные до 10 Вт	0,75 ÷ 0,85	0,7 ÷ 0,8
Выходные от 10 до 100 Вт	0,84 ÷ 0,93	0,75 ÷ 0,85
от 100 Вт до 1 кВт	0,92 ÷ 0,96	0,85 ÷ 0,9
от 1 до 10 кВт	0,95 ÷ 0,98	—
выше 10 кВт	≥ 0,97	—

Так как точка покоя в режиме А находится на середине прямолинейной части нагрузочной характеристики, то форма выходного тока и напряжения при синусоидальном входном сигнале близка к синусоиду (рис.7-3).

При этом (для идеального трансформатора его сопротивление по постоянному току  $R_+ = 0$ ), напряжение покая  $U_0$  равно напряжению питания  $E_0$  (пренебрегая падением напряжения, например, на сопротивлении  $R_+$ ). Для этого случая:

максимальная отдаваемая мощность УЭ:

$$P_{\sim \max} = 0,5 U_{\text{выхм}} \cdot I_{\text{выхм}} = 0,5 \cdot \xi \cdot \psi \cdot U_0 \cdot I_0$$

где  $\xi = \frac{U_{\text{выхм}}}{U_0}$  — коэффициент использования напряжения

питания;

$\psi = \frac{I_{\text{выхм}}}{I_0}$  — коэффициент использования тока покая.

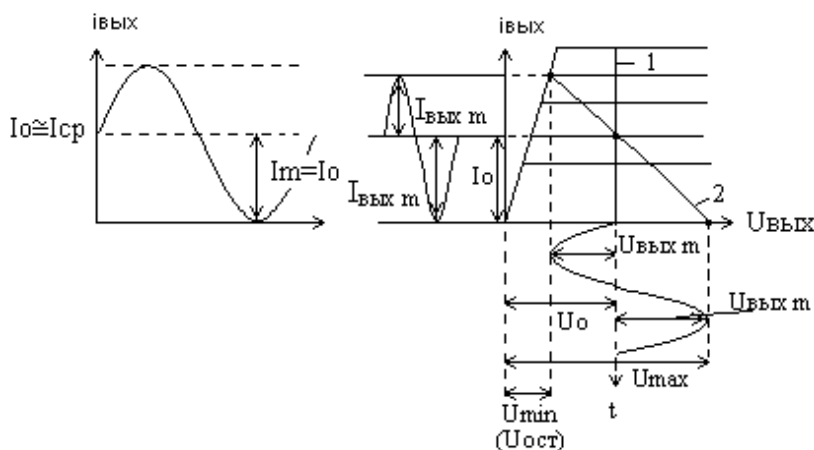


рис.7-3

1 — нагрузочная характеристика для постоянного тока для  $R_+ = 0$ ;

2 — нагрузочная характеристика для переменного тока  $R_+$ .

При этом среднее значение выходного тока УЭ равно току покоя УЭ:

$$I_{CP} \approx I_0.$$

Сопротивление нагрузки по переменному току (при синусоидальном входном сигнале):

$$R_{\sim} = U_{\text{выхн}} / I_{\text{выхн}} = \xi \cdot U_0 / \psi \cdot I_0$$

Потребляемая выходной цепью мощность (от источника питания):

$$P_0 = I_{CP} \cdot E = I_0 \cdot U_0$$

(без учета потерь на  $R_{\text{акт}}$  обмотки трансформатора).  
Максимальное КПД трансформаторного каскада в режиме А:

$$\eta_{A \max} = P_{\sim \max} / P_0 = \frac{0,5 \cdot \psi \cdot \xi \cdot U_0 \cdot I_0}{U_0 \cdot I_0} = 0,5 \cdot \psi \cdot \xi,$$

и при  $\psi \cdot \xi \cong 1$

$$\eta_{A \max} \cong 50\%.$$

Как видно из рис.7-3 - при синусоидальном сигнале  $U_{\max} \approx$  в 2 раза больше напряжения источника питания. Это объясняется тем, что при убывании тока  $U_{\max}$  складывается из  $U_0$  и противоэдс в индуктивности  $L_1$  обмотки трансформатора, стремящейся поддержать убывающий ток.

При импульсных сигналах с крутыми фронтами может быть

$$U_{\max} \approx (5 \div 10) E.$$

Поэтому для трансформаторных каскадов, особенно транзисторных, берут  $U_0 \approx (0,3 \div 0,4) U_{\text{доп}}$  транзистора.

Мощность, выделяемая на электродах УЭ:

$$P = P_0 - P_{\sim}$$

Для режима А при отсутствии сигнала ( $P_{\sim} = 0$ ) выделяемая на УЭ мощность максимальна  $P = P_0$ . Поэтому выбирают:

$$P_0 = U_0 \cdot I_0 \leq P_{\max} \text{ (справочное)}, \\ I_0 \leq P_{\max} / U_0 \text{ (справочное)}.$$

Радиатор рассчитывают по  $P_0$ .

### **7.3.2. Расчет однотактного транзисторного каскада мощного усиления в режиме А**

1. Выбор схемы и выбор способа включения УЭ.
2. Определяют отдаваемую транзистором мощность

$$P_{\sim} = P_H / \eta_{\text{ТР-Р}}.$$

3. Выбирают транзистор с допустимой мощностью рассеяния на коллекторе транзистора  $P_{K \max} \geq 3 P_{\sim}$ .

Напряжения  $U_0$  и ток  $I_0$  определяются по допустимой  $P_{K \max}$  (желательно, чтобы они были максимальны, так как при этом обеспечивается минимум нелинейных искажений). Для схемы с ОЭ при этом минимальна входная мощность  $P_{\text{вх}}$ . Выбирается

$$U_0 \approx (0,3 \div 0,4) U_{\text{доп. max}} \text{ (справочное)}.$$

4. Определяют

$$R_{\sim} = \frac{\xi \cdot U_0}{\psi \cdot I_0} = \frac{U_{\text{вых}}}{I_{\text{вых}}} = \frac{U_{\text{вых}}^2}{2P_{\sim}}$$

5. Минимально допустимый ток покоя:

$$I_0 = \frac{1}{\psi} \cdot \frac{2P_{\sim}}{(U_0 - U_{осм})} = \frac{2P_{\sim}}{(1 \div 0.95) \cdot (U_0 - U_{осм})}$$

6. Коэффициент трансформации определяют:

$$n = \sqrt{\frac{R_H}{\eta_{TP-P} \cdot R_{\sim}}},$$

где

$$R_H \leq \frac{1}{3\omega_B \cdot C_0} \cong \frac{1}{20f_B \cdot C_0},$$

а  $f_B$  — верхняя рабочая частота каскада,

$$C_0 = C_H + C_M + C_{TP-P}.$$

( $C_{TP-P}$  — собственная емкость трансформатора,  $C_M$  — емкость монтажа);

$C_{TP-P} = 15 \div 40$  пФ для маломощных трансформаторов,

$C_{TP-P} = 40 \div 150$  пФ для трансформаторов средней мощности (расчету не поддается; или измеряется, или определяется из таблиц — справочное);

$C_M \approx 10 \div 30$  пФ.

7. Верхняя точка нагрузочной прямой — на верхнем изгибе характеристики; нижняя точка — на уровне  $(0.01 \div 0.05)I_0$ .

По характеристикам уточняют отдаваемую  $P_{\sim}$ :

$$P_{\sim} = 0.125(I_{ВЫХ \max} - I_{ВЫХ \min})^2 R_{\sim} = 0.125(2U_{ВЫХ \max} \cdot 2I_{ВЫХ \min}).$$

8. По входной характеристике определяют напряжение смещения  $U_{0ВХ}$  и амплитуду входного сигнала

$$2U_{mBX} = U_{BX \max} - U_{BX \min}.$$

9. Необходимая амплитуда входного тока:

$$I_{BXm} = \frac{I_{BbIXm}}{h_{21Э \min}} \quad \text{— для схемы с ОЭ.}$$

Ток покоя:

$$I_{0BX} = (1.02 \div 1.05) I_{BXm}.$$

(если схема с ОБ, то необходимо использовать соответствующие параметры  $h_{21Б \min}$ ,  $h_{21Э}$ ,  $h_{21Б}$ ).

10. Определяют:

$$P_{BX\sim} = 0.125(2 I_{BXm} \cdot 2U_{BXm}).$$

$$R_{BX \text{ транз}} = 2U_{BXm} / 2 I_{BXm};$$

Коэффициент усиления по мощности

$$K_m = \frac{P_H}{P_{BX\sim}}.$$

11. Определяют методом 5 ординат коэффициент гармоник.

12. Определяют параметры стабилизации рабочей точки.

13. Мощность, рассеиваемая на УЭ:  $P_0 = I_0 \cdot U_0$

14. Рассчитывают параметры радиатора.

15. Необходимое напряжение источника питания:

$$E = U_0 + I_0 \cdot r_1 + I_{0Э} R_{Э},$$

где

$$I_{0Э} = I_{0К} + I_{0Б},$$

$r_1$  — активное сопротивление обмотки трансформатора.

16. Выполняется электрический расчет трансформатора, включая расчет частотной характеристики трансформатора.

17. Выполняется расчет блокировочных элементов.

### **7.3.3. Особенности расчета двухтактного каскада мощного усиления в режиме А**

Особенности двухтактного каскада мощного усиления:

1. Компенсация четных гармоник позволяет применять режим В, как более экономичный; применение режима В позволяет лучше использовать УЭ, получая большую мощность при том же уровне  $K_T$ ;

2. Компенсация помех и фона, поступающих от синфазных источников;

3. Большой динамический диапазон;

4. Компенсация постоянного подмагничивания сердечника выходного трансформатора, следовательно, меньше габариты, масса и стоимость трансформатора;

5. Компенсация синфазных наводок сигнала в ИП, что обеспечивает уменьшение паразитных межкаскадных связей через ИП, проще в изготовлении сетевые фильтры и фильтры ИП.

Двухтактный каскад — это каскад, содержащий два генератора, работающих на общую нагрузку (рис. 7-4):

- схема с ОЭ и предыдущим резисторным каскадом (рис. 7-4а);

- схема с ОБ и предыдущим трансформаторным каскадом (рис. 7-4б).

Расчет ведут на одно плечо, на половину заданной мощности (как для одноконтурного каскада).

При этом необходимо учитывать следующие особенности:



1) Мощность, которую должен отдать усилительный элемент:

$$P_{\sim} = \frac{P_H}{2\eta_{TP-PA}}.$$

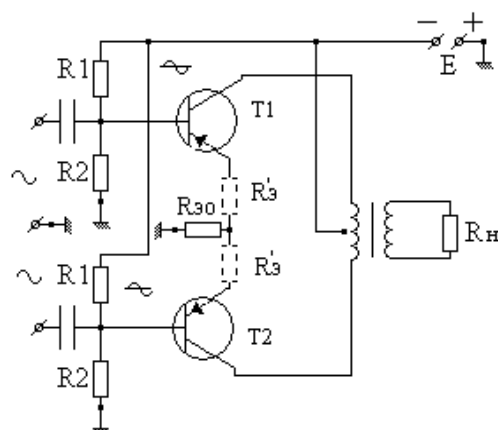


рис.7-4 а)

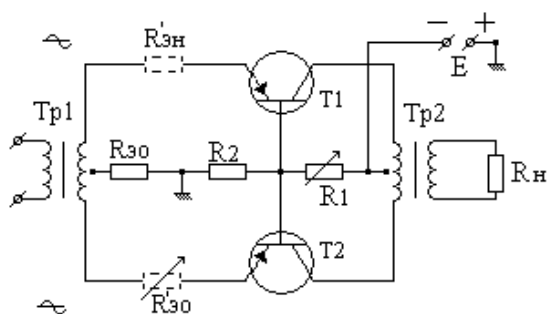


рис. 7-4 б)

2) Сопротивление нагрузки  $R_{\sim}$  определяют как в предыдущем случае.

В идеальном случае (полная симметрия) четные гармоники отсутствуют.

В реальности — учитывается коэффициент асимметрии, который зависит от способа включения транзистора, от соотношения

$$\epsilon = R_{BX} / R_{ГЕН}.$$

Для схемы с ОБ и  $R_{iГ} \gg R_{BX}$  обычно  $\epsilon \leq 0,05$ ;

при  $R_{iГ} \approx R_{BX}$  —  $\epsilon \approx 0,15 \div 0,25$ .

Для схем с ОЭ транзисторы в плечах подбирают по  $h_{21Э}$ . При отношении  $h'_{21Э} / h''_{21Э}$  (для плеч каскада) = 1,2 обычно  $\epsilon \approx 0,1$ .

При этом коэффициент гармоник, рассчитываемый по методу 5 ординат, составляет:

$$K_{\Gamma} = \frac{\sqrt{(\epsilon \cdot I_{2m})^2 + I_{3m}^2 + (\epsilon \cdot I_{4m})^2}}{I_{1m}}.$$

где  $I_{1m}$ ,  $I_{2m}$ , ...,  $I_{4m}$  — амплитуды соответствующих гармоник,  $\epsilon$  — коэффициент асимметрии.

3) Два плеча не только отдают удвоенную мощность, но и потребляют удвоенные ток и мощность.

4) Электрический расчет выходного трансформатора в режиме А ведут также, но нужна замена:

$$R_{\sim} \text{ на } 2R_{\sim}; R_i \text{ на } 2R_i; R_{KB} \text{ на } 2R_{KB}.$$

Напряжение источника питания определяют, заменяя  $r_{1на}$   $r_{1ПЛЕЧА} = 0,5 \cdot r_1$ .

5) Эмиттерная стабилизация осуществляется или с индивидуальными делителями подачи напряжения смещения, или с общим делителем (при входном трансформаторе). Для уменьшения разбалансировки плеч или при нагреве транзисторов в эмиттеры плеч нередко ставят резисторы (пунктир на схемах) величиной  $(0,1 \div 1)R_{Э0}$ , включенные в общий провод. Для выравнивания плеч иногда один из резисторов делителя делают регулируемым.

## Лекция 8

### Тема: анализ и схемотехника выходных мощных каскадов усиления (продолжение лекции 7)

#### 7.3.4. Трансформаторный каскад в режиме В

В режиме В плечи двухтактного каскада работают поочередно, каждое — в течение полупериода сигнала, когда ток в выходной цепи одного УЭ достигает максимума, другой УЭ в этот момент заперт, и наоборот. Полупериода в режиме В плечо как бы отключено. Поэтому расчет каскада ведется для половины периода по семействам характеристик УЭ одного плеча, получая при этом данные по всему каскаду за весь период сигнала.

Из рисунка 7-5 видно, что в режиме В УЭ полностью используется при сопротивлении нагрузки выходной цепи плеча по переменному току:

$$R_{\sim \text{плеча}} = \frac{U_{\text{выхм}}}{I'_{\text{мах}}} = \frac{\xi \cdot U_0}{I'_{\text{мах}}},$$

где  $\xi = \frac{U_{\text{выхм}}}{U_0}$  — коэффициент использования напряже-

ния питания.

Мощность, отдаваемая одним плечом за полупериод, и соответственно, всем каскадом за период:

$$P_{\sim \text{мах}} = 0.5 I_{\text{мах}}^2 R_{\sim \text{п}} = 0.5 I'_{\text{мах}} \cdot U_{\text{Вых м}}$$

Среднее значение тока выходной цепи одного плеча в режиме В при максимальном сигнале:

$$I_{\text{cp}} = \frac{1}{\pi} \cdot I'_{\text{мах}} = 0.318 \cdot I'_{\text{мах}},$$

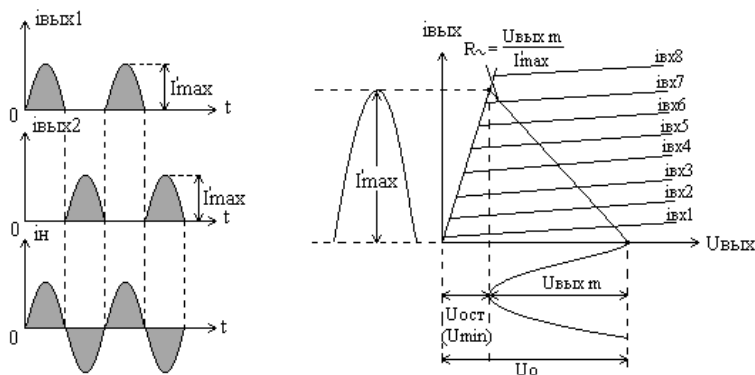


рис.7-5

а среднее значение потребляемого каскадом тока

$$I_{cp} = \frac{2}{\pi} \cdot I'_{\max}.$$

Потребляемая мощность:

$$P_0 = \frac{2}{\pi} \cdot I'_{\max} \cdot U_0;$$

КПД

$$\eta_{\max} = \frac{P_{\sim \max}}{P_0} = \frac{\pi}{4} \cdot \xi = 0.785 \cdot \xi,$$

что примерно в 1,5 раза выше, чем в режиме А.  
Выделяемая (рассеиваемая) на электродах УЭ мощность (рис.7-6):

$$P = 0.5(P_0 - P_{\sim}) = 0,318 I_{\max}^2 \cdot U_0 - 0,25 I_{\max}^2 R_{\sim} \text{ плеча}.$$

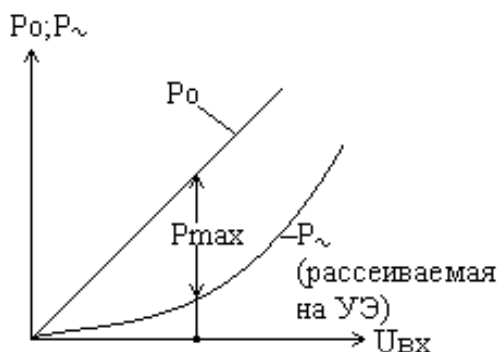


рис.7-6

1-я составляющая выражения для  $P$  — 1<sup>я</sup> степень амплитуды  $U_{BX}$ ; 2-я составляющая — 2<sup>я</sup> степень (см. рис.7-6). Таким образом (из рис.7-6),  $P_{РАССЕИВ}$  равна максимуму при определенном значении  $U_{BX}$ , а не при  $U_{BX} = 0$ .

$$P_{РАСС\ max} = 0.101U_0^2 / R_{\sim\ плеча} , \quad \text{при } \zeta = 0.637.$$

а значение  $\zeta$  зависит от схемы включения УЭ и типа УЭ. У транзисторов и экранированных ламп обычно при  $U_{BX\ max}$

$$\zeta > 0.637.$$

Поэтому расчет радиаторов производят по формуле:

$$P_{РАСС\ max} = 0.101U_0^2 / R_{\sim\ плеча} \text{ (т. е. для } \zeta = 0.637).$$

Если каскад работает при  $\zeta < 0.637$  при  $U_{BX\ max}$ , то расчет ведут по  $P_{РАСС}$ .

Внимание! В режиме А, если нагрузка  $R_H$  не активна, ее уменьшение до 0 (короткого замыкания) не приводит к увеличению  $P_{РАСС}$  по сравнению с режимом покоя.

В режиме В — все выше приведенные соотношения справедливы только при активной  $R_H$ .

Если нагрузка имеет комплексный характер, или  $R_H = 0$ , то мощность, рассеиваемая на электродах, равна потребляемой мощности от источника, что может привести к перегреву УЭ. Поэтому применяют специальные схемы защиты от перегрева.

Эмиттерную стабилизацию в транзисторных каскадах, работающих в режиме В, использовать нельзя. Смещение необходимо подавать от низкоомного делителя.

Расход энергии в режиме В значительно ниже, чем в режиме А, так как в режиме молчания практически нет потребления.

### ***7.3.5. Бестрансформаторные двухтактные каскады мощного усиления***

Включение  $R_H$  непосредственно в выходную цепь УЭ без выходного трансформатора позволяет устранить вносимые трансформатором частотные, фазовые и нелинейные искажения. Но при этом в обычных однотактных схемах непосредственное включение  $R_H$  не оправдано из-за протекания тока  $I_0$  через  $R_H$  — падает КПД, растет мощность, рассеиваемая на электродах УЭ. Указанные недостатки отсутствуют в схемах бестрансформаторных двухтактных каскадов.

### ***7.3.6. Двухтактный бестрансформаторный каскад с параллельным (несимметричным) выходом***

На рис.7-7 а) представлена схема с двумя ИП (или одним, со средней точкой). На рис.7-7б) представлена схема с од-

ним ИП и разделительным конденсатором (на обоих рис.7-7 не показаны цепи смещения, стабилизации). Каскады рис.7-7 а) и рис.7-7 б) требуют подачи на вход двух равных напряжений сигнала противоположной полярности (от инверсного каскада).

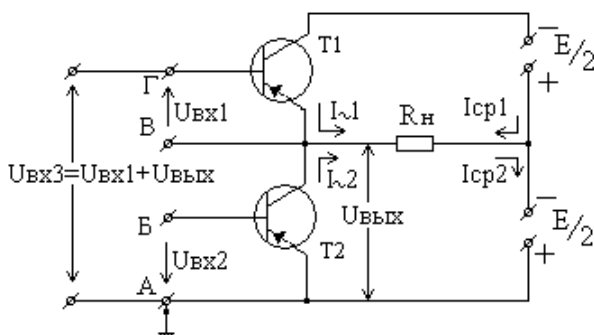


рис.7-7 а)

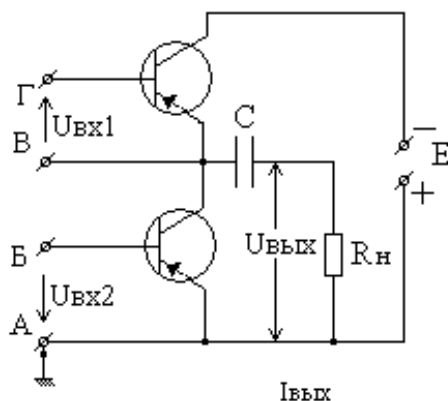


рис.7-7 б)



При одинаковых УЭ в плечах по схеме рис.7-7 а) постоянная составляющая, протекающая через  $R_H$   $I_0 = 0$  ( $I_{cp1}$  и  $I_{cp2}$  взаимно уничтожатся). Переменная составляющая  $I_{\sim 1}$  и  $I_{\sim 2}$  проходят через  $R_H$  и суммируются.

В схемах рис.7-7 а) и рис.7-7 б) УЭ по постоянному току включены последовательно; по отношению к  $R_H$  УЭ включены параллельно.

Напряжение  $E$  и режим УЭ выбирают таким образом, чтобы заданное  $R_H$  обеспечивало полное использование транзисторов как по току, так и по напряжению.

Если в схеме рис.7-7 а) подавать сигнал  $U_{BX2}$  в т. А и Б, а второй сигнал между т. А и Г ( $U_{BX3}$ ) от предоконечного каскада с разделенной нагрузкой, то Т2 будет работать по схеме с ОЭ и давать большое усиление по току и напряжению. Верхний Т1 будет включен по схеме с ОК, так как между его эмиттером и общим проводом включено все выходное напряжение  $U_{ВЫХ}$ . Поэтому для симметричной работы необходимо подавать  $U_{BX3} = U_{BX} + U_{ВЫХ} \gg U_{BX2}$ .

При трансформаторном предоконечном каскаде и равенстве  $U_{BX1}$  и  $U_{BX2}$  — оба транзистора будут работать по схеме с ОЭ с одинаковыми режимами и давать одинаковое усиление.

Схемы рис.7-7 а) и рис.7-7 б) можно упростить, используя транзисторы разной проводимости (рис.7-8):

- рис.7-8 а) с двумя источниками питания;
- рис.7-8б) с одним источником питания.

Предоконечный каскад может быть неинверсным: при подаче одного напряжения на входы Т1 и Т2 один транзистор будет открываться, другой — закрываться. Схема работает как двухтактная.

Здесь также по постоянному току Т1 и Т2 включены последовательно, а по переменному току — параллельно  $R_H$ . Это «каскады с несимметричным входом и выходом» или «двухтактные каскады с дополнительной симметрией».

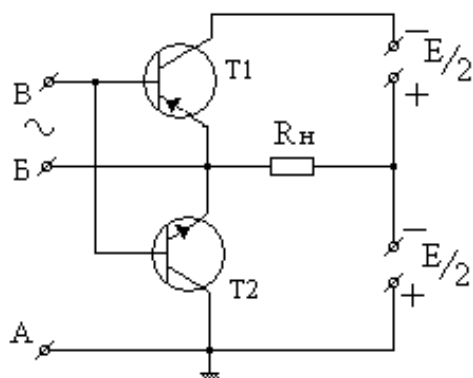


рис.7-8 а)

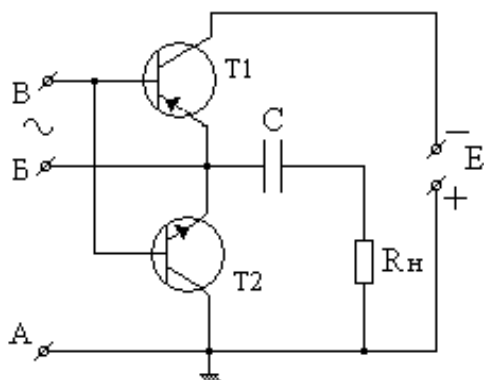


рис.7-8 б)

Каскады рис. 7-7 и рис.7-8 могут работать как в режиме А, так и в режиме В.

В режиме А  $\eta_{\max} = 50\%$ , в режиме В  $\eta_{\max} = 78,6\%$ . Реально — к.п.д. выше, чем у трансформаторных, т. к. нет потерь в трансформаторах.

На схемах рис.7-8 если подавать  $U_{ВХ}$  в т. А и В от обычного резисторного предыдущего каскада, то оба транзистора работают по схеме с ОК, вследствие чего  $U_{ВХ}$  должно быть  $U_{ВХ} > U_{ВЫХ}$ .

Но, если подавать  $U_{ВХ}$  в т. Б или В (от трансформаторного предыдущего каскада), то оба транзистора будут работать по схеме с ОЭ и давать одинаковое усиление.

Это были двухтактные каскады с параллельным управлением. Для них необходимо подбирать пары р-п-р и п-р-п транзисторов или иметь инверсный предоконечный каскад. Свободен от этих недостатков двухтактный каскад с последовательным управлением.

### 7.3.7. Двухтактный каскад с последовательным управлением

В этой схеме (рис.7-9) все транзисторы одного типа - п-р-п.

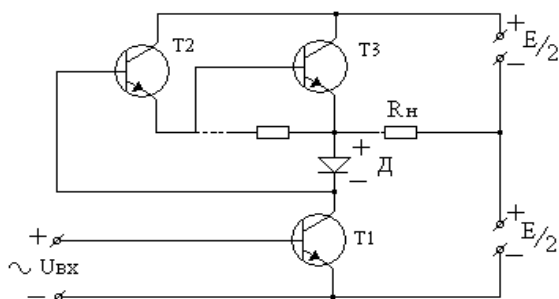


рис.7-9

Транзистор Т1 — ведущее плечо; транзисторы Т2 ÷ Т3 представляют собой составной транзистор, ведомое плечо. Т1 — включен по схеме с ОЭ и работает в режиме В через Д на нагрузку  $R_H$  (с малыми токами).

В 1-й полупериод открыты Т1 и диод Д. В это время составной транзистор Т2-Т3 заперт напряжением на диоде (он работает в режиме В с малыми токами).

Во время 2-го полупериода Т1 и диод Д заперты; напряжение на диоде открывает Т2 и Т3, которые работают на  $R_H$ .

Пунктиром показан резистор —  $R$ , который ставится для улучшения свойств Т2 и Т3.

На схеме не показаны цепи смещения и стабилизации. Для улучшения линейности в схему вводят глубокую ООС.

### 7.3.8. Расчет бестрансформаторных двухтактных каскадов

Особенность расчета(рис.7-10):

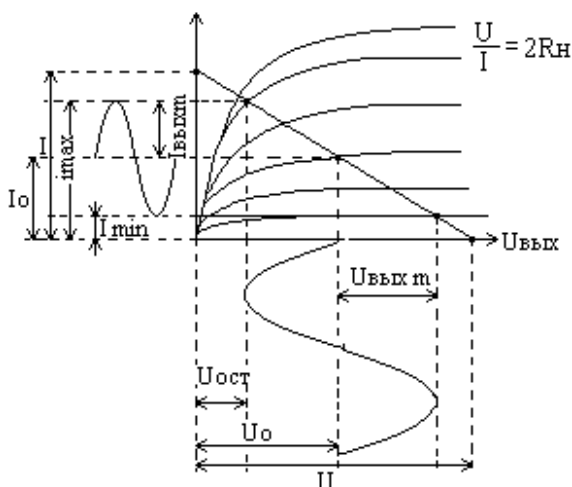


рис.7-10

при заданном сопротивлении нагрузки  $R_H$  и заданной мощности  $P_H$  для получения максимального значения  $\eta_{\max}$  значение  $E$  должно быть строго определенным.

Для бестрансформаторных двухтактных каскадов (рис.7-7, 7-8) при работе в режиме А сопротивлением нагрузки плеча является удвоенное  $2R_H$ , так как в режиме А оба плеча работают последовательно. Нагрузочную прямую строят для  $R_{\sim} = 2R_H$ .

При этом напряжение питания выбирается:

$$E = 2(\sqrt{2R_H P_H} + U_{OCT}),$$

Напряжение  $U_0$  в рабочей точке

$$U_0 = U_{BbLXm} + U_{OCT} = 0.5E,$$

Ток  $I_0$  в рабочей точке и максимальное значение  $I_{\max}$ :

$$I_0 = \sqrt{\frac{P_H}{2R_H}} + I_{\min}, \quad I_{\max} = \sqrt{2P_H R_H} + I_{\min}.$$

Если задано  $E$ , то для достижения максимального КПД значение  $R_H$  определяется:

$$R_H = (0.5E - U_{OCT})^2 / 2P_H.$$

Для схем рис.7-7, рис.7-8 в режиме В сопротивление нагрузки  $R_{\sim}$  плеча равно  $R_H$ , т. к. плечи работают на нагрузку поочередно, необходимое значение  $E$  для обеспечения  $\eta_{\max}$  при заданном  $R_H$ , или необходимое  $R_H$  при заданном  $E$  определяются (рис.7-11):

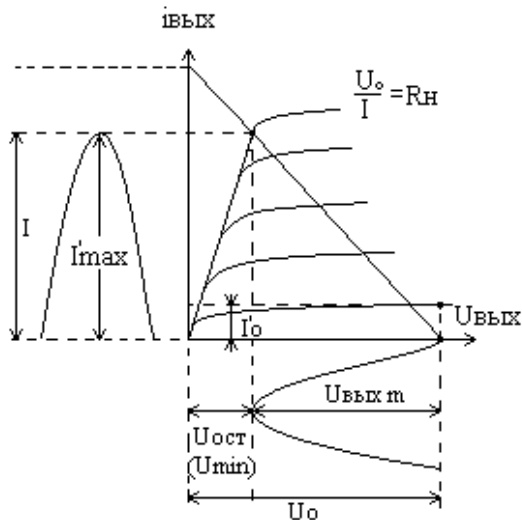


рис.7-11

$$E = 2\left(\sqrt{2R_H P_H} + U_{OCT}\right), \quad R_H = \frac{(0.5E - U_{OCT})^2}{2P_H},$$

$$U_0 = U_{BbIXm} + U_{OCT} = 0.5E,$$

$$I'_{\max} = \sqrt{\frac{2P_H}{R_H}}.$$

Обычно берут  $I'_0 = (0,04 \div 0,07) I'_{\max}$ .

Значения  $I_{\max}$  и  $I'_{\max}$  не должны превышать допустимых паспортных значений.

Напряжение  $E$  не должно превышать  $(0,8 \div 0,9) U_{KЭ \max}$ . Остальные расчеты — выполняются как для трансформаторных каскадов.

### 7.3.9. Двухтактный усилитель мощности с операционным усилителем

Рассмотрим двухтактный усилитель мощности с операционным усилителем (рис. 7-12). В схеме использована общая отрицательная обратная связь (резисторы  $R_1$  и  $R_2$ ), охватывающая оба каскада (на операционном усилителе и на биполярных транзисторах), благодаря которой схема создает настолько малые нелинейные искажения, что часто не требует дополнительных цепей смещения для каскада

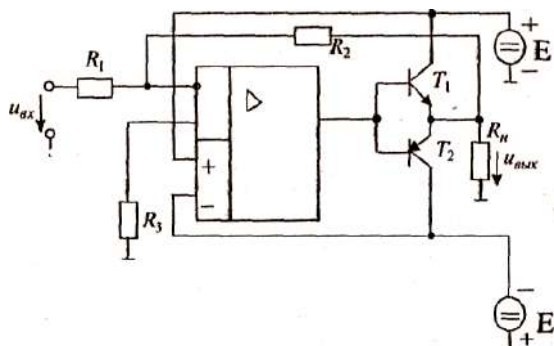


рис. 7-12

на транзисторах  $T_1$  и  $T_2$ . Поскольку напряжение на нагрузке  $R_H$  примерно равно напряжению на выходе ОУ, то мощность на выходе всего усилителя ограничивается выходным напряжением ОУ  $/1/$ .

#### Выводы по теме:

1. Усилителем мощности называют усилитель, предназначенный для обеспечения заданной мощности нагрузки  $P_H$  при заданном сопротивлении нагрузки  $R_H$ . Усилитель мощности является примером устройств силовой электроники. Основная цель при разработке таких устройств состоит в том, чтобы от-

дать нагрузке заданную мощность. Усилитель мощности является примером устройств силовой электроники.

2. В устройствах информативной (информационной) электроники, как правило, стремятся снизить мощность обрабатываемых сигналов до такого уровня, при котором помехоустойчивость устройства еще приемлема.

3. Функции устройств информативной электроники все чаще берут на себя микропроцессоры. Но микропроцессоры, естественно, не в состоянии выполнять функции устройств силовой электроники.

4. При разработке мощных усилителей всемерное внимание уделяется повышению коэффициента полезного действия. Другой важной проблемой является уменьшение габаритных размеров и веса усилителя мощности, так как они часто определяют габаритные размеры и вес всего устройства.

5. Уровень нелинейных искажений и КПД усилителя мощности существенно зависят от начального режима работы, причем нелинейные искажения обуславливаются нелинейностью не только входных, но и выходных характеристик транзисторов, так как они работают в режиме большого сигнала. Минимально возможный уровень нелинейных искажений можно обеспечить в режиме класса А, а максимально возможный КПД — в режиме классов В или АВ.

6. Основная особенность работы выходных каскадов — высокий уровень сигналов, что накладывает на них ряд специфических требований.

7. При включении УЭ по схеме с ОЭ получают максимум усиления по мощности; при этом требуется минимум мощности от предоконечного каскада, что удешевляет схему. При включении по схеме с ОБ получают минимум коэффициента гармоник и хорошую стабильность каскада при изменении температуры, нестабильности источника



питания, старении. Но при этом велик входной ток, приходится «умощнять» предоконечный каскад. Включение по схеме с ОК в трансформаторных схемах применяют редко — схема не имеет преимуществ по сравнению с ОБ.

8. Особенности двухтактного каскада мощного усиления:

- компенсация четных гармоник позволяет применять режим В, как более экономичный; применение режима В позволяет лучше использовать УЭ, получая большую мощность при том же уровне  $K_T$ ;
- компенсация помех и фона, поступающих от синфазных источников;
- больший динамический диапазон;
- компенсация постоянного подмагничивания сердечника выходного трансформатора, следовательно, меньше габариты, масса и стоимость трансформатора.

9. Включение  $R_H$  непосредственно в выходную цепь УЭ без выходного трансформатора позволяет устранить вносимые трансформатором частотные, фазовые и нелинейные искажения.

### **Контрольные вопросы по теме:**

1. Что такое усилитель мощности? Его назначение?
2. В чем различие силовой электроники и мощных устройств информативной (информационной) электроники?
3. Могут ли микропроцессоры выполнять функции устройств силовой электроники?
4. Какие специфические требования предъявляются к выходным каскадам?
5. Перечислите основные виды схем выходных каскадов.
6. Приведите простую схему выходного каскада с RC-цепью. В чем заключаются ее особенности?
7. Приведите схему трансформаторного (дроссельного) выходного каскада. В чем заключаются его особенности?

## Лекция 9

### Тема: операционные усилители

Операционный усилитель (ОУ) — это высококачественный усилитель, предназначенный для усиления как постоянных, так и переменных сигналов. Ранее такие усилители использовали главным образом в аналоговых вычислительных устройствах для выполнения математических операций (сложения, вычитания и т. д.). Это объясняет происхождение термина «операционный». В настоящее время очень широко используются операционные усилители в виде полупроводниковых интегральных схем. Эти схемы содержат большое число (десятки) элементов (транзисторов, диодов и т. д.), но по размерам и стоимости приближаются к отдельным транзисторам. Оказалось, что операционные усилители очень удобно использовать для решения самых различных задач преобразования и генерирования маломощных сигналов, поэтому эти усилители очень широко используются на практике. При инженерной разработке электронных устройств на основе операционных усилителей полезно иметь представление о внутренней структуре операционных усилителей, особенно об устройстве входных и выходных каскадов, что помогает правильно решать вопросы согласования операционных усилителей с источниками входных сигналов и приемниками преобразованных сигналов. Однако во многих случаях нет необходимости учитывать особенности электронной схемы, реализованной в том или ином операционном усилителе. При этом операционный усилитель рассматривается как «черный ящик», который описывается характеристиками и параметрами, соответствующими токам и напряжениям только внешних выводов. Особенности электрических процессов во внутренних цепях операционного усилителя при таком подходе не учитыва-

ются. Именно поэтому начальные сведения по операционным усилителям даются в начальном разделе курса электроники, в котором изучают электронные приборы (диоды, транзисторы и т. д.).

Вообще следует отметить, что при обращении к тому или иному объекту как электроники, так и других областей науки и техники всегда можно выделить следующие две тенденции. Первая тенденция состоит в стремлении как можно подробнее изучить и учесть внутреннюю структуру и внутренние процессы объекта, а вторая — в стремлении охарактеризовать объект так, чтобы эта структура и эти процессы учитывались как можно меньше. В отношении операционного усилителя можно сказать, что представление его в форме «черного ящика» значительно упрощает анализ электронных схем и обычно дает вполне приемлемые практические результаты /1/.

## **9.1. Операционные усилители. Определения. Структура**

В отечественной и зарубежной литературе приняты два варианта определения операционного усилителя:

I. Операционным усилителем (ОУ) называется многокаскадный УПТ с дифференциальным входным каскадом, большим усилением и несимметричным выходом, предназначенный для работы с глубокой ООС.

II. Операционный усилитель — модульный многокаскадный усилитель с дифференциальным входом, по своим характеристикам приближающийся к идеальному усилителю со свойствами:

- 1) Бесконечно большой коэффициент усиления по напряжению ( $K_U = \infty$ );
- 2) Бесконечно большое входное сопротивление ( $Z_{вх} = \infty$ );
- 3) Бесконечно малое выходное сопротивление ( $Z_{вых} = 0$ );
- 4) Равенство  $U_{вых} = 0$  при  $U_{вх1} = U_{вх2}$ ;

5) Бесконечно большая полоса пропускания частот (отсутствие задержки прохождения сигнала).

Практически можно получить достаточно близкое приближение к идеальным параметрам.

Согласно ГОСТ 2-759-82 схема ОУ обозначается прямоугольником (рис.9-1), в верхней части которого изображается равнобедренный треугольник, указывающий направление передачи.

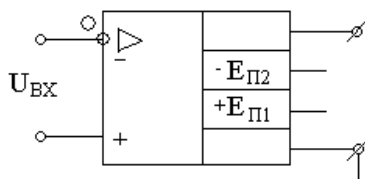


рис.9-1

Другое обозначение (рис.9-2):

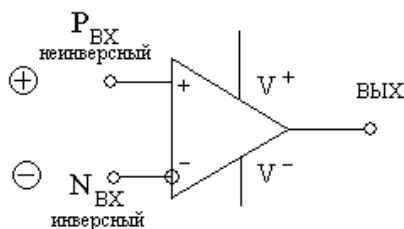


рис.9-2

Оба вывода входов - слева, выход – с противоположной стороны. Один вывод - инвертирующий, обозначается кружком. Другой - неинвертирующий (прямой); с этого

входа сигнал на выход передается без изменения фазы сигнала.

Прямоугольник может быть разграничен на основное поле и дополнительное, на котором показывают назначения выводов (например, питание, коррекции, балансировки нуля и т.д.).

Сигналы могут подаваться не обязательно на оба входа (может быть подан сигнал только на один вход).

Как правило, питание подается от двух ИП с общей точкой.

В операционных усилителях применяется очень глубокая ООС. Чаще всего используют инвертирующий вход.

Структурная схема любого ОУ приведена на рис.9-3:

Первый каскад – всегда дифференциальный усилитель (ДУ) - им определяется входное сопротивление  $R_{вх}$  и другие точностные параметры.

Операционные усилители различаются по числу каскадов (до выходных):

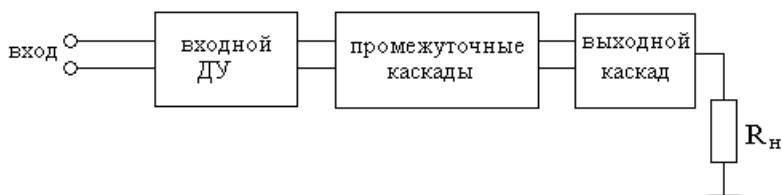


рис.9-3

- двухкаскадные ОУ – один входной ДУ и один промежуточный каскад;

- трехкаскадные ОУ – один входной и два промежуточных - это более совершенные ОУ.

Выходной каскад строится обычно по схеме мощного усилителя в режиме В, обеспечивающей заданную мощность на заданной нагрузке  $R_n$ . При этом, как было показано

в лекции 7, обеспечивается требуемый  $\eta$  и требуемый коэффициент гармоники  $K_r$ .

Вспомогательные (промежуточные) каскады содержат элементы для коррекции ЧХ, каскады сдвига уровня и т.д..

Упрощенная схема ОУ представлена на рис.9-4:

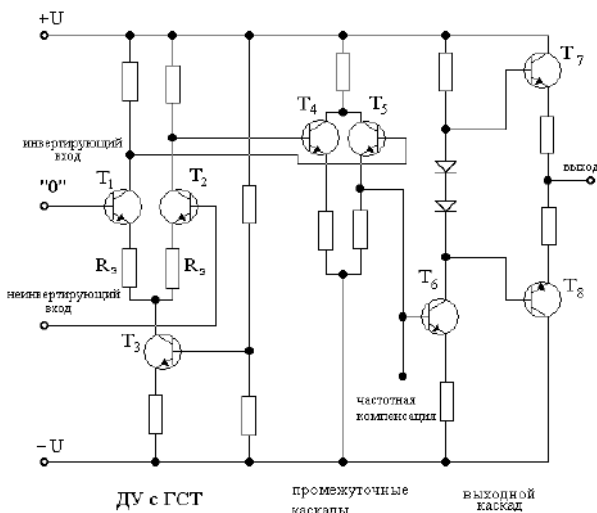


рис.9-4

Резисторы в цепях эмиттеров  $T_1$  и  $T_2$  повышают входное сопротивление  $Z_{вх}$ . Токи коллекторов  $T_1$  и  $T_2$  невелики; входные токи так же малы. Малое усиление, которое при этом получается, выполняется в промежуточных каскадах. Замечания:

1) синфазные сигналы - это сигналы, действующие одновременно и в одной фазе на оба входа.

2) Напряжение сдвига - это некоторое напряжение на выходе при  $U_{вх1} = U_{вх2} = 0$  из-за неточного согласования внутри ДУ, например, напряжений эмиттер – база входных транзисторов (или неточного равенства элементов схемы).

Для снижения чувствительности схемы к синфазным сигналам токи эмиттеров  $T_1$  и  $T_2$  задаются ГСТ (транзистор  $T_3$ ), который имеет высокое  $R_{\text{вых}}$ , поэтому коэффициент усиления ДУ по синфазному сигналу очень мал.

Для уменьшения входного тока  $I_{\text{вх}}$  (и, соответственно, увеличения  $R_{\text{вх}}$ ) в качестве  $T_1$  и  $T_2$  используют пары Дарлингтона или полевые транзисторы. ДУ с полевыми транзисторами имеет более высокое напряжение сдвига, сильно зависящее от температуры, чем у ДУ на биполярных транзисторах. Этот недостаток устраняется за счет ООС.

По «историческому» периоду различают три поколения ОУ:

1) трехкаскадные ОУ - в основном на биполярных транзисторах (далекие от идеальных параметров);

2) трехкаскадные; входные каскады – на составных транзисторах по схеме Дарлингтона (более лучшие показатели);

3) двухкаскадные ОУ на компланарных структурах, на полевых транзисторах - они содержат меньшее число каскадов для увеличения устойчивости.

В первой половине 60<sup>х</sup> годов широко применялась аналоговая вычислительная техника, в которой применялись ОУ для выполнения математических операций: сложение, вычитание, умножение, дифференцирование - отсюда «традиционное» название – ОУ.

Первые промышленные модели ОУ разрабатывались для широкого применения: в них обеспечивался запас по всем параметрам, обеспечивалась универсальность их применения, многоцелевое назначение. Но это давало плохое приближение к идеальным параметрам.

Поэтому сейчас применяются специализированные ОУ (за счет ухудшения одних параметров получают лучшие другие параметры): большое усиление за счет уменьшения полосы; прецизионные (высокоточные) ОУ; малые шумы и

сдвиги нуля; высокое  $R_{вх}$  и т.д.; быстродействующие (скоростные) ОУ;

Отдельный класс ОУ – представляют компараторы.

## 9.2 Схемотехника ОУ

### 9.2.1 Элементарная (упрощенная) схема входного каскада

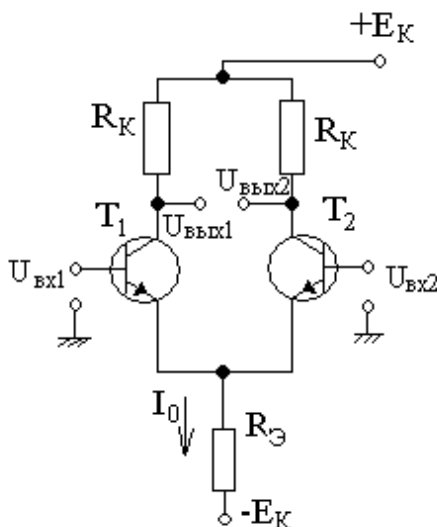


рис.9-5

Схема (рис.9-5) позволяет получить два входа, входное сопротивление  $R_{вх}$  невелико.

Выходные напряжения

$$U_{вых1} = U_{вых2} \cong E_K - \frac{I_0 \cdot R_K}{2}$$



тоже невелики, как и коэффициент усиления  $K_{yc}$ :

$$K_{yc \text{ Дифф}} = -R_k \cdot S_T ;$$

где 
$$S_T = \frac{I_0}{2 \cdot U_{np-pa}},$$

и 
$$K_{yc \text{ синф}} = -\frac{R_K}{\frac{1}{S_T} + R_3}.$$

В схеме сопротивление  $R_3 \approx \infty$  по переменному току и  $K_{\text{синф}} \approx 0$  (симметричный вход) - эти параметры обеспечивает ГСТ.

### **9.2.2. Упрощенная типовая схема входного каскада ОУ первого поколения**

Упрощенная типовая схема входного каскада ОУ 1<sup>го</sup> поколения приведена на рис. 9-6:

Здесь  $R_3$ ,  $T_3$ ,  $T_5$ ,  $R_6$  - это ГСТ, который служит источником смещения. Так как токи транзисторов  $T_1$  и  $T_2$  малы, падения напряжения на  $R_1$  и  $R_2$  малы. Для сохранения нормального  $U_{\text{вых}}$ , чтобы не применять большие величины  $R_1$  и  $R_2$ , применяется эмиттерный повторитель на транзисторе  $T_4$ .

Усиление этого входного каскада невелико ( $\approx 30 \div 40$  дБ) и необходимы еще дополнительные (промежуточные) каскады.

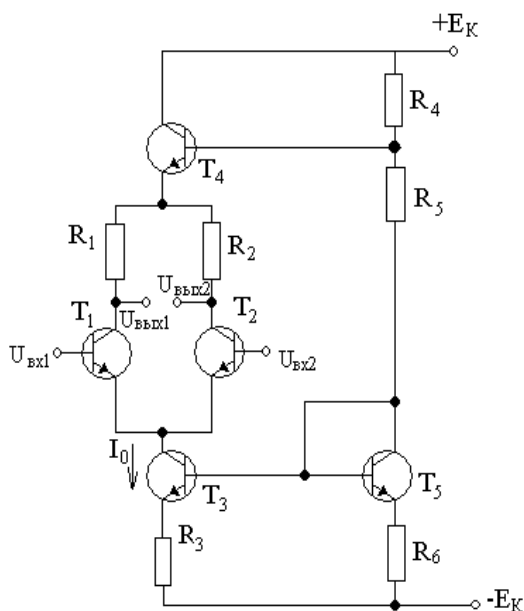


рис.9-6

### 9.2.3. Схема входного каскада ОУ второго поколения

Для увеличения входного сопротивления и улучшения стабильности показателей ОУ разработаны схемы второго поколения, где транзисторы  $T_1$  и  $T_2$  заменяют составными, включенными по схеме Дарлингтона (рис.9-7): Транзисторы  $T_1, T_3$  и  $T_2, T_4$  эквивалентны (каждая пара) одному транзистору с коэффициентом усиления по току:

$$\beta = \beta_1 \cdot \beta_3 = \beta_2 \cdot \beta_4$$

Входное сопротивление  $R_{вх}$  увеличивается до  $10 \div 20$  МОм при входных токах  $5 \div 10$  наноампер. В этой схеме

недостаточно высокое согласование базовых токов и напряжений.

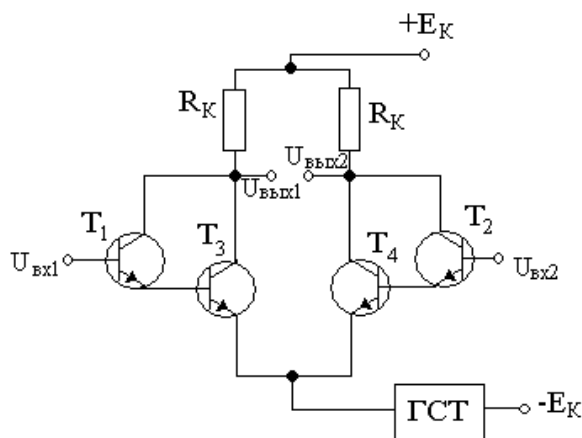


рис.9-7

По этой причине увеличиваются, соответственно, напряжение смещения и температурный дрейф; кроме того, с повышением температуры изменяется значение входного сопротивления.

#### 9.2.4. Схема входного каскада ОУ третьего поколения

- вместо биполярных транзисторов (рис.9-8) применяются полевые транзисторы:

$T_1$  и  $T_2$  – полевые транзисторы с р-каналом.  $T_4$  и  $T_5$  – активная нагрузка для  $T_1$  и  $T_2$  (ГСТ);  $R_{вх} \approx 10^9 \text{ Ом}$ ;  $I_{вх}$  – несколько пикоампер.

Недостатки - плохое согласование характеристик транзисторов  $T_1$  и  $T_2$ .

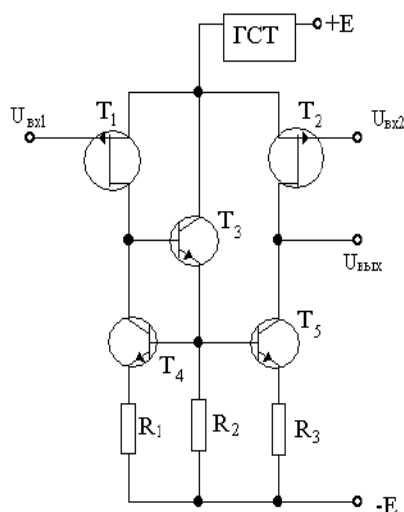


рис. 9-8

### 9.2.5. Промежуточные каскады

- такие же, как и входные, по схемам ДУ.

Отличие: отсутствие ГСТ; симметричный вход и несимметричный выход; их задача - обеспечение уровней сдвига предыдущих каскадов к уровням последующих; дать необходимое усиление.

### 9.2.6 Выходные каскады

К выходным каскадам предъявляются требования:

- большой выходной ток  $I_{вых}$ ;
- большое выходное напряжение  $U_{вых}$ ;
- низкое выходное сопротивление  $R_{вых}$ ;
- малая рассеиваемая мощность в режиме покоя.

Кроме того, выходной каскад должен иметь защиту от короткого замыкания любого из зажимов питания  $E_{\Pi}$  (выходных транзисторов).

Выходные каскады первого поколения - однотактные; второго и третьего поколения - двухтактные, в режиме В. Схема выходного каскада широкого применения приведена на рис.9-9:

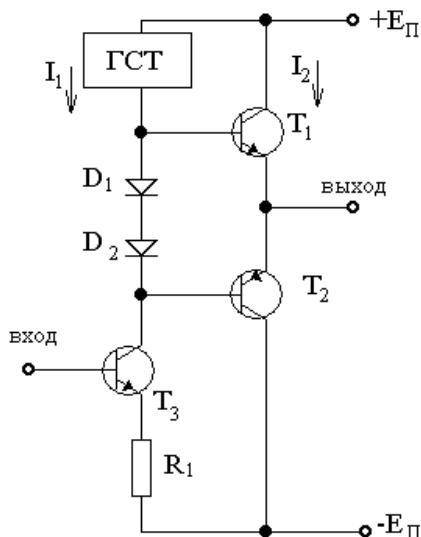


рис.9-9

В режиме покоя ток  $I_2$  протекает через оба транзистора  $T_1$  и  $T_2$  (режим АВ).

При положительной полуволне входного сигнала ток  $I_H$  протекает от источника  $-E_{\Pi}$  через транзистор  $T_2$ .

При обратном направлении входного сигнала транзистор  $T_2$  закрыт, и ток  $I_H$  протекает от источника  $+E_{\Pi}$  через тран-

зистор  $T_1$ . Схема не защищена от короткого замыкания транзисторов  $T_1$  или  $T_2$ .

Схема выходного каскада широкого применения с защитой от короткого замыкания транзисторов  $T_1$  или  $T_2$  приведена на рис.9-10.

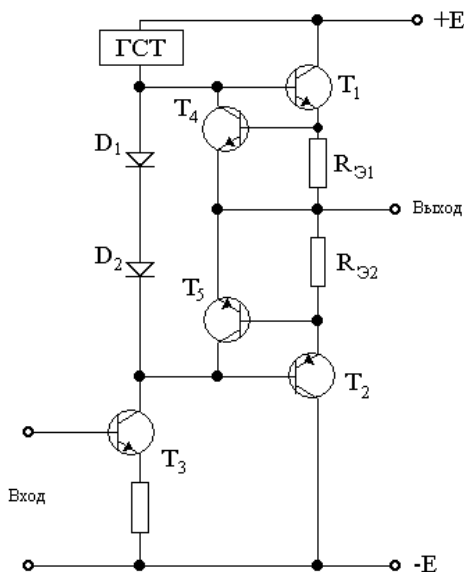


рис.9-10

При нормальной работе транзисторы  $T_4$  и  $T_5$  закрыты: они открываются только при коротком замыкании транзисторов  $T_1$  или  $T_2$  (за счет увеличения их токов и увеличения напряжения на резисторах  $R_{Э1}$  или  $R_{Э2}$ ). При этом часть базового тока транзисторов  $T_1$  или  $T_2$  ответвляется через транзисторы  $T_4$  или  $T_5$  до безопасной величины.

### 9.3. Основные параметры ОУ

ОУ имеют десятки параметров.

Основные:

1) Коэффициент усиления дифференциального напряжения:

$$K_{\text{д}} = \frac{\Delta U_{\text{вых}}}{\Delta U_{\text{вх д}}}$$

где  $\Delta U_{\text{вх д}} = U_{\text{вх1}} - U_{\text{вх2}}$  - изменение (разность) входных напряжений (между двумя входами).

Коэффициент усиления дифференциального напряжения идентичен коэффициенту усиления по напряжению ОУ без обратной связи. Это объясняется тем, что при усилении дифференциальных сигналов ООС за счет резистора эмиттерной связи в дифференциальном каскаде (ДК) не возникает (т.к. переменная составляющая эмиттеров протекает по  $R_{\text{эс}}$  в противоположных направлениях).

2) Коэффициент усиления синфазного напряжения:

$$K_{\text{сф}} = \frac{\Delta U_{\text{вых}}}{\Delta U_{\text{вх сф}}},$$

где  $\Delta U_{\text{вх сф}}$  - это изменение  $\frac{\Delta(U_{\text{вх1}} + U_{\text{вх2}})}{2}$  при  $U_{\text{вх1}} = U_{\text{вх2}}$ .

$K_{\text{сф}}$  обычно невелик, так как токи эмиттеров входных транзисторов протекают по  $R_{\text{э}}$  в одном направлении (для синфазных сигналов) и возникает глубокая ООС, снижающая  $K_{\text{сф}}$  во много раз.

3) Коэффициент относительного ослабления синфазных сигналов (КОСС):

В.А.Галочкин

$$K_{оос}(дБ) = 20 \cdot \lg(K_{д}/K_{сф})$$

– основной параметр ДК, входящего в состав ОУ, характеризующий способность ослаблять (не усиливать) сигналы, приложенные к обоим входам одновременно (синфазные).

Для коэффициента усиления синфазного напряжения  $K_{сф}$  условие  $U_{вх1} = U_{вх2}$  в абсолютном значении не выполняется, так как резисторы, транзисторы не подобраны точно, и появляется разность коллекторных напряжений  $U_{к1}-U_{к2}$ . Этот эффект минимизируется, но никогда не устраняется. Соответственно, при несимметричном выходе всегда будет  $U_{вых} \neq 0$  при  $U_{вх1} = U_{вх2}$  (даже при симметричном входе). Усиленная разность и характеризуется  $K_{сф}$ , который должен быть минимален (а  $K_{оос}$ , соответственно, должен быть максимален).

4) Входное напряжение сдвига  $U_{сдв}$  – следствие неточного согласования напряжений базы – эмиттер входных транзисторов. В результате появляется напряжение на выходе (при  $U_{вх1} = U_{вх2}$ ). Обычно  $U_{сдв}$  составляет несколько милливольт.

5) Входной ток смещения  $I_{см}$  – это требуемый ток базы, который должен быть обеспечен для работы входного транзистора.

6) Входной ток сдвига  $I_{сдв}$  – это разность токов смещения из-за не идентичности входных транзисторов.  $I_{сдв} = I_{см1} - I_{см2}$  (обычно  $1 \div 10$  наноампер) или  $I_{сдв} = (I_{см1} + I_{см2})/2$ .

7) Входное сопротивление  $> 10 \div 100$  МОм.

а) дифференциальное сопротивление  $R_{вх}$  между входами «вх1» и «вх2»;

б) синфазное сопротивление  $R_{вх}$  – это сопротивление между входом «вх1» (или «вх2») и корпусом (землей):



$$R_{\text{вх}} = \Delta U_{\text{вхсф}} / \Delta I_{\text{вхсф}}.$$

8) Выходное сопротивление  $R_{\text{вых}} \approx$  несколько ( $10^1 - 10^2$ ) Ом.

9) Ширина полосы пропускания – диапазон частот, на которых коэффициент усиления по напряжению ОУ уменьшается на 3дБ (0,707) по отношению к коэффициенту по постоянному току. Различается ширина полосы: с ООС и без ООС (вторая значительно меньше первой).

10) Частота единичного усиления  $f_u$  – это частота, на которой  $K_d = 1$  (без ООС). Обычно  $f_{uT} \cong 1 \div 10$  МГц.

11) Переходная характеристика выражается через время установления  $t_y$  от 0,1 до 0,9 при подаче на вход единичного сигнала (или время нарастания, или время установления выходного сигнала).

12) Коэффициент неустойчивости источника питания; величина потребляемого тока; рабочий диапазон температур; температурные коэффициенты и т.д.

Параметры разделяют:

- точностные (определяются входными каскадами);
- входные и выходные параметры;
- энергетические (токи, мощность);
- частотные;
- предельно допустимые.

## 9.4. Схемы сдвига уровней

Схемы сдвига уровней (рис.9-11) применяют для межкаскадных связей. Так как ИМС выполняются без разделительных конденсаторов, то в цепях межкаскадных связей иногда требуется гасить уровень напряжения на некоторую величину (для согласования). В то же время, эта цепь

должна передавать полезный сигнал (переменную составляющую).

Простая схема сдвига - стабилитрон. Однако он приводит к уменьшению входного сопротивления, а его фиксированное напряжение  $U_{\text{порог}}$  нарушает работоспособность при изменении напряжения питания  $E_{\text{п}}$ .

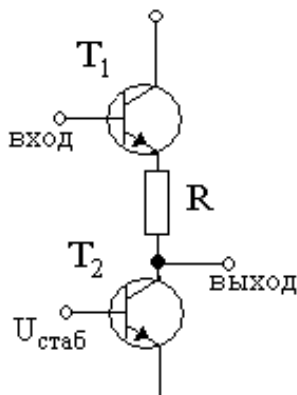


рис.9-11

Наиболее распространенная схема - рис.9-11: транзистор  $T_1$  - эмиттерный повторитель, который обеспечивает большое увеличение входного сопротивления. В его эмиттерную цепь включен делитель  $R$ ,  $T_2$ ; транзистор  $T_2$  - это ГСТ; его внутреннее сопротивление  $R_i \gg R$ , т.е. делитель незначительно ослабляет напряжение  $U_{\text{вых}}$ , зато получается необходимое согласование уровней «вход - выход».

### Выводы по теме

1. Операционный усилитель – модульный многокаскадный усилитель с дифференциальным входом, по своим характеристикам приближающийся к идеальному усилителю

со свойствами: бесконечно большой коэффициент усиления по напряжению ( $K_U = \infty$ ); бесконечно большое входное сопротивление ( $Z_{вх} = \infty$ ); бесконечно малое выходное сопротивление ( $Z_{вых} = 0$ ); равенство  $U_{вых} = 0$  при  $U_{вх1} = U_{вх2}$ ; бесконечно большая полоса пропускания частот (отсутствие задержки прохождения сигнала). Практически можно получить достаточно близкое приближение к идеальным параметрам.

2. Первый каскад – всегда дифференциальный усилитель - им определяется входное сопротивление и другие точностные параметры.

3. Промежуточные каскады строятся по тем же схемам, что и входные, по схемам ДУ. Отличие: отсутствие ГСТ; симметричный вход и несимметричный выход; их задача - обеспечение уровней сдвига предыдущих каскадов к уровням последующих; дать необходимое усиление.

4. Выходной каскад строится обычно по схеме мощного усилителя в режиме В, обеспечивающей заданную мощность на заданной нагрузке.

5. Для увеличения входного сопротивления и улучшения стабильности показателей ОУ разработаны схемы второго поколения, где входные транзисторы заменяют составными, включенными по схеме Дарлингтона.

6. К выходным каскадам предъявляются требования: большой выходной ток; большое выходное напряжение; низкое выходное сопротивление; малая рассеиваемая мощность в режиме покоя. Кроме того, выходной каскад должен иметь защиту от короткого замыкания любого из зажимов питания  $E_{П}$  (выходных транзисторов).

Выходные каскады первого поколения - одноктактные; второго и третьего поколения - двухтактные, в режиме В.

7. Схемы сдвига уровней применяют для межкаскадных связей. Так как ИМС выполняются без разделительных конденсаторов, то в цепях межкаскадных связей иногда

требуется гасить уровень напряжения на некоторую величину (для согласования).

### **Задания и вопросы для самоконтроля по теме**

1. Приведите два варианта определения операционного усилителя;
2. Приведите варианты условного обозначения операционного усилителя;
3. Приведите структурную схему ОУ;
4. Чем отличаются структурные схемы ОУ? Какие требования предъявляются к каскадам ОУ?
5. Приведите упрощенную схему ОУ;
6. Какие «исторические» периоды различают в развитии схемотехники ОУ и дайте им характеристику;
7. Приведите элементарную (упрощенную) схему входного каскада;
8. Приведите упрощенную типовую схему входного каскада ОУ первого поколения;
9. Приведите схему входного каскада ОУ второго поколения;
10. Приведите схему входного каскада ОУ третьего поколения;
11. Чем отличаются схемы промежуточных каскадов?
12. Какие требования предъявляются к выходным каскадам ОУ?
13. Приведите схему выходного каскада широкого применения;
14. Приведите схему выходного каскада широкого применения с защитой от короткого замыкания;
15. Приведите основные параметры ОУ;
16. Приведите схему сдвига уровней; ее назначение?

## Лекция 10

### **Тема: схемотехника аналоговых устройств на основе операционных усилителей**

Как уже отмечалось, операционные усилители в настоящее время используются в самых различных электронных устройствах. Их широко применяют как в аналоговых, так и в импульсных устройствах электроники. В то же время существуют и часто используются типовые линейные схемы на основе операционных усилителей. Такие типовые схемы должен знать каждый инженер, использующий электронные устройства. Именно такие схемы рассматриваются ниже.

Очень полезно овладеть достаточно простыми приемами ручного анализа электронных схем на основе операционных усилителей. Это значительно облегчит понимание принципа действия конкретных устройств электроники и будет способствовать получению достоверных результатов машинного анализа. Указанные приемы анализа основаны на ряде допущений, принимаемых в предположении, что используемые операционные усилители достаточно близки к идеальным. Практика расчетов показывает, что результаты, получаемые на основе допущений, имеют вполне приемлемую погрешность  $/1/$ .

Примем следующие допущения:

1. Входное сопротивление операционного усилителя равно бесконечности, токи входных электродов равны нулю. Выходное сопротивление операционного усилителя равно нулю, т. е. операционный усилитель со стороны выхода является идеальным источником напряжения.

3. Коэффициент усиления по напряжению (коэффициент усиления дифференциального сигнала) равен бесконечности.

4. В режиме насыщения напряжение на выходе равно по модулю напряжению питания, а знак определяется полярностью входного напряжения.

5. Синфазный сигнал не действует на операционный усилитель.

6. Напряжение смещения нуля равно нулю.

### 10.1. Инвертирующий усилитель

Так как ОУ имеет большой коэффициент усиления  $K_{уд}$ , то даже малое входное напряжение  $U_{вх.дифф.}$  из-за асимметрии или из-за нестабильности способно перегрузить ОУ, вызвать смещение или сдвиг постоянного напряжения на выходе  $U_{вых.}$  от 0 до  $U_{max}$ , что может привести к режиму насыщения и к потере способности усиления. Вследствие этого в ОУ всегда применяется ООС, которая обеспечивает хорошую стабильность показателей.

Одна из базовых схем ОУ - схема инвертирующего усилителя с внешней ОС (рис.10-1). На основе этой схемы строятся все остальные.

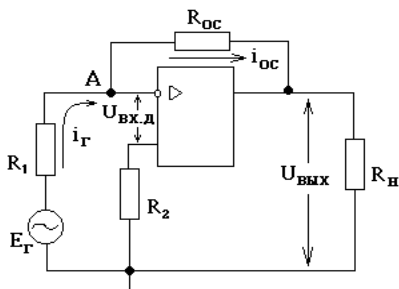


рис.10-1

На схеме не показаны цепи питания и другие дополнительные цепи. Входной сигнал подается на инвертирующий вход. Выходной сигнал  $U_{\text{ВЫХ}}$  находится в противофазе с входным  $U_{\text{ВХ}}$ ;  $R_1$  - внутреннее сопротивление генератора  $E_{\Gamma}$  ( $R_{\Gamma}$ ). Неинвертирующий вход соединен через  $R_2$  с корпусом. Через  $R_{\text{ОС}}$  подается параллельная ООС по напряжению.

Предположим, что ОУ - идеальный:  $\Delta U_{\text{ВХ.Д.}} = 0$ ,  $K_{\text{Д}} = \infty$ ,  $R_{\text{ВХ.Д.}} = \infty$ ,  $R_{\text{ВЫХ}} = 0$ ,  $I_{\text{ВХ.Д.}} = 0$ . Так как  $U_{\text{ВХ.Д.}} = 0$ , то все напряжение от  $E_{\Gamma}$  падает на  $R_1$ ; а  $U_{\text{ВЫХ}}$  - на  $R_{\text{ОС}}$ ; таким образом, точка А - это «точка виртуального нуля», «кажущийся нуль»

Тогда

$$I_{\Gamma} = I_{\text{ОС}}; \text{ или } \frac{E_{\Gamma}}{R_1} = -\frac{U_{\text{ВЫХ}}}{R_{\text{ОС}}},$$

или коэффициент усиления инвертирующего усилителя (с ООС!) по напряжению:

$$K_{U \text{ ИНВ.}} = \frac{U_{\text{ВЫХ}}}{E_{\Gamma}} = -\frac{R_{\text{ОС}}}{R_1}$$

(что соответствует выражению для усилителя с параллельной ООС по напряжению в общем виде), т.е.

$K_{U \text{ ИНВ.}}$  зависит только от  $R_{\text{ОС}}$  и  $R_1$  и не зависит от самого ОУ.

Для реального ОУ необходим учёт входного тока  $I_{\text{ВХ}}$  ОУ, т.е. если

$$I_{\Gamma} = I_{\text{ОС}} + I_{\text{ВХ}},$$

то

$$K_{U\text{ инв.}} = \frac{-R_{OC}/R_1}{1 + \frac{1}{K_{UOY}} \cdot (1 + \frac{R_{OC}}{R_1} + \frac{R_{OC}}{R_{BXOY}})}$$

где  $K_{UOY}$  - коэффициент усиления ОУ без ООС;  
Т.е. чем больше  $R_{BXOY}$  и  $K_{UOY}$ , тем больше приближение к «идеальному» соотношению

$$K_{U\text{ инв.}} = -\frac{R_{OC}}{R_1}.$$

Например, если  $K_{UOY} = 10^5$ ;  $R_{BXOY} = 10$  кОм;  $R_{OC} = 100$  кОм;  $R_1 = 1$  кОм; погрешность составляет  $< 0.1$  %.

Номиналы резисторов не должны превышать единицы МОм, иначе проявляется нестабильность из-за утечек в корпусе и т.д. Но расчётное значение  $R_{OC}$  часто требуется более 1 МОм. Для его снижения применяют схему (рис.10-2):

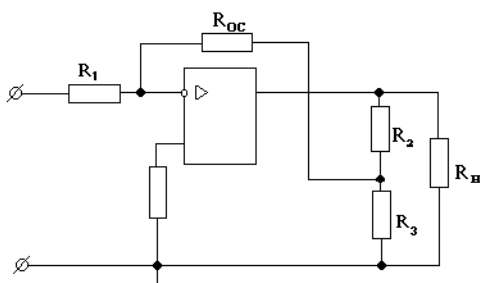


рис.10-2

Для этой схемы



$$R_{OC \text{ ЭКВ.}} = R_{OC} + R_2 \cdot \left(1 + \frac{R_{CB}}{R_3}\right)$$

и большое значение  $R_{OC \text{ ЭКВ.}}$  можно получить при меньшем значении  $R_{OC}$ .

Входное сопротивление  $R_{BX. \text{ ИНВ.}}$  инвертирующего усилителя невелико из-за параллельной ООС.

$$R_{BX. \text{ ИНВ.}} = R_1 + \left[\frac{R_{OC}}{K_{U \text{ ОУ}}} + 1\right] \parallel R_{BX. \text{ ОУ}} \approx R_1,$$

т.е. при больших значениях  $K_{U \text{ ОУ}}$   $R_{BX. \text{ ИНВ.}}$  определяется величиной  $R_1$ . Рекомендуется значение  $R_1 \cong 10 \text{ кОм}$ .

Выходное сопротивление  $R_{ВЫХ. \text{ ИНВ.}}$  невелико и определяется глубиной ООС.

$$R_{ВЫХ. \text{ ИНВ.}} = \frac{R_{ВЫХ. \text{ ОУ}}}{F \text{ (глубина ООС)}}$$

ИЛИ

$$R_{ВЫХ. \text{ ИНВ.}} = \frac{R_{ВЫХ. \text{ ОУ}} \cdot K_{U \text{ ИНВ.}}}{K_{U \text{ ОУ}} \text{ (без ООС)}}$$

Полоса пропускания ОУ тем шире, чем меньше  $K_{U \text{ ИНВ.}}$  (рис10-3):

$$f_{B.OC} = \frac{f_T}{K_{U \text{ ИНВ.}}}$$

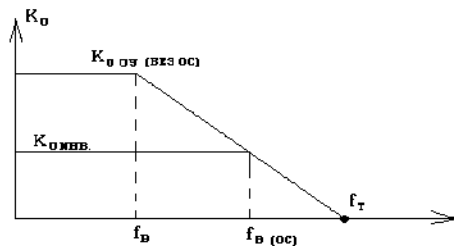


рис.10-3

Из выражения  $K_{U_{ИИВ}} = -\frac{R_{OC}}{R_1}$  видно, что изменять  $K_{U_{ИИВ}}$  можно за счёт изменения  $R_1$  и  $R_{OC}$ . Но, так как  $R_1$  определяет  $R_{ВХ}$ , то желательно  $K_{U_{ИИВ}}$  изменять за счёт  $R_{OC}$ .

## 10.2. Неинвертирующий усилитель

Входной сигнал подается на неинвертирующий вход. ООС подается на инвертирующий вход (рис.10-4). Т.е. ООС является последовательной (по току) по входу и параллельной (по напряжению) по выходу.

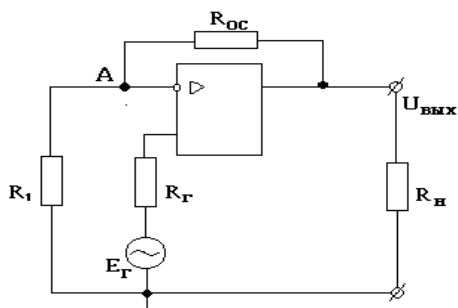


рис.10-4

Для идеального ОУ:

$$U_{BX} = U_{BЫX} \cdot \frac{R_1}{R_1 + R_{OC}} ,$$

откуда

$$K_{U\text{НЕИНВ.}} = 1 + \frac{R_{OC}}{R_1} \quad \text{или} \quad K_{U\text{НЕИНВ.}} = 1 + |K_{U\text{ИНВ.}}|$$

- соотношения справедливы при глубокой ОС ( $F > 0$ ), что имеет место практически.

Получение значения  $R_1 + R_{OC} \approx (0,5 \div 1)$  МОм реально. Если  $R_{OC} > 1$  Мом, то необходимо применять Т-образную цепочку включения (см. рис.10-2).

Входное сопротивление  $R_{ВХ.НЕИНВЕР.}$  всегда велико:

$$R_{ВХ.НЕИНВЕР.} = \frac{R_{ВХ.ОУ} \cdot K_{УОУ}}{K_{U\text{НЕИНВЕР.}}}$$

или  $R_{ВХ.НЕИНВЕРТ.} = R_{ВХ.ОУ} F$ .

Обычно  $R_{ВХ.} = n$  ГигаОм. Так как ООС - по напряжению, то  $R_{ВЫХНЕИНВЕРТ.}$  составляет несколько десятков Ом.

### 10.3. Дифференциальный усилитель

Дифференциальный усилитель (ДУ), как и дифференциальный каскад (ДК) предназначен для усиления разности  $\Delta U_{ВХ}$ , но в отличие от ДК он охвачен глубокой ООС (рис.10-5).

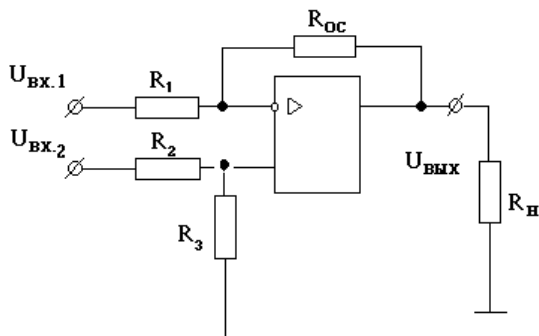


рис.10-5

Входные напряжения  $U_{ВХ.1}$  и  $U_{ВХ.2}$  подаются относительно земли.

Схема является сочетанием инвертирующего и неинвертирующего усилителей, причём для выравнивания коэффициентов усиления напряжение  $U_{ВХ.2}$  подается через делитель  $R_2$  и  $R_3$ , т.е. оба входа имеют входные делители.

Для идеального усилителя  $R_{ВХ.д.} = \infty$ ,  $R_{ВЫХ} = 0$ .

Если

$$\frac{R_{OC}}{R_1 + R_{OC}} = \frac{R_3}{R_3 + R_2} \quad \text{или} \quad \frac{R_1}{R_{OC}} = \frac{R_2}{R_3},$$

то  $K_{U \text{ инв.}} = K_{U \text{ неинв.}}$ .

При этом:

$$U_{ВЫХ} = (U_{ВХ.2} - U_{ВХ.1}) \cdot \frac{R_{OC}}{R_1}, \text{ т.е. } K_u = \frac{R_{OC}}{R_1}.$$

Отсюда следует, что при  $U_{ВХ.1} = U_{ВХ.2}$  имеем  $U_{ВЫХ} = 0$ , т.е. схема нечувствительна к синфазной помехе (к наводкам).

Для идеального (симметричного) усилителя коэффициент ослабления  $K_{ООС} = \infty$  (для синфазного сигнала).

Для реальной ситуации при  $U_{ВХ.1.} = U_{ВХ.2} = U_{ВХ.СФ.}$

$$K_{ООС} = \frac{R_{ОС.}}{R_1} = \frac{U_{ВХ.СФ.}}{U_{ВЫХ}} \approx \infty$$

(для соединённых вместе входа 1 и входа 2).

## 10.4. Устройства суммирования и вычитания

Устройства аналоговой обработки сигналов и их преобразования находят самое широкое распространение в современной р/электронике.

Практически все устройства - активные, т.е. с применением ОУ и соответствующей цепи ОС.

### 10.4.1. Инвертирующий сумматор

построен на основе инвертирующего усилителя (рис.10-6):

Для идеального ОУ  $K_D = \infty$ ,  $R_{ВХ.Д.} = \infty$ ; при этом

$$I_{ОС} = I_1 + I_2 + I_3$$

$$\text{или } U_1 / R_1 + U_2 / R_2 + U_3 / R_3 = - \frac{U_{ВЫХ}}{R_{ОС}};$$

$$\text{откуда } U_{ВЫХ} = -R_{ОС} \cdot \left( \frac{U_1}{R_1} + \frac{U_2}{R_2} + \frac{U_3}{R_3} \right)$$

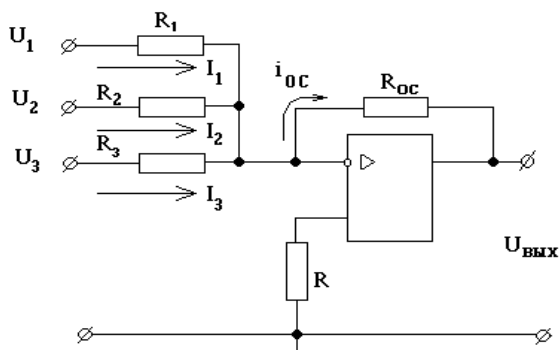


рис.10-6

т.е. на выходе имеем инвертированную сумму входных напряжений, взятых с соответствующими масштабными коэффициентами.

При  $R_1 = R_2 = R_3$

$$U_{\text{ВЫХ}} = -(U_1 + U_2 + U_3) \cdot \frac{R_{\text{OC}}}{R_1}.$$

Резистор R предназначен для компенсации сдвига нуля на выходе ОУ, обусловленного входным током  $I_{\text{ВХ}}$ . Выбирают  $R = [R_{\text{OC}} \parallel R_1 \parallel R_2 \parallel R_3]$ , параллельно соединенные.

#### 10.4.2. Сумматор на основе неинвертирующего усилителя

Для схемы рис. 10-7:

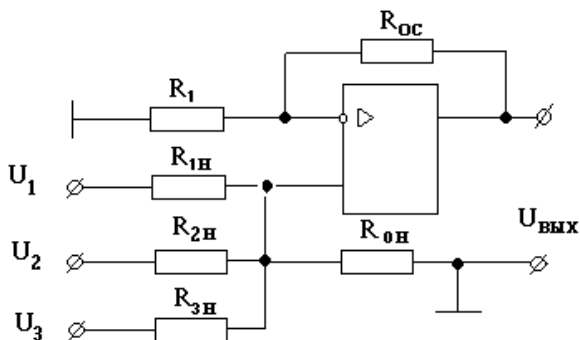


рис.10-7

$$U_{\text{вых}} = K \cdot (K_{1H} \cdot U_1 + K_{2H} \cdot U_2 + K_{3H} \cdot U_3),$$

где

$$K = 1 + \frac{R_{OC}}{R_1},$$

$$K_{1H} = \frac{R_{OCT1}}{R_{1H} + R_{OCT1}} = \frac{R_{\Sigma}}{R_{1H}}, \quad R_{\Sigma} = R_{0H} \parallel R_{1H} \parallel R_{2H} \parallel R_{3H}$$

$R_{OCT.1}$  -это общее сопротивление  $R_{\Sigma}$  параллельного соединения резисторов без  $R_{H1}$ .

## 10.5. Интегрирующий усилитель

Операция интегрирования широко применяется при обработке электрических сигналов.

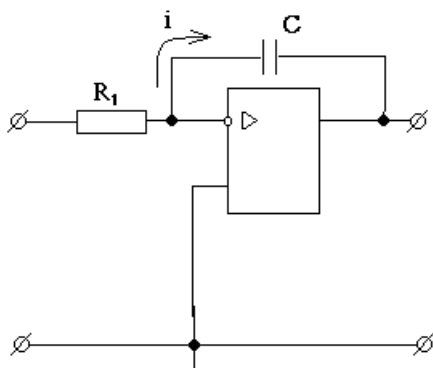


рис.10-8

Вместо  $R_{OC}$  в цепи обратной связи ставится конденсатор (рис.10-8). Для идеального ОУ ( $K_D = \infty$ ,  $R_{BX.D.} = \infty$ ) весь ток  $I_{BX}$  течет через конденсатор  $C$ . Так как  $U_{BX.D.} = 0$ , то

$$i = \frac{U_{BX}}{R_1}; \quad U_{BBLX} = -U_C; \quad U_C = \frac{1}{C} \int_0^t I_C \cdot dt; \quad U_{BBLX} = -\frac{1}{R_1 \cdot C} \int_0^t U_{BX}(t) dt$$

Эквивалентная постоянная времени интегрального усиления  $\tau_{ЭКВ.} = K_D \cdot C \cdot R_1$  в  $K_D$  раз больше, чем  $C \cdot R_1$ ; т.е. наличие ОУ эквивалентно увеличению в  $K_D$  раз величины  $C$ , т.е. фактическую величину  $C$  можно в  $K_D$  раз уменьшить (сказывается *эффект Миллера*).

[примечание: эффект Миллера обусловлен тем, что на вход транзистора действует одновременно и  $U_{BX}$  и  $U_{ВЫХ}$ . При этом увеличивается  $C_{BX} = C_{БЭ} + C_K(1+K_0)$ ].

Такой интегрирующий усилитель называют интегратором Миллера: он состоит из ОУ и резистора  $R_1$  и ёмкости Миллера  $C_M = C \cdot (1 + K_D)$ .

Соответственно



$$U_{\text{ввЛХ Д}} = \frac{1}{R_1 \cdot C_M} \int_0^t U_{\text{вХ}}(t) dt .$$

Если в инвертирующем интеграторе сделать несколько входов с резисторами  $R_1, R_2, R_3$ , то получим интегрирующий сумматор.

## 10.6. Дифференцирующий усилитель

построен на основе инвертирующего усилителя. Для идеального ОУ (рис.10-9):

$$U_{\text{вхД}} = 0;$$

$$U_{C1} = U_{\text{вх}}$$

$$I_{\text{вхД}} = 0$$

Тогда 
$$I_{\text{вх}} = I_{c1} = C_1 \cdot \frac{dU_{C1}}{dt},$$

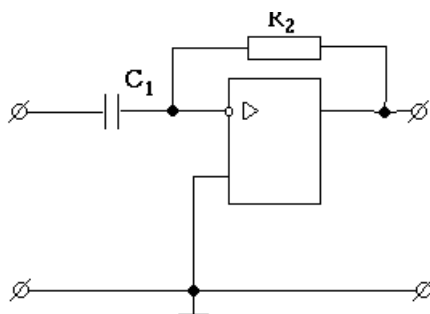


рис.10-9

а выходное напряжение

$$U_{\text{ВЫХ}} = -R_2 \cdot i_{\text{ВХ}} = -R_2 \cdot C_1 \frac{dU_{\text{ВХ}}}{dt}.$$

Это - формула для пассивной цепи. С учётом усиления ОУ  $R_2$  больше, так как постоянная времени  $\tau_{\text{ЭКВ.}} = C_1 R_{\text{ЭКВ.}}$ ;

$$R_{\text{ЭКВ.}} = \frac{R_2}{1 + K_{\text{Д}}}.$$

Рассмотренная схема имеет недостатки:

1. низкое  $R_{\text{ВХ}}$  на ВЧ из-за  $C_1$ .
2. повышенный уровень шумов из-за большого  $K_{\text{Д}}$ .
3. главный недостаток – склонность к самовозбуждению: из-за цепи  $R_2, C_1$  фаза поворачивается до  $-180^\circ$ . При этом возникает самовозбуждение.

Для устранения недостатков последовательно с  $C_1$  включают дополнительный резистор  $R_1$  (рис.10-10):

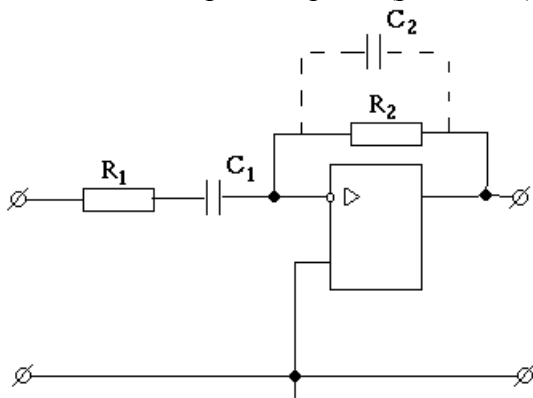


рис.10-10

В результате коэффициент передачи ограничивается

величиной  $R_2/R_1$ . С целью снижения шумов на выходе ОУ параллельно  $R_2$  устанавливают  $C_2$ , в результате чего снижается усиление на ВЧ.

### 10.7. Логарифмический и антилогарифмический усилители

В логарифмическом усилителе  $U_{\text{ВЫХ}}$  (примерно) пропорционально  $\lg U_{\text{ВХ}}$ .

В антилогарифмическом усилителе (экспоненциальном)  $U_{\text{ВХ}}$  (примерно) пропорционально  $\lg U_{\text{ВЫХ}}$ .

Первые применяют для перевода в дБ, сжатия динамического диапазона, которое применяется для регистрации сигналов, уровень которых изменяется в широких пределах.

Вторые (и первые) применяют в быстродействующих устройствах возведения в степень, перемножения и деления сигналов.

Логарифмический и антилогарифмический усилители строят по инвертирующей схеме с применением нелинейной ОС. В качестве нелинейного элемента используют р-п переход, например диод (рис.10-11).

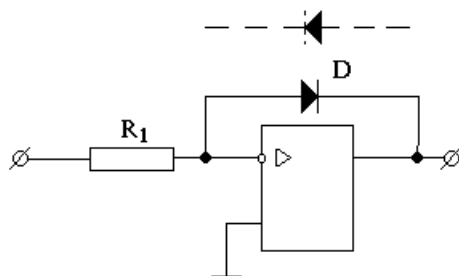


рис.10-11

Ток диода

$$i_{\text{д}} = I_{\text{ОБР}} \cdot \exp\left[\left(\frac{U_{\text{д}}}{\varphi_T}\right) - 1\right],$$

где  $I_{\text{ОБР}}$  - тепловой ток насыщения закрытого перехода;  
 $\varphi_T = kT/q \approx 26$  мВ – температурный потенциал.

Для открытого состояния диода при  $U_{\text{д}} > 100$  мВ,  $i_{\text{д}} > 50 I_{\text{ОБР}}$  можно принять

$$i_{\text{д}} = I_{\text{ОБР}} \cdot \exp\left(\frac{U_{\text{д}}}{\varphi_T}\right),$$

или

$$U_{\text{д}} = \varphi_T \cdot \ln(i_{\text{д}} / I_{\text{ОБР}}).$$

Полагая ОУ идеальным, получаем:  $i_{\text{д}} = U_{\text{ВХ.д}} / R_1$ ,  
и тогда

$$U_{\text{ВЫХ}} = -U_{\text{д}} = -\varphi_T \cdot \ln\left(\frac{U_{\text{ВХ}}}{R_1 \cdot I_{\text{ОБР}}}\right).$$

Сплошная характеристика (рис.10-12) – реальная; пунктир – идеальная характеристика. Они совпадают лишь в диапазоне  $U_{\text{ВХ.1}} \dots U_{\text{ВХ.2}}$ , который определяет динамический диапазон логарифмирования

$$D = \frac{U_{\text{ВХ.2}}}{U_{\text{ВХ.1}}}.$$

Для сжатия динамического диапазона знакопеременных входных сигналов применяют двухсторонний логарифмический преобразователь (рис.10-13).

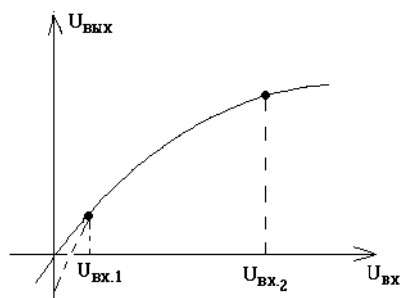


рис.10-12

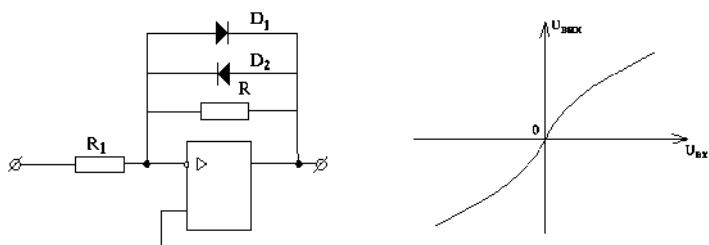


рис.10-13

Его передаточная характеристика симметрична относительно начала координат. Наклон характеристик определяется соотношением  $R_2/R_1$ .  $R_2$  действует на слабых сигналах, когда  $r_d$  велико - уменьшает сдвиг нуля выходного напряжения ОУ и нестабильность усиления, так как увеличивается глубина ООС.

Логарифмирование осуществляется точнее, если вместо диода использовать эмиттерный переход транзистора по схеме с ОБ (рис. 10-14):  $U_{\text{вых}} = U_d(\text{Э-Б})$  (открытый переход). При этом  $i_{\text{Э}} = i_{\text{К}} = i_{R1}$ .

В зависимости от полярности входной сигнала должен быть транзистор или р-n-p или n-p-n типа (рис.10-14):

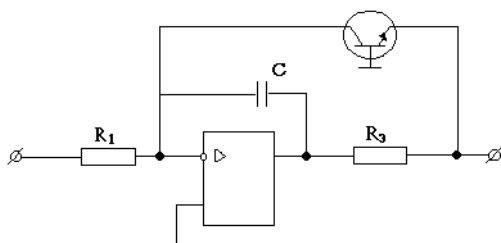


рис.10-14

Коллекторная нагрузка – параллельное соединение резисторов  $R_1 \parallel R_{ВХ.Д.}$ . Резистор  $R_3$  устанавливается для повышения устойчивости ОУ за счет снижения коэффициента усиления в цепи ОС; конденсатор  $C$  устанавливается для компенсации фазовых сдвигов, возникающих за счет  $C_{ВХ}$  ОУ.

Резистор  $R_3$  одновременно защищает ОУ от перегрузки.

В антилогарифмическом усилителе диод или транзистор включают вместо резистора  $R_1$  на входе ОУ (рис.10-15):

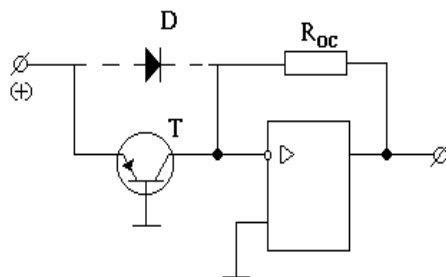


рис.10-15

Для идеального ОУ

$$U_{ВЫХ} = -R_{ОС} \cdot I_0 \cdot \exp\left(\frac{U_{Д}}{\varphi_T}\right)$$

- экспонента от  $U_{ВХ}$ .

Если на входе действует сигнал отрицательной полярности, то транзистор должен быть n-p-n типа (а диод развернут).  $R_{ВХ}$  антилогарифмического усилителя равно  $r_{диода}$  открытого перехода, т.е. очень низкое.

## Лекция 11

**Тема: схемотехника аналоговых устройств на основе операционных усилителей (продолжение лекции 10)**

### 11.1. Перемножители и делители на ОУ

#### *11.1.1. Аналоговый умножитель*

- это устройство, в котором выходной сигнал пропорционален произведению двух входных сигналов:

$$Z = K \cdot X \cdot Y,$$

где  $K$  – масштабный коэффициент устройства умножения. В большинстве случаев выбирают так, чтобы

$$Z = \frac{X \cdot Y}{10},$$

т.е.  $K=0,1$ .

Для того, чтобы полярность  $Z$  определялась полярностями  $\pm X$  и  $\pm Y$ , соответствующее построение умножителя называется четырёхквadrантным.

В реальном умножителе величина  $Z$  связана с величинами  $X$  и  $Y$  соотношением

$$Z = K \cdot X \cdot Y + K_X \cdot X + K_Y \cdot Y + K_0,$$

где  $K$  - коэффициент передачи умножителя (масштабный коэффициент);  $K_X$ ,  $K_Y$  - постоянные, определяющие смещения, зависящие от  $X$  и  $Y$ ;  $K_0$  - начальное смещение. Т.о., в умножителе высокой точности должно быть не менее 4-х подстроек для приближения к нулю трех



постоянных, которые характеризуют смещение и установления требуемого коэффициента передачи.

### 11.1.2. Применение аналоговых умножителей

Аналоговый умножитель - это универсальный базовый блок, выполняющий ряд математических операций (умножение, деление, возведение в квадрат, извлечение корня) – рис.11-1.

Функциональные возможности умножителя реализуются путем использования его с ОУ.

Операция деления выполняется путём включения умножителя в цепь ОС ОУ таким образом, чтобы выходной сигнал умножителя совместно с одним из входных сигналов подаётся на суммирующий вход ОУ, благодаря чему выходной сигнал умножителя становится равным этому входному сигналу. Для идеального ОУ в т. А  $i_z = i_{OC}$ . При этом

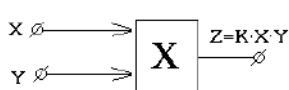
$$i_{oc} = \frac{K \cdot X \cdot Y}{R}, \quad i_z = \frac{Z}{R}; \quad \text{тогда} \quad Y = \frac{Z}{K \cdot X}.$$

Точно также получаем  $Y = \sqrt{\frac{Z}{K}}$  для схемы г) извлечения корня.

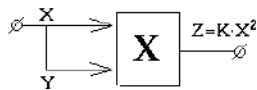
Внимание: 1) схемы делителя и извлечения корня устойчивы, если  $X$  «отрицательно», а  $Z$  – «положительно», т.е. необходимы меры против возникновения ПОС и самовозбуждения;

2) для устройства деления погрешность обратно пропорциональна  $X$ ; отсюда следует, что по мере уменьшения  $X$  погрешность быстро увеличивается, что ограничивает динамический диапазон.

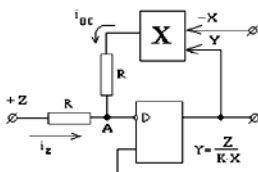
Схема устройства вычисления среднеквадратичного значения (рис.11-1 д) содержит умножитель и интегратор на основе ОУ.



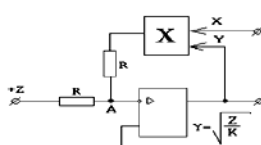
а) умножение



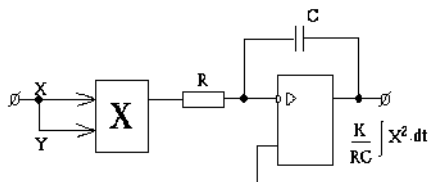
б) квадратор



в) делитель



г) извлечение корня



д) вычисление среднеквадратичного значения

рис.11-1

Помимо указанных операций умножитель может осуществлять преобразование частоты, может быть использован в качестве модулятора, преобразователя частоты, фазового детектора и т.д..

### 11.1.3. Умножитель с переменной крутизной (общий принцип)

Статическая крутизна транзистора:

В.А.Галочкин

«Схемотехника аналоговых и цифровых устройств»

$$S = \frac{\partial I_k}{\partial U_{\phi\phi}} = \frac{\partial I_k}{\phi_T},$$

где  $\phi_T$  – температурный потенциал.

Рассмотрим ДК (рис.11-2):

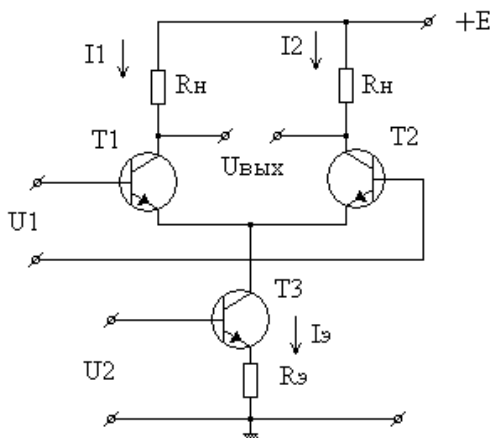


рис.11-2

Для значений

$$U_1 \ll \phi_T$$

имеем  $U_{\text{вых}} = S \cdot U_1 \cdot R_{\text{н}}$

Крутизну  $S$  можно изменять при помощи  $U_2$ .

Если  $I_{\text{э}} \cdot R_{\text{э}} \gg U_{\phi\phi}$  (для Т3), то имеем

$$U_2 \cong I_{\text{э}} \cdot R_{\text{э}} \cong I_{\text{КЗ}} \cdot R_{\text{э}} \quad (\text{для транзистора Т3}).$$

Тогда крутизна  $S$  для транзистора Т1 (или Т2) определяется при симметрии ДК:

В.А.Галочкин

$$I_{K1} = I_{K2} = I_{K3} / 2 ; \quad S = \frac{U_2}{2 \cdot \varphi_T \cdot R_3},$$

а выходное напряжение ДК:

$$U_{\text{вых}} = S \cdot U_1 \cdot R_n = \frac{U_1 \cdot U_2 \cdot R_n}{2 \cdot \varphi_T \cdot R_3},$$

то есть  $U_{\text{вых}}$  пропорционально произведению  $U_1$  и  $U_2$ .

## 11.2. Повторитель напряжения

Для схемы рис.11-3

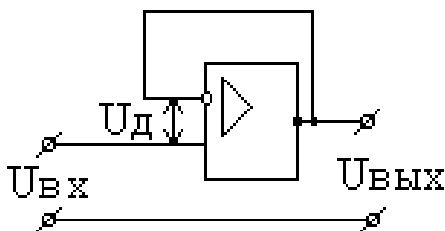


рис.11-3

$$U_{\text{Д}} = \frac{U_{\text{вых}}}{K_U} \cong 0,$$

так как  $K_U$  стремится к бесконечности.

Но  $U_{\text{вх}} + U_{\text{Д}} = U_{\text{вых}}$ .

И так как  $U_{\text{Д}} = 0$ , то  $U_{\text{вх}} = U_{\text{вых}}$ .

В схеме ООС – последовательная, по напряжению (100%); сигнал подается на неинвертирующий вход.

Схема называется «повторитель напряжения», так как  $U_{вх} = U_{вых}$  и по амплитуде и по фазе. Для этой схемы характерный признак:

$$R_{вхОС} \cong \infty; \quad R_{выхОС} \cong 0.$$

$$[\text{так как } R_{вхОС} = R_{вх} \cdot K_U; \quad R_{выхОС} = \frac{R_{вых}}{K_U}; \quad \text{а } K_U \approx \infty].$$

### 11.3. Активные фильтры на основе операционных усилителей

В современной радиоэлектронике все большее применение находят активные RC – фильтры (ARC). Их практическая ценность – отсутствие катушек индуктивностей, что позволяет их применять на очень низких частотах; они могут быть изготовлены методами интегральной микροэлектронной технологии.

Название ARC- фильтры (активные RC-фильтры) связано с тем, что в них применяются активные ОУ и пассивные RC – цепи.

Преимущества ARC – фильтров

1. Отсутствие катушек индуктивностей L – элементов (которые нуждаются в экранировании; LRC фильтры имеют большие габариты, массу и стоимость, нетехнологичны);

2. Дешевы, малогабаритны и технологичны;

3. Параметры RC –фильтров ближе к идеальным;

4. ARC –фильтры дают усиление в полосе пропускания;

5. Использование ОУ дает развязку  $R_{вых}$  от  $R_{вх}$ ;

6. Легче настраивать;

7. Более надежны, чем LC – фильтры.

Недостатки ARC – фильтров.

1. Нуждаются в источниках питания;

2. Рабочий диапазон ограничен максимальной частотой  $f_{\max}$  ОУ (несколько МГц);

3. Параметры элементов ARC – фильтров должны иметь малый разброс и малые температурные коэффициенты, малые временные дрейфы параметров. Для схем фильтров второго порядка допуск должен составлять для конденсаторов  $C \pm 5\%$  и для резисторов  $R \pm 2\%$ . Для схем более высоких порядков должен быть еще меньший допуск.

4. В схемах ARC – фильтров должны быть малошумящие элементы. Из конденсаторов лучше всего применять полистироловые, керамические, слюдяные. Дисковые керамические конденсаторы имеют малое применение, так как у них плохая стабильность по температуре, времени и частоте.

### ***11.3.1. Активные RC – фильтры нижних частот первого порядка. Обобщенное описание фильтра НЧ***

Исходная формула коэффициента передачи:

$$\underline{K} = \frac{1}{1 + j\omega RC}.$$

Введем комплексную нормированную переменную

$$p = j\omega + \sigma,$$

где  $\sigma$  - допустимое отклонение АЧХ в полосе пропускания (обычно  $\sigma = \sqrt{M^2 - 1}$ ).

Введем обозначение  $P = \frac{p}{\omega_{cp}}$  (нормированное значение частоты в операторной форме).

В.А.Галочкин

Тогда при  $\sigma = 0$  обозначим:

$$P = \frac{j\omega}{\omega_{cp}} = j \left( \frac{f}{f_{cp}} \right) = j\Omega,$$

где  $\Omega$  - нормированная частота.

Так как частота среза  $f_{cp} = 1/2\pi RC$ , то нормированное значение частоты в операторной форме

$$P = p \cdot R \cdot C$$

и коэффициент передачи в операторной форме

$$K(P) = \frac{1}{1 + P}$$

для фильтра первого порядка.

При  $\Omega \gg 1$ , т.е.  $f \gg f_{cp}$ ,  $|K| = 1/\Omega$ , что соответствует снижению  $K$  на 20дБ на декаду (изменению в 10 раз). Для более крутого изменения затухания включают последовательно несколько фильтров. Тогда, в общем случае, коэффициент передачи (передаточная функция) ФНЧ в операторной форме может быть записана:

$$K(P) = \frac{K_0}{\prod_i (1 + a_i P + b_i P^2)},$$

где:

$K_0$  – коэффициент передачи фильтра при  $P = 0$ ;

$a_i, b_i$  – положительные действительные коэффициенты;

$i = 1..n/2$  для четных  $n$ ;

$i = 2..(n+1)/2$  для нечетных  $n$ ;

$n$  – порядок фильтра определяемый степенью  $P$  после перемножения в знаменателе. Порядок фильтра определя-

ет наклон АЧХ после частоты среза  $f_{\text{ср.}}$ . Вид характеристики определяется как порядком, так и типом фильтра (Чебышев, Баттерворт и др.)

Типы фильтров отличаются значениями  $a_i$ ,  $b_i$  в передаточной функции. Их значения можно найти в литературе (например, У.Титце, К.Шенк 1982г., стр. 194-198)

Пример: фильтры шестого порядка имеют следующие примерные характеристики (рис.11-4):

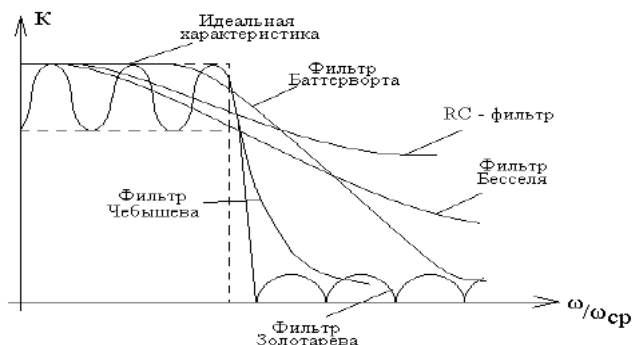


рис.11-4

Создание фильтра начинают с выбора его АЧХ и требований к ней (полоса пропускания; частота среза  $f_{\text{среза}}$ ; скорость спада АЧХ; коэффициент затухания; неравномерность в полосе и иногда за ее пределами). Нужно знать порядок фильтра (число полюсов функции). Обычно число полюсов показывает на скорость спада функции — АЧХ фильтра. Обычно скорость равна  $n \cdot 20$  дБ/декаду. На каждый полюс фильтра обычно приходится один конденсатор фильтра. Число конденсаторов равно порядку фильтра.

Фильтр Баттерворта: АЧХ с максимально плоской характеристикой в полосе, но небольшая скорость спада затухания, что принимают, когда высоки требования к равномерности в полосе пропускания.



Фильтр Чебышева: имеет неравномерность в полосе пропускания, но хороший спад АЧХ за полосой; неравномерность в полосе нужно задавать.

Фильтр Бесселя: АЧХ неважная. Но фильтр максимально без искажений передает форму сигналов, так как у него очень хорошая фазовая характеристика (линейная ФЧХ), что особенно важно для прямоугольных импульсов.

Фильтр Золотарева: имеет максимальный спад за полосой пропускания, но имеет неравномерность как в пределах полосы, так и за полосой пропускания, что нужно регламентировать.

### **11.3.2. Реализация ARC – фильтра нижних частот первого порядка**

Передаточная функция имеет вид:  $K(P) = \frac{K_0}{1 + a_1 P}$

где  $a_1 = 1$ ,  $K_0 = 1 + R_2/R_3$ ,  $f_{ср} = 1/2\pi R_1 C_1$ .

Его реализация (рис.11-5):

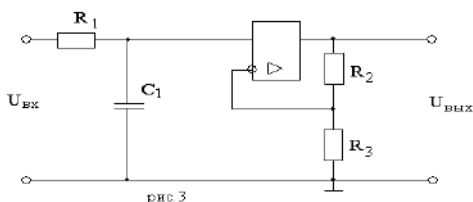


рис.11-5

Для него  $K_0 = 1 + \frac{R_2}{R_3}$ , т.е. не зависит от  $R_n$  (в отличие от пассивного фильтра, где  $K = f(R_n)$ ).

### **11.3.3. Преобразование фильтра НЧ в фильтр ВЧ**

Если зеркально отразить АЧХ ФНЧ относительно частоты среза  $f_{ср}$ , то можно перейти от ФНЧ к ФВЧ, заменив  $\Omega$  на  $1/\Omega$ ;  $P$  на  $1/P$ ;  $f_{среза}$  не меняется,  $K_0$  заменяется

на  $K_\infty$  (коэффициент передачи на  $f_\infty$ ). Тогда передаточная функция ФВЧ:

$$K(P) = \frac{K_\infty}{\prod_i \left(1 + \frac{a_i}{P} + \frac{b_i}{P^2}\right)}$$

#### 11.3.4. Реализация ФВЧ на АРС

Нужно заменить  $P$  на  $1/P$ , а в схеме рис.11-5 поменять  $R_1$  и  $C_1$  местами (рис.11-6).

$$K_\infty = 1 + R_2/R_3; \quad a_i = 1; \quad b_i = 0.$$

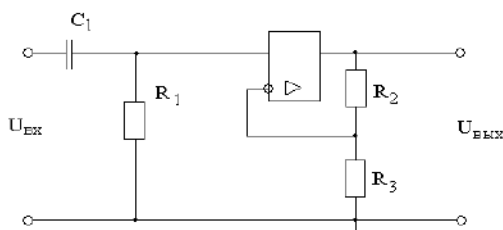


рис.11-6

#### 11.3.5. Реализация АРС – фильтров НЧ и ВЧ второго порядка

Передаточная функция ФНЧ второго порядка может быть записана в общем виде:

$$K(P) = \frac{K_0}{1 + a_1 P + b_1 P^2}.$$

Такие функции характеризуются (второго и более порядков) наличием комплексно-сопряженных полюсов. Такие функции не могут быть реализованы с помощью пассивных элементов РС. Один из способов их реализации -

применение индуктивностей (L элементов). Другой способ – применение RC – цепей с ОУ.

Реализация АРС – фильтров НЧ и ВЧ обычно выполняется на основе ОУ:

- либо со сложной ООС;
- либо с ПОС (фильтры Саллена – Кея).

Обратная связь используется для формирования комплексно-сопряженных полюсов.

### 11.3.6. Фильтр НЧ со сложной ООС

Фильтр со сложной ООС (многопетлевой ООС) носит название фильтра со структурой Рауха (рис.11-7). Для ФНЧ Баттерворта  $a_1 = 1,44$ ,  $b_1 = 1$ .

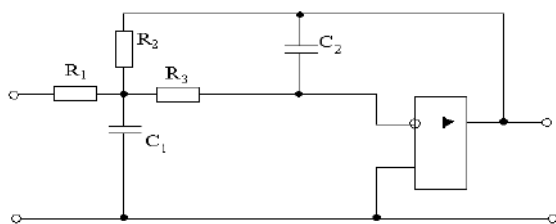


рис.11-7

Для него коэффициент передачи:

$$K(P) = - \frac{\frac{R_2}{R_1}}{1 + \omega_{cp} C_1 (R_2 + R_3 + \frac{R_2 \cdot R_3}{R_1}) P + \omega_{cp}^2 C_1 C_2 R_2 R_3 P^2};$$

где  $K_0 = R_2/R_1$ ;

$$a_1 = \omega_{cp} C_1 (R_2 + R_3 + \frac{R_2 R_3}{R_1});$$

$$b_1 = \omega_{cp}^2 C_1 C_2 R_2 R_3.$$

Для реализации фильтра необходимо условие

$$\frac{C_2}{C_1} \gg \frac{4 \cdot b_1 (1 - K_0)}{a_1^2}.$$

Характеристики фильтра мало зависят от разброса номиналов, и поэтому может быть рекомендован к реализации.

### 11.3.7. ФНЧ на основе положительной обратной связи

Фильтр на основе ПОС (рис.11-8) носит название фильтра с критическим затуханием (фильтр Саллена - Кея).

Для фильтра Баттерворта  $\alpha = 1,586$ ; для фильтра Чебышева  $\alpha = 2,234$ .

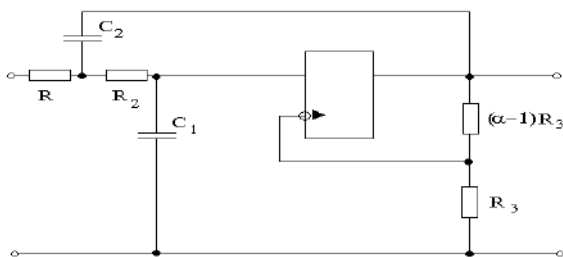


рис.11-8

При  $R_1 = R_2 = R$  и  $C_1 = C_2 = C$  передаточная функция имеет вид:

$$K(P) = \frac{\alpha}{1 + \omega_{cp} RC (3 - \alpha) P + (\omega_{cp} RC)^2 P^2}$$

причем

$$R \cdot C = \frac{\sqrt{b_1}}{2\pi f_{cp}}; \quad \alpha = K_0 = 3 - \frac{a_1}{\sqrt{b_1}}.$$

При  $\alpha = 3$  схема превращается в автогенератор с  $f = 1/2\pi RC$ .

### 11.3.8. Фильтр ВЧ на основе положительной обратной связи

Поменяв местами R и C, получаем фильтр ВЧ (рис.11-9):

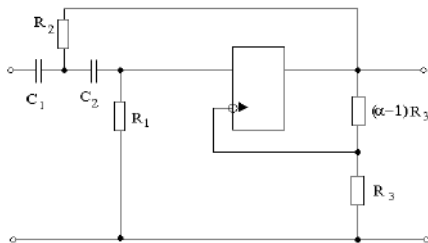


рис.11-9

Передаточная функция имеет вид:

$$K(P) = \frac{\alpha}{1 + \frac{R_2(C_1 + C_2) + R_1 C_2 (1 - \alpha) \cdot 1}{R_1 R_2 C_1 C_2 \omega_{cp} P} + \frac{1 \cdot 1}{R_1 R_2 C_1 C_2 \omega_{cp} P^2}}$$

,

при  $\alpha = 1$  и  $C_1 = C_2 = C$  имеем  $K_\infty = 1$ ,

$$R_1 = \frac{1}{\pi f_{cp} C a_1}, \quad R_2 = \frac{a_1}{4\pi f_{cp} C b_1}.$$

### 11.3.9. Реализация полосовых фильтров второго порядка

Включим ФНЧ и ФВЧ последовательно (рис.11-10):

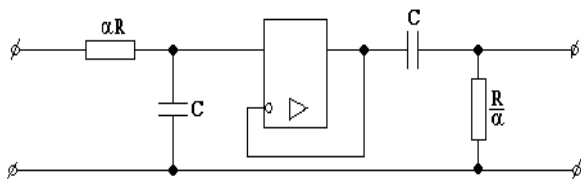


рис.11-10

В результате получаем ПФ с коэффициентом передачи (передаточной функцией) в нормированном виде:

$$K(p) = \frac{\alpha p}{1 + \frac{(1+\alpha)^2}{\alpha} p + p^2}$$

с эквивалентной добротностью  $Q = \frac{\alpha}{(1+\alpha)^2}$  и резонансной частотой

$$f_{PE3} = \frac{1}{RC}$$

При  $\alpha = 1$   $Q_{\max} = 1/2$

[ ( $\alpha$  - постоянная нормирования); для ФНЧ и ФВЧ  $\alpha = K_0K$ ;  $K$  – коэффициент, характеризующий условия реализации фильтров; для ФНЧ и ФВЧ  $\alpha$  и  $K$  должны быть  $< 1$ ].

Для получения большей добротности  $Q$  необходимо иметь в знаменателе функцию, имеющую комплексные сопряжённые корни. Это можно реализовать, применяя ОУ со сложной ООС (рис.11-11):

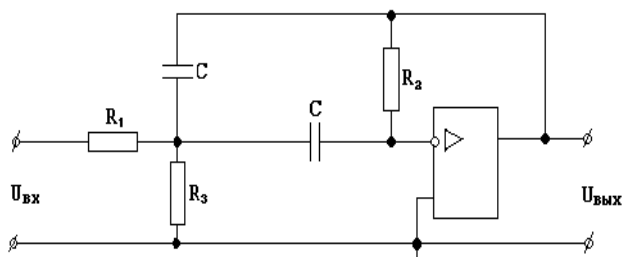


рис.11-11

Передаточная функция этого фильтра:

$$K(p) = \frac{-\frac{R_2 R_3}{R_1 + R_3} C \omega_0 p}{1 + \frac{2R_1 R_3}{R_1 + R_3} C \omega_0 p + \frac{R_1 R_2 R_3}{R_1 + R_3} C^3 \omega_0^2 p^2}$$

где  $f_{PE3} = \frac{1}{2\pi C} \sqrt{\frac{R_1 + R_3}{R_1 R_2 R_3}}$  *резонансная частота*

Другие параметры фильтра:

эквивалентная добротность  $Q_{\text{эквив.}} = \pi R_2 C f_{\text{рез}}$ ;

полоса пропускания  $\Pi = 1 / \pi R_2 C$ ;

коэффициент передачи на  $f_{\text{рез}}$  равен  $K_0 = R_2 / 2R_1$ ;

полоса частот не зависит от  $(R_1, R_3)$ ;

$K_0$  не зависит от  $R_3$ , т.е. меняя  $R_3$ , можно менять  $f_{\text{рез}}$ , не изменяя  $K_0$  и полосу пропускаемых частот.

Схема не чувствительна к точности подбора элементов.

## Выводы по теме

1. Операционные усилители в настоящее время используются в самых различных электронных устройствах. Их широко применяют как в аналоговых, так и в импульсных устройствах электроники. В то же время существуют и часто используются типовые линейные схемы на основе операционных усилителей. Такие типовые схемы должен знать каждый инженер, использующий электронные устройства.

2. Приемы анализа ОУ основаны на ряде допущений, принимаемых в предположении, что используемые операционные усилители достаточно близки к идеальным. Практика расчетов показывает, что результаты, получаемые на основе допущений, имеют вполне приемлемую погрешность.

3. Одна из базовых схем ОУ - схема инвертирующего усилителя с внешней ОС. На основе этой схемы строятся все остальные. В схеме инвертирующего усилителя используется параллельная ООС по напряжению.

4. Коэффициент усиления инвертирующего усилителя (с ООС!) по напряжению

$$K_{U \text{ инв.}} = \frac{U_{\text{ВЫХ}}}{E_{\Gamma}} = -\frac{R_{\text{ОС}}}{R_1}.$$

5. В схеме неинвертирующего усилителя входной сигнал подается на неинвертирующий вход. ООС подается на инвертирующий вход, т.е. ООС является последовательной по напряжению.

Для идеального ОУ:

$$K_{U \text{ неинв.}} = 1 + \frac{R_{\text{ОС}}}{R_1} \quad \text{или} \quad K_{U \text{ неинв.}} = 1 + |K_{U \text{ инв.}}|.$$



6. Дифференциальный усилитель (ДУ), как и дифференциальный каскад (ДК) предназначен для усиления разности  $\Delta U_{ВХ}$ , но в отличие от ДК он охвачен глубокой ООС. Схема является сочетанием инвертирующего и неинвертирующего усилителей. Для идеального (симметричного) усилителя коэффициент ослабления синфазного сигнала  $K_{ООС} = \infty$ .

7. Инвертирующий сумматор построен на основе инвертирующего усилителя. Для идеального ОУ  $K_{Д} = \infty$ ,  $R_{ВХ.Д.} = \infty$ ; при этом

$$U_{ВЫХ} = -R_{ОС} \cdot \left( \frac{U_1}{R_1} + \frac{U_2}{R_2} + \frac{U_3}{R_3} \right)$$

т.е. на выходе имеем инвертированную сумму входных напряжений, взятых с соответствующими масштабными коэффициентами.

8. Для схемы неинвертирующего сумматора:

$$U_{ВЫХ} = K \cdot (K_{1н} \cdot U_1 + K_{2н} \cdot U_2 + K_{3н} \cdot U_3),$$

где

$$K = 1 + \frac{R_{ОС}}{R_1},$$

$$K_{1н} = \frac{R_{ОС1}}{R_{1н} + R_{ОС1}} = \frac{R_{\Sigma}}{R_{1н}}, \quad R_{\Sigma} = R_{0н} \parallel R_{1н} \parallel R_{2н} \parallel R_{3н}$$

$R_{ОС1}$  - это общее сопротивление  $R_{\Sigma}$  параллельного соединения резисторов без  $R_{1н}$ .

9. Интегрирующий усилитель широко применяется при обработке электрических сигналов. Вместо  $R_{ОС}$  в цепи обратной связи ставится конденсатор. Для идеального ОУ ( $K_{Д} = \infty$ ,  $R_{ВХ.Д.} = \infty$ ):

$$U_C = \frac{1}{C} \int_0^t U_{BX}(t) dt$$

10. Дифференцирующий усилитель построен на основе инвертирующего усилителя. Для идеального ОУ выходное напряжение

$$U_{ВЫХ} = -R_2 \cdot i_{BX} = -R_2 \cdot C_1 \frac{dU_{BX}}{dt}.$$

11. Аналоговый умножитель - это устройство, в котором выходной сигнал пропорционален произведению двух входных сигналов:  $Z = K \cdot X \cdot Y$ , где  $K$  – масштабный коэффициент устройства умножения. В реальном умножителе величина  $Z$  связана с величинами  $X$  и  $Y$  соотношением

$$Z = K \cdot X \cdot Y + K_X \cdot X + K_Y \cdot Y + K_0,$$

где  $K$  - коэффициент передачи умножителя (масштабный коэффициент);  $K_X, K_Y$  - постоянные, определяющие смещения, зависящие от  $X$  и  $Y$ ;  $K_0$  - начальное смещение.

12. В логарифмическом усилителе  $U_{ВЫХ}$  (примерно) пропорционально  $\lg U_{ВХ}$ . В антилогарифмическом усилителе (экспоненциальном)  $U_{ВХ}$  (примерно) пропорционально  $\lg U_{ВЫХ}$ . Первые применяют для перевода в дБ, сжатия динамического диапазона, которое применяется для регистрации сигналов, уровень которых изменяется в широких пределах. Вторые (и первые) применяют в быстродействующих устройствах возведения в степень, перемножения и деления сигналов.

13. Практическая ценность ARC-фильтров – отсутствие катушек индуктивностей, что позволяет их применять на очень низких частотах; они могут быть изготовлены методами интегральной микроэлектронной технологии.

14. В общем случае, коэффициент передачи (передаточная функция) ФНЧ в операторной форме может быть записана:

$$K(P) = \frac{K_0}{\prod_i (1 + a_i P + b_i P^2)},$$

где:

$K_0$  – коэффициент передачи фильтра при  $P = 0$ ;  $a_i, b_i$  – положительные действительные коэффициенты;  $i = 1..n/2$  для четных  $n$ ;  $i = 2..(n+1)/2$  для нечетных  $n$ ;  $n$  – порядок фильтра определяемый степенью  $P$  после перемножения в знаменателе.

15. Создание фильтра начинают с выбора его АЧХ и требований к ней (полоса пропускания; частота среза  $f_{\text{среза}}$ ; скорость спада АЧХ; коэффициент затухания; неравномерность в полосе и иногда за ее пределами). Нужно знать порядок фильтра (число полюсов функции). Обычно число полюсов показывает на скорость спада функции – АЧХ фильтра.

16. Функции, отображающие фильтры второго и более порядков характеризуются наличием комплексно-сопряженных полюсов. Такие функции не могут быть реализованы с помощью пассивных элементов RC. Один из способов их реализации – применение индуктивностей (L элементов). Другой способ – применение RC – цепей с ОУ.

17. Реализация ARC – фильтров НЧ и ВЧ второго и более порядков обычно выполняется на основе ОУ:

- либо со сложной ООС;
- либо с ПОС (фильтры Саллена – Кея).

Обратная связь используется для формирования комплексно-сопряженных полюсов.

## Задания и вопросы для самоконтроля по теме

1. Приведите схему инвертирующего усилителя с внешней ОС. Как влияет учет входного тока  $I_{ВХ}$  реального ОУ на его коэффициент передачи?
2. Приведите схему неинвертирующего усилителя и его основные параметры.
3. Приведите схему дифференциального усилителя на ОУ и его основные параметры.
4. Приведите схему инвертирующего сумматора на ОУ и его основные параметры.
5. Приведите схему неинвертирующего сумматора на ОУ и его основные параметры.
6. Приведите схему интегрирующего усилителя на ОУ и его основные параметры.
7. Приведите схему дифференцирующего усилителя на ОУ и его основные параметры.
8. Приведите схему логарифмического усилителя на ОУ и его основные параметры.
9. Приведите схему антилогарифмического усилителя на ОУ и его основные параметры.
10. Приведите принцип действия аналоговых умножителей на ОУ и их основные параметры.
11. Приведите схемы умножения и квадратора с применением аналоговых умножителей на основе ОУ.
12. Приведите схему делителя с применением аналоговых умножителей на основе ОУ.
13. Приведите схему извлечения квадратного корня с применением аналоговых умножителей на основе ОУ.
14. Приведите схему вычисления среднеквадратичного значения с применением аналоговых умножителей на основе ОУ.
15. Объясните работу умножителя с переменной крутизной (общий принцип).

16. Приведите схему повторителя напряжения на ОУ и его основные параметры.

17. Приведите схемы перемножителя и делителя на основе управляемых сопротивлений и их основные параметры.

18. Назовите достоинства и недостатки ARC-фильтров.

19. Приведите нормированное значение частоты и коэффициент передачи в операторной форме для фильтра первого порядка.

20. Приведите нормированное значение частоты и коэффициент передачи в операторной форме для фильтра второго порядка.

21. Приведите пример реализации ARC – фильтра нижних частот первого порядка.

22. Приведите пример реализации ARC – фильтра нижних частот второго порядка со сложной ООС.

23. Приведите пример реализации ARC – фильтра нижних частот второго порядка на основе ПОС.

24. Приведите пример преобразования ФНЧ и ФВЧ в полосовой фильтр.

25. Приведите пример реализации ПФ второго порядка.

## Лекция 12

### Тема: положительная обратная связь

#### Генераторы на основе операционных усилителей Компараторы на основе операционных усилителей

Различают генераторы синусоидальных колебаний (гармонические), генераторы прямоугольной формы, генераторы импульсов и др.. Существуют генераторы специальной формы (например, генераторы линейно-изменяющихся напряжений).

В общем случае генератор - это автоколебательная система, в которой энергия источника питания преобразуется в энергию электрических колебаний.

Генераторы синусоидальных колебаний обычно содержат усилительный каскад, охваченный ПОС, которая обеспечивает устойчивый режим самовозбуждения на заданной частоте.

Структурная схема генератора в общем виде представлена на рис.12-1:

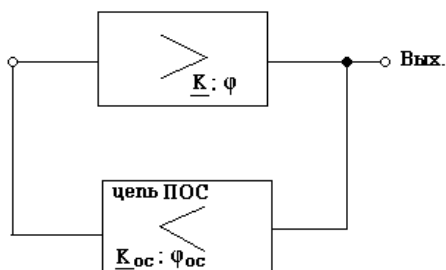


рис.12-1

Коэффициенты передачи основного усилителя и цепи обратной связи  $\underline{K}$  и  $\underline{K}_{ос}$  - комплексные, что учитывает их

зависимость от частоты. Для обеспечения режима генерации необходимы два условия:

$$\underline{K}K_{oc} \geq 1 \quad \text{- баланс амплитуд;}$$

$$\varphi + \varphi_{oc} = 2\pi n; \quad n - \text{целое число - баланс фаз.}$$

Условие  $\underline{K} \geq \frac{1}{K_{oc}}$  позволяет первоначальным изменениям токов и напряжений в усилителе при подключении источника питания  $E_{пит}$  осуществить нарастание  $U_{вых}$  и при достижении  $\underline{K}K_{oc} = 1$  наступает установившийся режим генерации, т.е. усиление  $\underline{K}$  компенсируется усилением  $K_{oc}$ .

Баланс фаз определяет, что сигнал ОС должен быть в фазе с входным. На входе происходит их сложение; баланс фаз обеспечивает устойчивую генерацию.

### **12.1. Применение положительной обратной связи в RC - генераторах на ОУ**

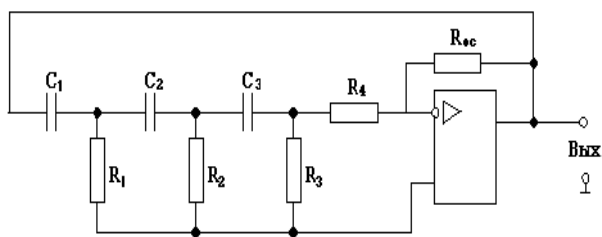
В RC – генераторах в качестве цепей ПОС используют RC – цепи. В усилительных устройствах используются как инвертирующие, так и неинвертирующие сигналы.

Для инвертирующих ОУ необходимо обеспечить поворот фазы на  $180^\circ$ , для неинвертирующих – должен быть поворот фазы  $\varphi_{oc} = 0$ .

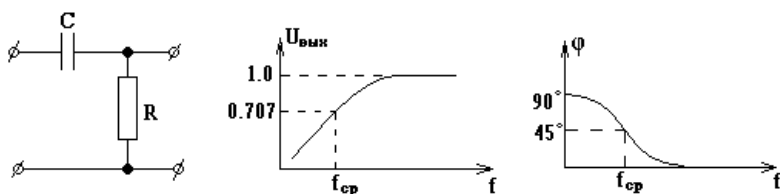
Схема RC – генератора на инвертирующем ОУ с трёхзвенным ФВЧ приведена на рис 15-2 а). АЧХ и ФЧХ для одного звена приведена на рис.12-2 б).

Каждое звено обеспечивает поворот фазы на  $\varphi = 60^\circ$  (ПОС).

Обычно  $C_1 = C_2 = C_3 = C$ ;  $R_1 = R_2 = R_3 = R$ .



а)



б)

рис.12-2

При этом

$$f_{\text{PEZ}} = \frac{1}{2\pi RC\sqrt{6}}.$$

Для регулировки коэффициента усиления  $K$  ОУ и улучшения формы сигнала (кроме ПОС через фильтры RC) применена ООС через  $R_{\text{ос}}$ .

Можно вместо ФВЧ применять ФНЧ, но при этом величины  $R$  и  $C$  имеют большие значения, что создает трудности в реализации.



Если неинвертирующий ОУ охватить ПОС (рис.12-3), то автоколебания тоже возникнут и без RC – цепей, но в широком спектре частот (не на одной частоте).

Для осуществления колебаний на одной частоте нужны RC – цепочки, для которых баланс фаз обеспечивается только на одной частоте.

Этим свойством обладает мост Вина в цепи ПОС (рис.12-4).

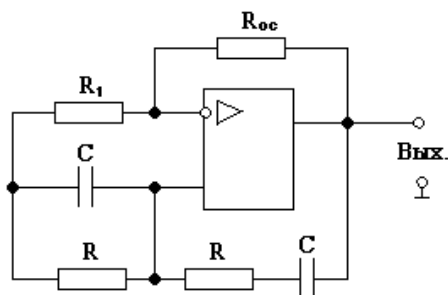


рис.12-3

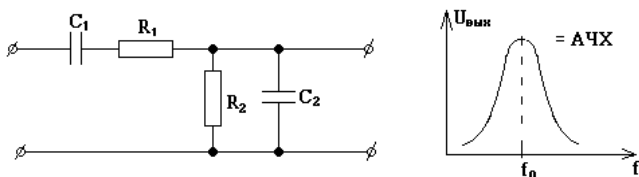


рис.12-4

$U_{\text{ВЫХ}} = U_{\text{ВХ}}/3$  на частоте квазирезонанса  $f_0$  при  $R_1 = R_2$  и  $C_1 = C_2$ ;

$$f_0 = \frac{1}{2\pi R_1 C_1} ;$$

причём  $\varphi_{\text{ВХОДА}} = \varphi_{\text{ВЫХОДА}}$  (совпадают) на  $f_0$ .

Для АЧХ:

а) если  $f < f_0$ , то увеличивается  $X_{C1}$  и уменьшается  $U_{\text{ВЫХ}}$ ;

б) если  $f > f_0$ , то уменьшается  $X_{C2}$  и уменьшается  $U_{\text{ВЫХ}}$ .

Так как

$$U_{\text{ВЫХ}} = \frac{U_{\text{ВХ}}}{3}, \text{ то } \underline{R}_{\text{OC}} = \frac{1}{3};$$

и самовозбуждение (баланс амплитуд) возникает, при  $\underline{K} = 3$ , что соответствует  $R_{\text{OC}}/R_1 > 2$ .

В общем случае частота генерации  $f_{\text{генерации}}$  зависит и от параметров ОУ, но за счёт глубокой ООС практически этого нет. Поэтому температурная нестабильность  $f_0$  РС – генератора на ОУ определяется только элементами РС и мала. Так как выполнение условия  $\underline{K}_{\text{OC}} = 1/3$  абсолютно выполнить сложно, то необходима схема автоматической стабилизации амплитуды, воздействующая на цепь ООС ( $\underline{K}_{\text{OC}}$ ) так, чтобы колебания были стабильны при малых искажениях (рис.12.5)

[при  $\underline{K}_{\text{OC}} < 1/3$  амплитуда колебаний будет изменяться во времени, появится неустойчивость; при  $\underline{K}_{\text{OC}} > 1/3$   $U_{\text{ВЫХ}}$  стремится к нулю из-за приращения колебаний].

Контур ПОС имеет одинаковые значения  $R_1 = R_2 = R$  и  $C_1 = C_2 = C$ .

Контур ООС имеет  $\underline{K}_{\text{OC}} = 2$ , что обеспечивает генерацию колебаний.

Диоды обеспечивают автоматическую стабилизацию  $\underline{K}_{\text{OC}}$ :

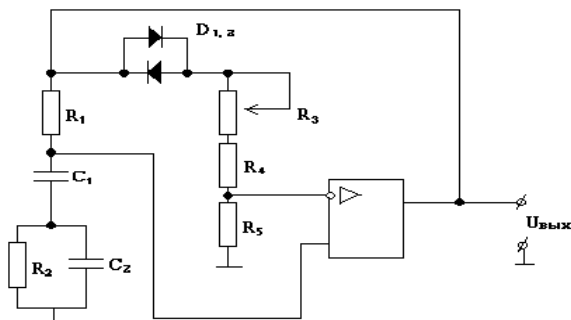


рис.12-5

Если по мере нарастания  $U_{\text{ВЫХ}}$  динамическое сопротивление диодов падает:

$$r_{\text{д}} = \frac{\varphi_T}{I_{\text{д}}} \quad \varphi_T = 26 \text{ мВ}$$

где  $I_{\text{д}}$  - мгновенное значение тока через диод, то это падение  $r_{\text{д}}$  увеличивает  $U_{\text{оос}}$  и рост  $U_{\text{ВЫХ}}$  замедляется; в конечном счёте  $U_{\text{ВЫХ}}$  стабилизируется.  $R_3 \approx (R_4 + R_5)$  используются для установки  $U_{\text{ВЫХ}}$ . В схеме могут быть обеспечены искажения до 0,05 %.

## 12.2. Генератор сигналов прямоугольной формы

представлен на рис. 12-6.  $R_1$  и  $R_2$  устанавливаются для повышения входного сопротивления  $R_{\text{ВХ}}$  ОУ;  $R_5$  - для ограничения тока через стабилитрон;  $R_3$  и  $R_4$  обеспечивают ПОС через неинвертирующий вход ОУ;  $C_{\text{T1}}$  и  $C_{\text{T2}}$  стабилизируют амплитуду  $U_{\text{ВЫХ}}$  на уровне  $\pm U_{\text{ист}}$  (рис.12-7).

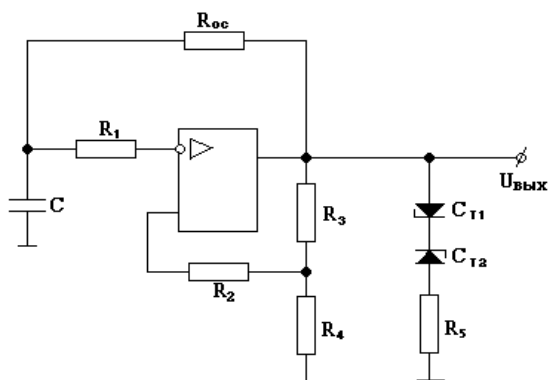


рис.12-6

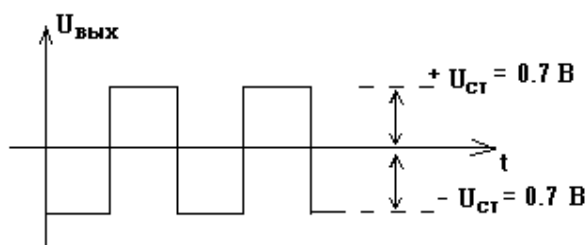


рис.12-7

$R_{oc}$  и  $C$  вместе с ОУ (компаратор) обеспечивают временные соотношения

$$\underline{K}_{oc} = \frac{R_4}{R_3 + R_4}; \quad \text{при } R_1 \gg (R_3; R_4)$$

Период колебаний

$$\tau = 2R_{oc}C \ln\left(\frac{1+K_{oc}}{1-K_{oc}}\right);$$

Если  $K_{oc}=0,473$ , то

$$\tau = 2R_{oc}C \text{ и } f = \frac{1}{\tau} = \frac{1}{2R_{oc}C}$$

### 12.3. Генератор сигналов треугольной формы

Форма треугольного импульса может быть получена из прямоугольной формы за счёт однократного интегрирования (рис.12-8).

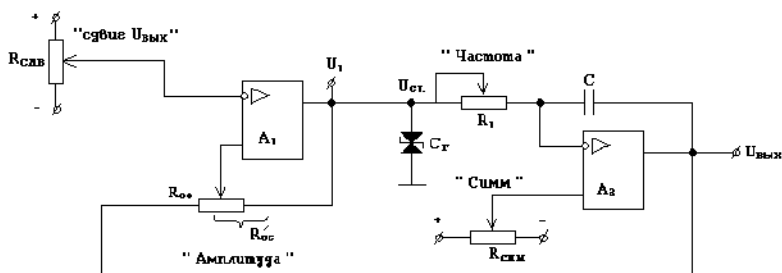


рис.12-8

$A_1$  – компаратор;  $A_2$ ,  $RC$  – интегратор с инвертирующим входом;  $R_1$  обеспечивает регулировку частоты;  $R_{oc}$  обеспечивает регулировку амплитуды.  $R_{сим}$  обеспечивает симметрию формы сигнала (рис.12-9).

Временные соотношения задаются элементами  $R$ ,  $C$ . Напряжение  $U_1$  падает полностью на  $R_1$  (определяется  $U_{стабл.}$ ) и заряд – разряд  $C$  протекает линейно.

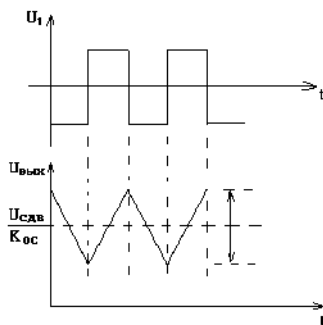


рис.12-9

Выходное напряжение и частота генерации определяются:

$$U_{\text{вых}} = 2U_{\text{СТ}} \left( \frac{1}{K_{\text{OC}}} - 1 \right); \quad f = \frac{U_{\text{СТ}}^2 - U_{\text{СИМ}}^2}{2U_{\text{ВЫХ}} U_{\text{СТ}}} \left( \frac{1}{R_1 C} \right);$$

где

$$K_{\text{OC}} = \frac{R'_{\text{OC}}}{R'_{\text{OC}} + R_{\text{OC}}};$$

## 12.4. Компараторы напряжения на основе операционных усилителей

В отечественной и зарубежной литературе приняты два определения компараторов:

- компаратор (сравнивающее устройство) служит для определения моментов равенства двух напряжений. Компараторы являются составной частью устройств автоматического контроля, АЦП, ключевых регуляторов, стабилизаторов и т.д.

- компаратор – интегральный ОУ специального назначения, у которого выходные напряжения мгновенно изменя-

ются от максимальных до минимальных значений или обратно при каждом прохождении через нуль разности двух входных напряжений.

### 12.4.1. Принцип функционирования компаратора

В качестве компаратора на НЧ можно использовать обычный ОУ общего применения без ОС (рис.12-10).

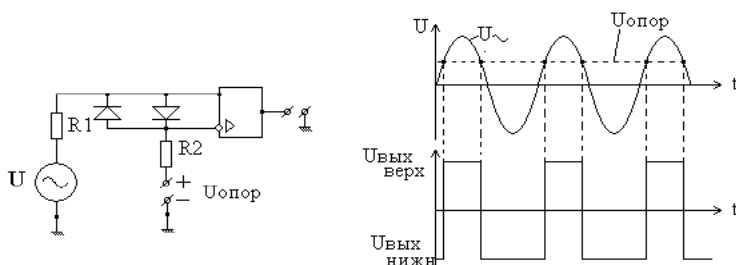


рис.12-10

Опорное напряжение  $U_{оп}$  подается на инвертирующий вход; изменяющееся напряжение  $U_{\sim}$  - на неинвертирующий. В результате их сравнения на выходе возникают переходы от  $U_{выхmin}$  до  $U_{выхmax}$ . Если входы поменять местами, то полярность напряжения на выходе изменится.

Недостатки данной схемы - шумы, входные токи, ЭДС смещения нуля, наличие синфазных напряжений и др. вносят ошибки в работу компараторов, сдвигая моменты их переключения в ту или иную сторону. Для защиты входов от больших уровней сигналов на входе устанавливаются встречно-параллельно включенные диоды (ограничители  $U_{вх}$ ).

При опорном напряжении  $U_{оп} = 0$  получаем нуль-индикатор (детектор нулевого уровня) – рис.12-11:

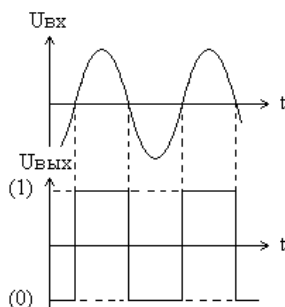


рис.12-11

Для сравнения двух разнополярных сигналов применяется одновходовая схема (рис.12-12):

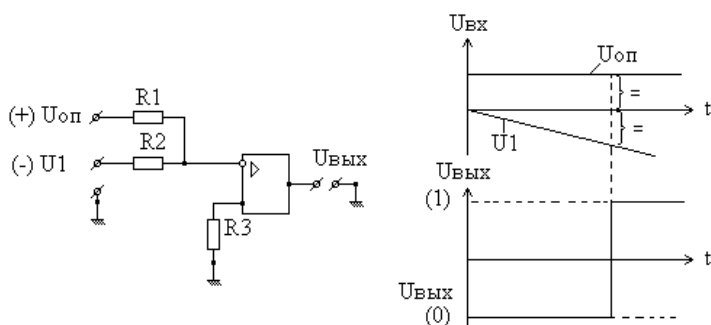


рис.12-12

$R_3 = (R_1 || R_2)$  включен для компенсации ошибки из-за смещения входного тока  $\Delta I_{вх}$ . Если  $R_1 = R_2$  срабатывания происходят при  $U_1 = U_{оп}$ . В схеме нет ошибки от синфазной помехи. Сравнение сигналов любой полярности показано на рис.12-13:



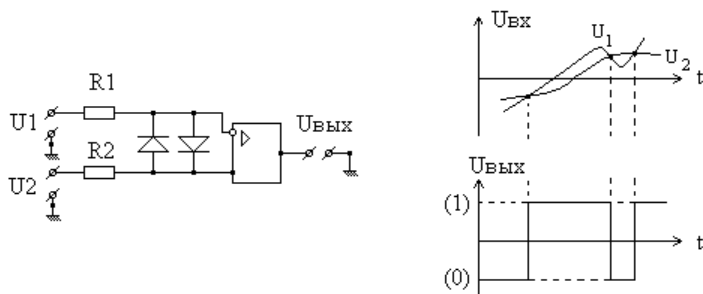


рис.12-13

### 12.4.2. Включение ПОС в компараторе

Передаточная характеристика инвертирующего компаратора с изменением напряжения от  $-U_{\text{ВЫХmin}}$  до  $+U_{\text{ВЫХmax}}$  имеет вид (1) при условии, что  $K_{\text{oy}} = \infty$ . Реально  $K_{\text{oy}} \neq \infty$  и характеристика имеет вид (2) с конечным наклоном, что делает  $U_{\text{ВЫХ}}$  в некотором интервале  $U_{\text{ВХ}}$  промежуточным между max и min (рис.12-14).

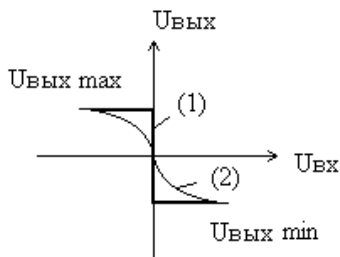


рис.12-14

Как правило, это нежелательно. Поэтому на неинвертирующий вход подают ПОС через  $R_1 R_2$ , что обеспечивает не плавный, а скачкообразный переход от  $U_{\text{ВЫХmin}}$  до  $U_{\text{ВЫХmax}}$ . Кроме того, возникает переход только при достижении  $U_{\text{порог}}$ .

$$U_{порог} = U_{вых} \frac{R_1}{R_1 + R_2}.$$

На передаточной характеристике появляется замкнутый контур - так называемая петля гистерезиса (рис.12-15).

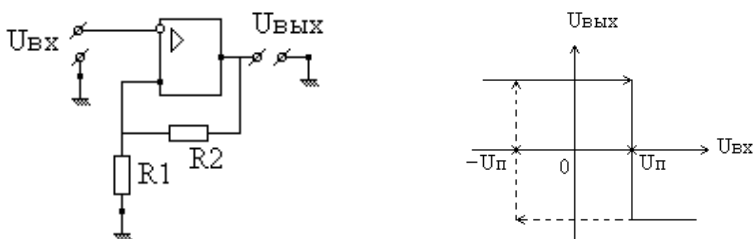


рис.12-15

Схема получается нечувствительной к шумам, которые вызывают случайные переключения (так называемый «дребезг», аналогичный дребезгу реле). Для увеличения скорости переключения и для увеличения устойчивости работы на ВЧ резистор R<sub>2</sub> иногда шунтируют конденсатором С (10÷100пФ).

### 12.4.3. Пороговые уровни компараторов

У современных компараторов  $U_{выхmin} \neq U_{выхmax}$ ; их делают стандартными для цифровых устройств уровнями логической единицы (+3,5В) и логического нуля (от -0,5 до +1,4В), что позволяет их использовать для управления логическими микросхемами. Поэтому пороги  $U_{п\text{ нижн}}$  и  $U_{п\text{ верх}}$

могут быть по входу (по  $U_{ВХ}$ ) неодинаковыми и одного знака - рис.12-16:

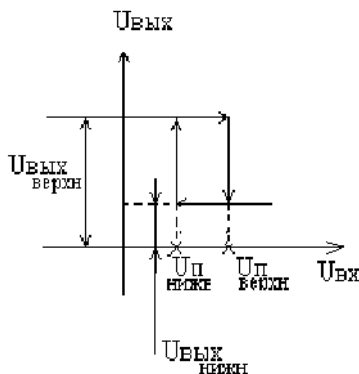


рис.12-16

#### 12.4.4. Детектор с «окном»

При изменении входного сигнала в одну сторону выходное напряжение изменяется два раза. Схема содержит два компаратора (рис.12-17).

Входное напряжение  $U_{ВХ}$  подается одновременно и на неинвертирующий вход ОУ1 и на инвертирующий вход ОУ2. На вторые входы подаются опорные напряжения  $U_{оп1}$  и  $U_{оп2}$  через делитель  $R_1, R_2, R_3$ . У усилителя ОУ1 высокий уровень  $U_{ВЫХ(ВЫС)}$  - при  $U_{ВХ} > U_{оп1}$ , а у ОУ2  $U_{ВЫХ(ВЫС)}$  - при  $U_{ВХ} < U_{оп2}$ .

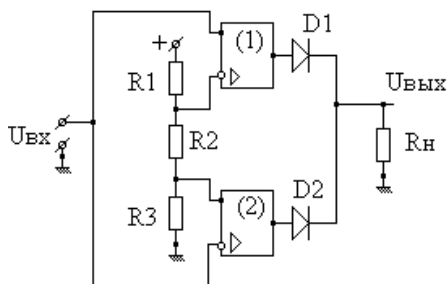


рис.12-17

В выходной цепи открывается тот диод, у которого напряжение на выходе равно  $U_{\text{вых(выс)}}$ . Т.е.  $U_{\text{вых}} = 0$  при  $U_{\text{оп2}} < U_{\text{вх}} < U_{\text{оп1}}$  (логический нуль). Такой компаратор называется компаратором «с окном» (рис.12-18).

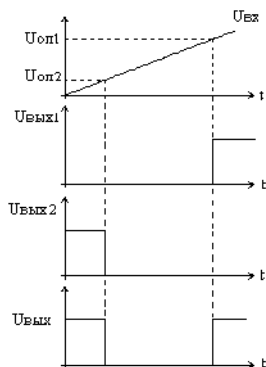


рис.12-18

Он может быть использован для индикации нахождения какой-либо величины в заданных ( $U_{\text{оп1}} \div U_{\text{оп2}}$ ) пределах (устройства сортировки, контроля), или может быть применен в устройствах считывания цифровых сигналов с запоминающим устройством. Помехи в данной схеме исключаются ( $U_{\text{помех}} < U_{\text{оп2}}$ ).

#### 12.4.5. Особенности схемотехники компараторов

Компаратор (ОУ) имеет ДК (иногда два), что обеспечивает нечувствительность к синфазной помехе. Основным параметр - время переключения (или задержка срабатывания) - время между подачей на вход испытательного перепада и моментом достижения на выходе 50% (иногда 90%) предельного уровня. Современные требования для цифровых ИС предполагают скорость переключения не-

сколько десятков наносекунд. Поэтому, для компараторов необходимо такое же быстродействие. Для обычных ОУ такая скорость недостижима. Для них время переключения составляет  $\approx 20 \div 25$  мксек (для обычного ОУ с частотно-зависимой ООС). При применении ОУ в качестве компараторов ООС не нужна. Скорость срабатывания при этом на порядок возрастает. Для специальных видов компараторов обеспечивается время переключения  $300 \div 6$  наносекунд.

Для повышения быстродействия применяют меры по предотвращению насыщения транзисторов или ускорения выхода из состояния насыщения. Для этого применяют диоды Шотки (металл – полупроводник), которые менее инерционны.

Транзисторы Шотки (комбинация транзистора с диодом Шотки) имеют время переключения до 3 наносекунд.

Иногда кристалл ИС легируют золотом, что уменьшает время жизни неосновных носителей и ускоряет выход транзистора из состояния насыщения.

Особая группа - прецизионные ИС - компараторы, имеющие высокую точность сравнения сигналов. Это достигается повышенным усилением (сотни тысяч) за счет включения дополнительных каскадов. Для уменьшения ошибки за счет высокого  $R_{вх}$  для входного сигнала, они имеют малые токи  $I_{вх}$ , что обеспечивается применением входных транзисторов по схеме эмиттерных повторителей в режиме микротоков. Для устранения ошибки за счет ЭДС смещения  $E_{см}$  применяют ручную балансировку нуля.

Применяют сдвоенные компараторы (т.е. в едином корпусе по два с заранее соединенными выходами, что реализует операцию логического сложения, ИЛИ, но не требует добавления диодов).

Применяют стробирующий вход для блокировки выхода в нужное время (расширяется возможность применения компараторов).

### Выводы по теме

1. Генераторы синусоидальных колебаний обычно содержат усилительный каскад, охваченный ПОС, которая обеспечивает устойчивый режим самовозбуждения на заданной частоте.

2. Для обеспечения режима генерации необходимы два условия:

$$\underline{K}K_{oc} \geq 1 \text{ - баланс амплитуд;}$$

$$\varphi + \varphi_{oc} = 2\pi n; \text{ } n \text{ - целое число - баланс фаз.}$$

3. Условие  $\underline{K} \geq \frac{1}{K_{oc}}$  (баланс амплитуд) обеспечивает на-

растание  $U_{вых}$  и при достижении  $\underline{K}K_{oc} = 1$  наступает установившийся режим генерации. Баланс фаз обеспечивает устойчивую генерацию.

4. Для осуществления колебаний на одной частоте нужны РС – цепочки, для которых баланс фаз обеспечивается только на одной частоте. Этим свойством обладает мост Вина в цепи ПОС

5. Компаратор (сравнивающее устройство) служит для определения моментов равенства двух напряжений. Они являются составной частью устройств автоматического контроля, АЦП, ключевых регуляторов, стабилизаторов и т.д.

6. Компаратор – интегральный ОУ специального назначения, у которого выходные напряжения мгновенно изменяются от максимальных до минимальных значений или обратно при каждом прохождении через нуль разности двух входных напряжений.

7. В качестве компаратора на НЧ можно использовать обычный ОУ общего применения без ОС (для увеличения скорости срабатывания).

8. Для обеспечения не плавного, а скачкообразного перехода от  $U_{\text{выхmin}}$  до  $U_{\text{выхmax}}$  применяют положительную обратную связь.

9. Особая группа - прецизионные ИС компараторы, имеющие высокую точность сравнения сигналов. Это достигается повышенным усилением (сотни тысяч) за счет включения дополнительных каскадов.

### **Задания и вопросы для самоконтроля по теме**

1. Приведите схему РС – генератора на инвертирующем ОУ с трёхзвенным ФВЧ с применением ПОС.

2. Приведите схему генератора с применением моста Вина, АЧХ и ФЧХ его звеньев

3. Приведите схему генератора сигналов прямоугольной формы и принцип его работы.

4. Приведите схему генератора сигналов треугольной формы и принцип его работы.

5. Объясните принцип функционирования компаратора.

6. Приведите схему сравнения двух разнополярных сигналов (одновходовую схему).

7. Приведите схему сравнения сигналов любой полярности.

8. Объясните необходимость и эффект включения ПОС в компараторе.

9. Приведите схему и объясните работу детектора с «окном».

10. Приведите особенности схемотехники компараторов

## **часть 2. Схемотехника цифровых устройств**

### **Лекция 13**

#### **Тема: современные базовые элементы цифровой техники (введение в цифровую технику). Цифровые сигналы и цифровые схемы**

Вряд ли сейчас можно найти сферу нашей жизни, в которую не проникли бы в том или ином виде современные устройства цифровой электроники. Их можно встретить на каждом шагу:

- электронный будильник;
- наручные часы;
- электронный замок (кодовый);
- компьютеры;
- DVD и др.

Основу всех устройств (от часов до ЭВМ) составляют цифровые схемы логических цепей, регистров, счетчиков, таймеров, коммутаторов, дешифраторов, сумматоров и других схем.

Цифровой электронике принадлежит важнейшая роль в деле обеспечения высокой надежности создаваемых автоматических систем, управляющих объектами, процессами, системами. Промышленность, медицина, космос, телевидение – все «пронизано» элементами цифровой техники.

Цифровая электроника – это мир ЭВМ, интегральных схем и двоичных чисел: 0 и 1.

В аналоговых устройствах напряжение на выходе изменяется непрерывно при непрерывном изменении напряжения на входе.



### 13.1. Цифровые сигналы и цифровые схемы

Цифровые устройства оперируют цифровыми сигналами. В точке А (рис.13.1) напряжение возрастает скачком с 0 до +5 В, в точке В – падает с +5 В до 0 В диапазоне А-В – сохраняется высокий уровень.

Высокий уровень называется логической единицей; низкий уровень – логическим нулем.

Схемы, в которых используются сигналы только двух типов (высокий и низкий уровень) называют цифровыми схемами.

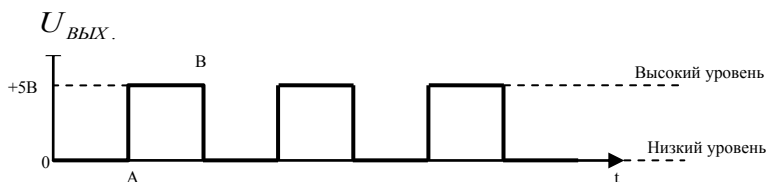


рис.13.1

Цифровые схемы являются основой микроЭВМ (персональных компьютеров). Основой микроЭВМ являются сложные интегральные схемы (ИС), называемые микропроцессорами; кроме них в микроЭВМ входят большое количество запоминающих устройств (ЗУ) на ИС, блоки памяти, программные модули, решающие устройства и др. Уровни на рис.13.1 соответствующие +5 В (высокий) и 0 В (низкий) называют уровнями напряжения ТТЛ-схем (транзисторно-транзисторных схем) или ТТЛ-уровни.

Цифровые ТТЛ сигналы можно получать с помощью переключателя (рис.13.2).

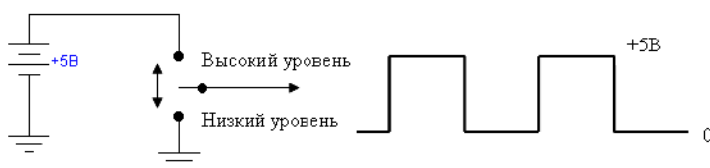


рис.13.2

Однако механический переключатель имеет недостаток –дребезг контакта (рис.13.3):

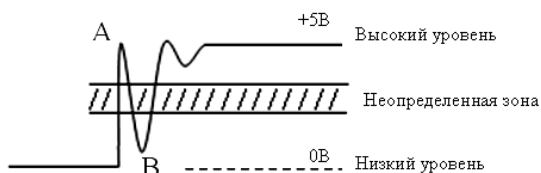


рис.13.3

Хотя этот процесс и быстротечен, но он неприемлем для работы конкретных систем. Для его исключения применяют противдребезговое устройство (рис.13.4):

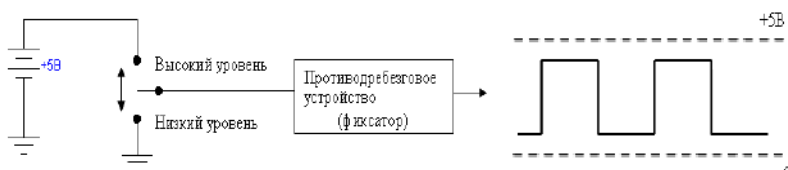


рис.13.4

Это противдребезговое устройство называют фиксатором. Их иногда называют триггерами-защелками (подробности будут ниже).

Как видно из рис.13.4 на выходе триггера-защелки уровни слегка ниже +5 В и выше 0 В.

Цифровой сигнал можно получить с помощью кнопки (рис. 13.5):

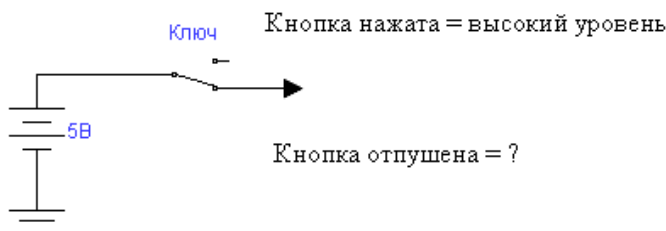


рис. 13.5

При нажатой кнопке на выходе будет высокий уровень. Но при отпущенной кнопке между источником и выходом образуется разрыв и напряжение на выходе будет неопределенным. Для однозначности решения применяют одновибратор (рис.13.6):

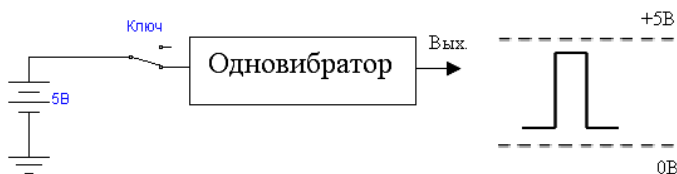


рис.13.6

Длительность импульса на выходе определяется параметрами одновибратора (независимо от того, на какое время будет нажата кнопка). И фиксатор-защелка (триггер) и одновибратор называют мультивибраторами (МВ):

Триггер (фиксатор) – это бистабильный мультивибратор;  
Одновибратор – моностабильный мультивибратор;

Существует еще астабильный мультивибратор, или МВ, работающий в режиме свободных колебаний. Во многих устройствах он выполняет роль генератора тактовых импульсов – он генерирует непрерывную последовательность импульсов с ТТЛ уровнями (рис. 13.7):

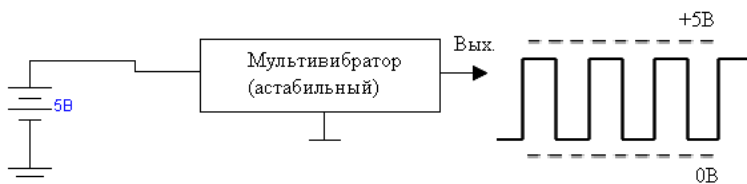


рис.13.7

## 13.2. Современные базовые элементы цифровой техники

Цифровые схемы, электронные устройства работают в соответствии с четкими логическими законами. Основными составными частями любых цифровых схем являются логические элементы. Логические элементы оперируют с двоичными числами, поэтому их называют двоичными логическими элементами, которые составляют основу любой, самой сложной ЭВМ.

Для описания алгоритмов работы и структуры логических схем используют простую алгебру логики, или булеву алгебру, называемую по имени разработавшего ее в середине XIX века ирландского математика Д. Буля. В ее основе лежат три основные логические операции: логическое отрицание, или операция НЕ (инверсия), логическое сложение, или операция ИЛИ (дизъюнкция) и логическое умножение, или операция И (конъюнкция).

Операция НЕ над переменной  $x$  записывается в виде  $\bar{x}$ .

Операция ИЛИ над двумя переменными  $x$  и  $y$  записывается в виде  $x + y$ , а операция И — в виде  $x \cdot y$ .

Фактически каждая логическая операция задает функцию своих аргументов (переменных). Поэтому можно говорить о функциях дизъюнкции, конъюнкции и инверсии.

Число аргументов функций дизъюнкции и конъюнкции может быть произвольным (больше двух).

Некоторая логическая функция может быть задана в алгебраической форме или в виде таблицы истинности. Алгебраическая форма, или булево выражение представляет собой формулу, состоящую из логических переменных, связанными операциями И, ИЛИ и НЕ.

Таблицей истинности называется таблица, содержащая все возможные комбинации значений входных переменных и соответствующие им значения логической функции.

Поскольку булево выражение и соответствующая ей таблица истинности описывают одну и ту же функцию, то можно переходить от одной формы описания к другой.

### 13.2.1. Логический элемент «И»

Принцип работы поясняется с помощью механических ключей (рис. 13.8):

для загорания лампы необходимо замкнуть ключ А и ключ В (одновременно).

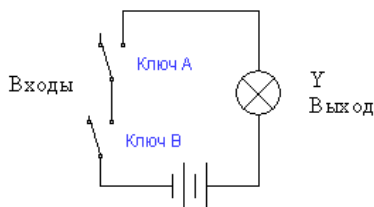


рис. 13.8

Условное обозначение логического элемента «И» (по стандарту milspec - рис.13.9):

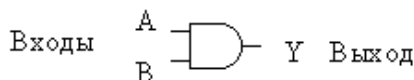


рис.13.9

Термин «логический» обычно применяют по отношению к процедуре принятия решения. В этой процедуре логический элемент - это такая схема, которая «решает», что ей ответить на выходе - «да» или «нет».

Другое обозначение (по стандарту МЭК и по ГОСТу - рис.13.10):

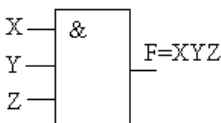


рис.13.10

по стандарту DIN:

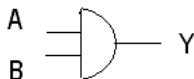


рис.13.11

Таблица истинности для логического элемента «И» - табл.13.1:

табл.13.1

Входы		Выход
А	В	У
Двоичный сигнал	Двоичный сигнал	Двоичный сигнал
0	0	0
1	0	0
0	1	0
1	1	1

Согласно строке 1, если на входы поданы двоичные нули, то на выходе логического элемента так же возникает двоичный ноль.

Двоичная единица на выходе возникает только в том случае, когда на оба входа поданы двоичные единицы (строка 4).

**“Отличительное свойство логического элемента “И” состоит в том, что на его выходе появляется сигнал высокого логического уровня только тогда, когда на все его входы подаются также сигналы высокого уровня”.**

Два возможных состояния выходного параметра могут быть представлены или двумя уровнями выходного напряжения или появлением выходных импульсов в определенные промежутки времени.

В первом случае имеет место потенциальный способ логических переменных, во втором – импульсный.

При потенциальном способе задания различают положительную и отрицательную логику.

При положительной логике высокий уровень выходного напряжения соответствует единице (1), а низкий - нулю (0).

При отрицательной логике высокий уровень соответствует нулю (0), а низкий – единице (1).

В таблице истинности для логического элемента «И» указаны все возможные состояния по входу и соответствующие сигналы на выходе, т.е. таблица истинности дает исчерпывающую характеристику работы логического элемента, т.е. описывает логическую функцию.

Для схемы «И» можно сказать: входной сигнал А связан логической функцией «И» с входным сигналом В, в результате чего на выходе схемы появляется сигнал Y.

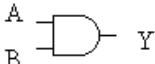
Сокращенный способ записи этого выражения называется булевым выражением (из булевой алгебры логики).

Булевы выражения – основной язык, универсальный для цифровой техники.

Выше приведенная логическая функция для схемы может быть записана в виде выражения:  $A \bullet B = Y$ , где знак  $\bullet$  - это символ «И».

Т.о., связь входа А, входа В и выхода Y может быть представлена четырьмя разными способами (табл.13.2):

табл.13.2

На естественном языке	Вход А связан с входом В операцией «И», в результате чего на выходе появляется сигнал Y		
Булево выражение	$A \bullet B = Y$		
Условное обозначение			
Таблица истинности	B	A	Y
	0	0	0
	0	1	0
	1	0	0
	1	1	1



Другие формы записи для логического элемента «И»:

- конъюнкция;
- логическое умножение;
- операция «И»;
- AND;

$$Y = X_1 X_2 = X_1 \cdot X_2 = X_1 \wedge X_2 = X_1 \& X_2$$

Все эти способы находят широкое применение в цифровой электронике.

В ряде случаев говорят, что схема «И» (логический элемент «И») реализует операцию логического умножения (или конъюнкции):

$$F = XYZ \text{ или } F = X \wedge Y \wedge Z,$$

где  $X, Y, Z$  - логические переменные, которые могут иметь только два значения: 0 или 1.

Или:

$$F = X \& Y \& Z$$

(символ  $\&$  - звучит как «энд», рис.13.10).

Логический элемент «И» часто называют схемой совпадений или конъюнктом.

### **13.2.2. Логический элемент «ИЛИ»**

Работа этого элемента иллюстрируется на рис.13.12 с помощью переключателей.

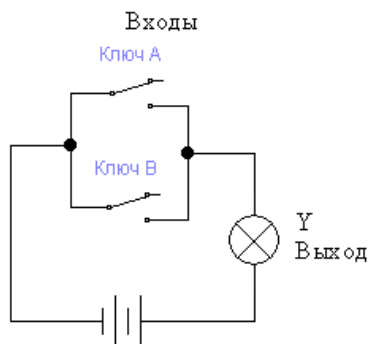


рис.13.12

Сигнал на выходе есть, если включен или А или В переключатель. Сигнал на выходе отсутствует, если оба переключателя выключены

Таблица истинности для этого логического элемента приведена в табл.13.3. Таблица13.3 описывает логическую функцию включающее «ИЛИ».

табл.13.3

Входы		Выход
В	А	Y
Двоичный сигнал	Двоичный сигнал	Двоичный сигнал
0	0	0
0	1	1
1	0	1
1	1	1

Двоичный 0 возникает только в первой строке таблицы. Во всех других случаях на выходе получается 1 (двоичная).

**Отличительное свойство логического элемента «ИЛИ» состоит в том, что на его выходе появляется сигнал**

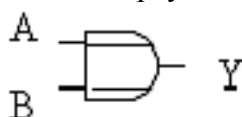
**низкого логического уровня только тогда, когда на всех его входах имеется сигнал низкого уровня.**

Условные обозначения - рис.13.3:

по стандарту milspec:



по стандарту DIN:



по стандарту МЭК:

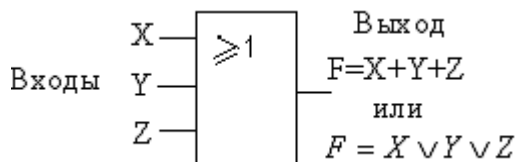


рис.13.13

или по ГОСТу - рис.13.14:

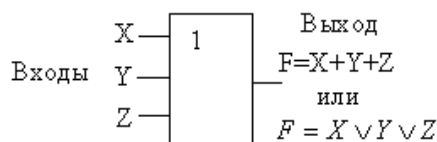


рис.13.14

Логический элемент ИЛИ выполняет функцию логического сложения или дизъюнкции (собираение). Тогда элемент «ИЛИ» называют дизъюнктом или собирательной схемой.

Булево выражение для рисунков 13.13 и 13.14:  $A + B = Y$ , где знак  $+$  - это символ «ИЛИ».

Другие формы записи:

- дизъюнкция
- логическое сложение
- операция «ИЛИ» (OR)

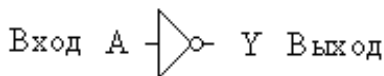
$Y = A + B = A \vee B$ , где  $\vee$  - символ логического сложения

### 13.2.3. Логический элемент «НЕ» (инвертор)

Основная функция элемента «НЕ» - обеспечивать на выходе сигнал, противоположный входному.

Условное обозначение - рис.13.15:

по стандарту milspec:



по стандарту DIN:

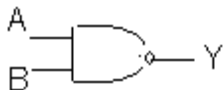


рис.13.15

Булево выражение для логического элемента «НЕ»:  $A = \bar{A}$ , где знак  $\bar{\phantom{A}}$  - это символ «НЕ» (читается  $\bar{A}$  как «не А»).

Можно сказать, что входной сигнал при этом «отрицается». Инвертор (схема «НЕ») дополняет или инвертирует входной сигнал, т.е. понятия «отрицание», «дополнение» и «инвертирование» означает одно и то же.

Другое обозначение ( по ГОСТу и стандарту МЭК) - рис.13.16:



рис.13.16

Таблица истинности для схемы «НЕ» - табл. 13.4:

табл.13.4

Вход	Выход
A	Y
Двоичный сигнал	Двоичный сигнал
0	1
1	0

Другие формы записи для логического элемента НЕ (инвертора):

- инверсия
  - операции «НЕ»
  - NOT
- $$Y = \bar{X} = -X$$

#### 13.2.4. Логическое двойное инвертирование

Пропустим сигнал А через два инвертора - рис.13.17:



рис.13.17

“Логическая единица на входе, инвертированная дважды, даёт исходную двоичную единицу”

### 13.3. Логические элементы «И-НЕ», «ИЛИ-НЕ», «исключающее ИЛИ»

Логические элементы И-НЕ широко используются в производстве цифровых электронных устройств благодаря общедоступности и удобству применения этих элементов. Обычно при построении логических устройств, с целью сокращения номенклатуры используемых логических элементов, используют либо два элемента, выполняющие операции И-НЕ и ИЛИ-НЕ, либо только один из этих элементов. Это обусловлено тем, что эти элементы И-НЕ и ИЛИ-НЕ являются универсальными. Универсальность проявляется в том, что каждый из них позволяет реализовать все три основные булевы операции И, ИЛИ, НЕ.

При построении логического устройства число входов логических элементов обычно бывает задано, что тоже вносит определенные трудности. Для построения устройства на заданных

логических элементах И-НЕ или ИЛИ-НЕ необходимо логическую функцию преобразовать к соответствующему виду так, чтобы в ней присутствовали только логические операции И-НЕ или ИЛИ-НЕ. Для этого используют теоремы булевой алгебры, т. е. двойное отрицание /1/.

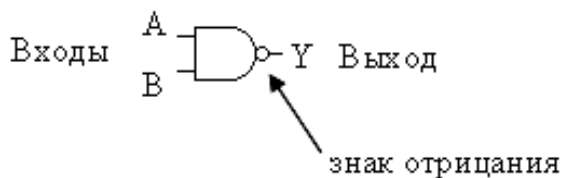
Использование элементов И-НЕ предполагает следующие процедуры (см. ниже - табл.13.7) /9/:

1. Запись и анализ булева выражения в виде суммы произведений.
2. Построение схемы И-ИЛИ с использованием элементов И, ИЛИ и инвертора.
3. Замену условным обозначением И-НЕ каждого условного обозначения элементов И и ИЛИ с сохранением остальных соединений в неизменном виде.
4. Замену каждого инвертора схемой И-НЕ с соединенными вместе входами.
5. Проверку всей логической схемы, состоящей только из элементов И-НЕ, на соответствие ее заданной таблице истинности.

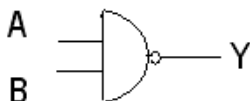
### **13.3.1. Логический элемент «И-НЕ» (инвертированное «И»)**

Условное обозначение - рис.13.18:

по стандарту milpspec :



по стандарту DIN:



по стандарту МЭК и ГОСТу:

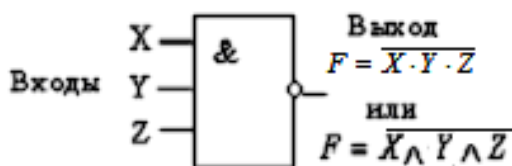
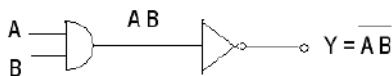


рис.13.18

Булево выражение:

$$Y = \overline{A \cdot B}$$

Условные графические обозначения для логического элемента «И-НЕ» как последовательно соединённых элементов «И» и «НЕ»:



Инверсию логического произведения называют штрихом Шеффера:

$$F = \overline{X \bullet Y} \text{ или } F = X / Y$$

Таблица истинности приведена в табл.13.5:



табл.13.5

Входы		Выход	
В	А	«И»	«И-НЕ»
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

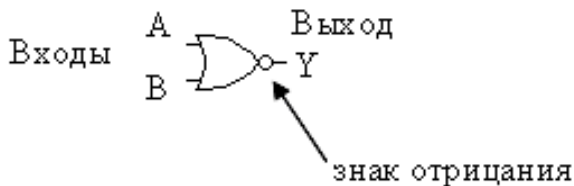
Как видно, выход «И-НЕ» получается путем инвертирования выхода схемы «И». Логические схемы «И-НЕ» широко используются в цифровых схемах широкого применения.

**Отличительное свойство логического элемента «И-НЕ» состоит в том, что на его выходе появляется сигнал низкого логического уровня только тогда, когда на всех его входах имеется сигнал высокого уровня.**

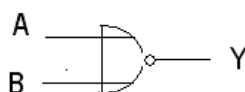
### 13.3.2. Логический элемент «ИЛИ-НЕ»(отрицание «ИЛИ»)

Условное обозначение - рис.13.19:

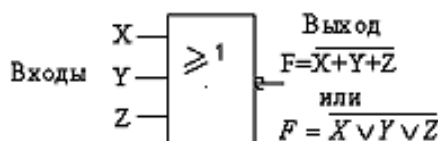
по стандарту milspec:



по стандарту DIN:



по стандарту МЭК:



по ГОСТу:

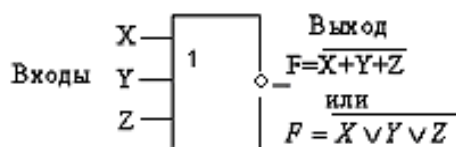
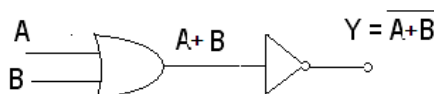


рис.13-19

Булево выражение:

$$Y = \overline{A + B}$$

Условные графические обозначения для логического элемента «ИЛИ-НЕ» как последовательно соединенных элементов «ИЛИ» и «НЕ»):



Инверсию логической суммы двух величин называют стрелкой Пирса:

$$F = \overline{X + Y} \text{ или } F = X \downarrow Y,$$

Таблица истинности дана в табл.13.6:

табл.13. 6

Входы		Выход	
В	А	«ИЛИ»	«ИЛИ-НЕ»
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0




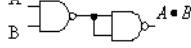



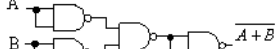
**Отличительное свойство логического элемента «ИЛИ-НЕ» состоит в том, что на его выходе появляется сигнал высокого логического уровня только тогда, когда на всех его входах имеется сигнал низкого уровня.**

Логические элементы «И», «ИЛИ», «НЕ» представляют собой три основных типа схем, из которых компонуются все цифровые устройства.

Логические схемы «И-НЕ», «ИЛИ-НЕ» являются универсальными, наиболее широко применяемыми; на их базе можно реализовать практически все логические функции.

Например, с помощью схемы «И-НЕ» реализуются практически все рассмотренные выше схемы – табл.13.7:

табл.13.7

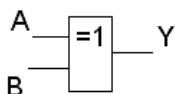
Логическая функция	Условные обозначения	Схема с использованием логических элементов «И-НЕ»
Инвертор	 $\bar{A}$	 $\bar{A}$
«И»	 $A \cdot B$	 $A \cdot B$
«ИЛИ»	 $A + B$	 $A + B$
«ИЛИ-НЕ»	 $\overline{A + B}$	 $\overline{A + B}$

### 13.3.3. Логический элемент «исключающее ИЛИ»

Логический элемент исключающее «ИЛИ» иногда называют элементом типа «что-нибудь, но не все». При этом часто используют английское сокращение «XOR» - от английского словосочетания «Exclusive OR» : «один и только один».

Условные обозначения показаны на рис.13.20:

По ГОСТу и по стандарту МЭК:



По стандарту milspec:

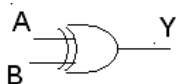


рис.13.20

Булево выражение для логического элемента исключающее «ИЛИ»:

$$A \oplus B = Y,$$

где  $\oplus$  - символ «псевдоплюс» означает, что входы A и B связаны логической функцией исключающее «ИЛИ».

Другая форма записи:

$$Y = \bar{A} B \vee A \bar{B},$$

где символ  $\vee$  - знак логического сложения.

Таблица истинности для логического элемента исключающее «ИЛИ» - табл.13.8:

**Особенностью таблицы истинности является то, что сигнал высокого уровня на выходе появляется только при нечетном числе сигналов высокого уровня на входах. При четном числе сигналов высокого уровня на выходе будет сигнал низкого уровня.**

табл.13.8

Входы		Выход	
В	А	«ИЛИ»	Исключающее «ИЛИ»
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	0

## Лекция 14

**Тема: современные базовые элементы цифровой техники (введение в цифровую технику).**

**Цифровые сигналы и цифровые схемы  
(продолжение лекции 13)**

### **14.1. Свойства и сравнительные характеристики современных базовых элементов**

Для цифрового представления информации характерно полное абстрагирование от особенностей электрических процессов в электронной схеме, выполняющей обработку сигналов.

В устройствах цифровой электроники в большинстве случаев используются сигналы двух уровней — высокого и низкого. При этом обычно имеются в виду уровни напряжения, а не тока. Цифровые схемы конструируют таким образом, чтобы воздействие некоторого сигнала определялось не конкретным значением его напряжения, а тем, к какой из двух разновидностей сигналов (высокого или низкого уровня) этот сигнал относится. Предполагается, что каждый сигнал характеризуется «разумным» уровнем напряжения. При конструировании цифровых схем предпринимаются все меры к тому, чтобы, например, сигнал высокого уровня был не очень малым и не очень большим по напряжению. Если напряжение сигнала находится в установленных пределах, то конкретное значение напряжения практически никак не влияет на реакцию того устройства цифровой электроники, на которое этот сигнал подан. Такие сигналы принято называть цифровыми /1/.

## 14.2. Способы представления информации

Вспомним, что два возможных состояния выходного параметра логического элемента можно задать двумя уровнями выходного напряжения или появлением или не появлением импульсов в определённые промежутки времени. В первом случае имеет место потенциальный способ задания логических переменных, во втором – импульсный.

При потенциальном способе различают положительную или отрицательную логику. При положительной логике высокий уровень выходного сигнала соответствует единице (1), низкий – нулю (0). При отрицательной логике высокий уровень соответствует нулю (0), а низкий – единице (1). Эти определения справедливы для любой полярности используемых напряжений:

Положительная логика – рис.14.1:

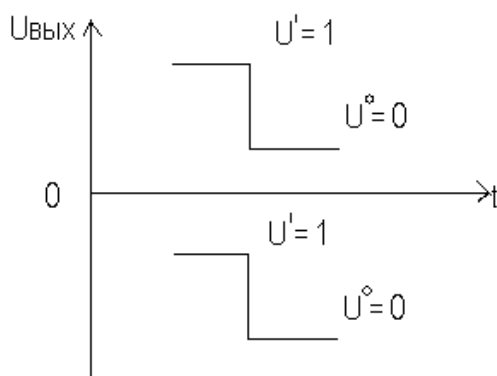


рис.14.1

Отрицательная логика – рис.14.2:

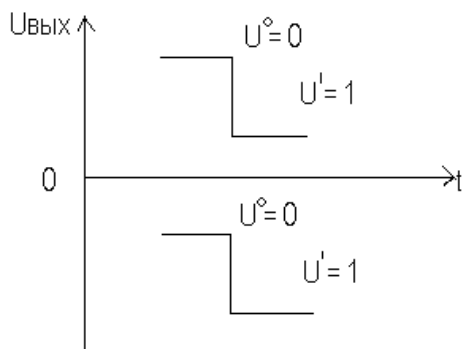


рис.14.2

При потенциальном способе представления значение логической переменной может быть определено в любой произвольной промежуток времени.

При импульсном способе это можно сделать в строго определённые промежутки времени – строго синхронно с моментом появления импульсов. Т.о., при импульсном способе представления возможен только синхронный способ счёта информации.

При потенциальном способе представления логических переменных возможен и синхронный и асинхронный способы счёта информации.

### 14.3. Основные требования к базовым логическим элементам

Функциональная сложность реальных логических устройств, множество сочетаний входных сигналов и нагрузок,

использование при их изготовлении гибридной и полупроводниковой технологий не позволяет рассчитывать



на индивидуальную регулировку и настройку каждого блока. Поэтому для надёжной работы реального цифрового устройства необходимо, чтобы все входящие в него элементарные узлы обладали рядом фундаментальных свойств:

- совместимость уровней входных и выходных сигналов;
- нагрузочная способность;
- формирующее свойство (свойство квантования сигнала);
- помехоустойчивость.

#### ***14.3.1. Совместимость уровней входных и выходных сигналов***

Совместимость уровней входных и выходных сигналов должна обеспечивать их согласование при каскадном включении логических элементов. При этом установившееся отклонения выходного напряжения логического элемента, вызванные действием внешних дестабилизирующих факторов и собственным разбросом параметров не должно превышать некоторые ранее заданные значения – рис.14.3.

а) должно быть выполнено условие:

$$\begin{aligned}U'_{\min} &\leq U(t) \leq U'_{\max} \\ U^0_{\min} &\leq U(t) \leq U^0_{\max}\end{aligned}$$

где  $U(t)$  – действующее значение входного или выходного параметра; формирование сигналов со значением  $U^0_{\max} < U(t) < U'_{\min}$  недопустимо.

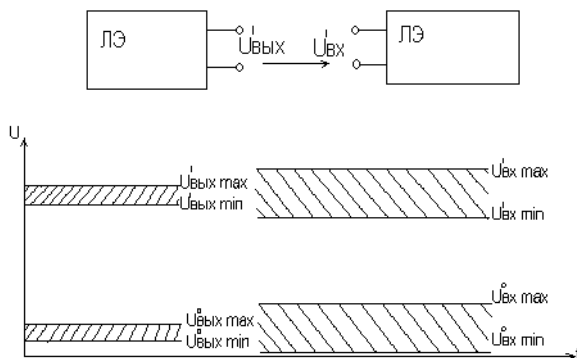


рис.14.3

б) для повышения надёжности работы допустимая область изменений выходного сигнала (по 1 или 0) должна быть уже допустимой области изменений входного сигнала (рис. 3.3):

$$\begin{aligned} U_{вых. max}^{0,1} &< U_{вх. max}^{0,1} \\ U_{вых. min}^{0,1} &> U_{вх. min}^{0,1} \end{aligned}$$

### 14.3.2. Нагрузочная способность логического элемента

Нагрузочная способность логического элемента характеризует его способность получать сигнал от нескольких источников информации и одновременно быть источником информации для нескольких других элементов. При этом должны быть выполнены ранее рассмотренные условия по совместимости.

Для численной характеристики используют два коэффициента:

коэффициент объединения по входу  $K_{об}$  численно равен максимальному числу выходов одностипных логических элементов, которые могут быть одновременно под-

ключены ко входу данного логического элемента, не вызывая при этом искажения формы и амплитуды его сигнала;

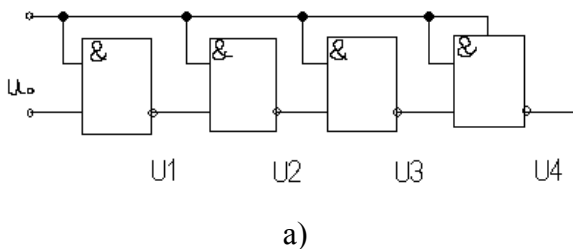
коэффициент разветвления по выходу  $K_{раз}$  численно равен максимальному числу входов одностипных логических элементов, одновременно подключаемых к выходу данного логического элемента без искажения формы и амплитуды его сигнала.

Типовые значения  $K_{об} = 2...8$ ;  $K_{раз} = 4...10$ . Существуют серии интегральных схем с повышенной нагрузочной способностью, для которых  $K_{раз} = 20...30$

### 14.3.3. Формирующие свойство логического элемента (квантование сигнала)

При прохождении сигнала по цепочке последовательного соединённых логических элементов (см., например, схемы И на рис.14.4 а) его амплитуда и форма не должны изменяться. Для этого каждый логический элемент должен обладать формирующими свойствами.

Формирующее свойство логического элемента определяется его амплитудной передаточной характеристикой  $U_{вых} = f(U_{вх})$  (АПХ) – рис.14.4 б):





б)

рис.14.4

Точка 0 соответствует пересечению характеристики логического элемента с прямой  $U_{\text{вых}} = U_{\text{вх}}$ . Точки А и В – асимптотические (см. прохождение сигнала от  $U_0$  до  $U_4$ , причём  $U_4 > U_0$ ). Выходное напряжение стремится либо к т.  $U_A$ , либо к т.  $U_B$ . Напряжение в т.0 АПХ называют напряжением порога квантования  $U_{\text{кв}}$ . Строго говоря, если сигнал с  $U = U_{\text{кв}}$  пройдёт через цепочку логических элементов, то он не претерпит никаких изменений.

Если  $U > U_{\text{кв}}$ , то сигнал переместится в т.А (логическая 1); если  $U < U_{\text{кв}}$ , то в точку В (логический 0). Точка 0 – точка неустойчивого равновесия, и любое изменение  $U$  от  $U_{\text{кв}}$  приведёт к формированию  $U_{\text{вых}} = U_A$  или  $U_{\text{вых}} = U_B$ .

АПХ – существенно нелинейна, что обеспечивает быстрое формирование асимптотических значений логических сигналов.

## **14.4. Помехоустойчивость логических элементов.**

### **Быстродействие логических элементов**

### **Классификация логических устройств**

Очевидно, что даже кратковременное искажение логических сигналов в силу формирующих свойств логических элементов может привести к потере истинности получаемых результатов. Поэтому логические элементы должны обладать высокой помехоустойчивостью.

Динамические свойства логических элементов (быстродействие) определяются типовыми динамическими параметрами: временами задержки распространения и временем переключения выходного сигнала. Следует заметить, что численные значения указанных параметров сильно зависят как от условий эксплуатации, так и от конкретного вида соединений между логическими элементами. Эти параметры определяют максимальную частоту сигнала, допустимую для данного типа логического элемента.

На начальном этапе развития цифровой электроники было разработано большое число всевозможных схемотехнических решений. Однако широкое практическое использование получили только некоторые из них.

#### ***14.4.1. Помехоустойчивость логических элементов***

Под помехоустойчивостью понимается свойство нечувствительности логических элементов к отклонениям его входных сигналов от асимптотических значений. Помехи в цифровых устройствах носят, как правило, импульсный характер. Различают внешние помехи и внутренние. Внешние: электромагнитные воздействия промышленной сети, переключателей, электродвигателей, транспорта и др. Их уменьшение возможно за счёт экранирования, выбором уровней 1 и 0, конструктивными и схемотехническими решениями.

Ко вторым относят помехи, зависящие от параметров собственного логического элемента, от вида и длины соединений и др.

Зона помехоустойчивости логического элемента определяется по его АПХ (между порогом квантования и уровнями  $U_A$  и  $U_B$  - рис.14.4):

$$U_{\text{пом.к.}}^0 = |U_{KB} - U_B|$$

$$U_{\text{пом.к.}}^1 = |U_{KB} - U_A|$$

При этом, если  $U(t)_{\text{помехи}} > U_{\text{пом.к.}}$ , то на выходе появится ложный сигнал с уровнем  $U_A$  или  $U_B$ .

Если  $U(t)_{\text{помехи}} < U_{\text{пом.к.}}$ , то амплитуда помехи при прохождении по цепочке логических элементов быстро затухнет.

Следует заметить, что допустимая амплитуда помехи зависит от её длительности.

Эту зависимость определяет характеристика импульсной помехоустойчивости – зависимость допустимой амплитуды помехи от её длительности (рис.14.5).

Т.о., существует некоторая граничная длительность  $t_{\text{ном}} = t_2$ , начиная с которой  $U_{\text{ном.доп.}}$  будет увеличиваться, и при определённой длительности помехи  $t_{\text{ном}} < t_1$  она не будет восприниматься (схема будет к ней нечувствительна).

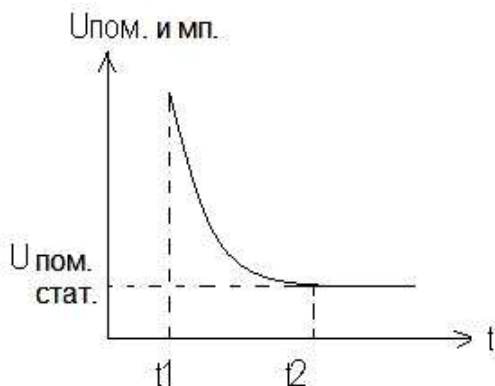


рис.14.5

#### 14.4.2. Быстродействие логического элемента

Быстродействие логического элемента характеризуется временем задержки распространения сигнала. Различают время задержки при включении  $t_{здр}^{1,0}$ , при выключении  $t_{здр}^{0,1}$  и среднее время задержки распространения  $t_{здр.распр.ср.}$ .

В соответствии с ГОСТ 19489-74 под временем задержки распространения сигнала при включении понимают интервал времени между входным и выходным импульсами при переходе выходного напряжения от уровня 1 к уровню 0, измеренный на уровне 0,5 - рис.14.6. Временем задержки сигнала при выключении считают интервал времени между входным и выходным импульсами при переходе выходного напряжения от уровня 0 к уровню 1, измеренный на уровне 0,5. Средним временем задержки  $t_{здр.ср.}$  называют интервал времени, равный полусумме  $t_{здр}^{1,0}$  и  $t_{здр}^{0,1}$ :

$$t_{здр.ср.} = (t_{здр}^{1,0} + t_{здр}^{0,1}) / 2$$

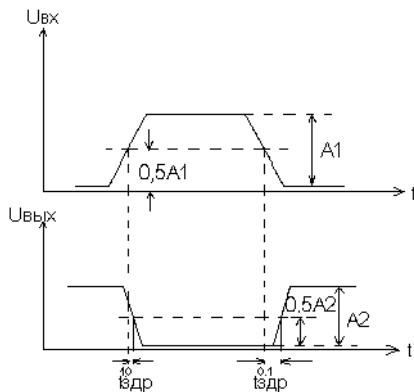


рис.14.6

К характеристикам логических элементов относят: входные токи, потребляемая мощность, энергия переключения. Различают входные токи  $I_{вх}^0$  и  $I_{вх}^1$  при входных уровнях 1 и 0, потребляемую мощность  $P_{потр}$  или ток потребления  $I_{потр}$ . Для сравнения между собой микросхем используют интегральный параметр, называемый энергией переключения. Она находится как произведение потребляемой мощности и среднего времени задержки:  $P_{потр} \cdot t_{зд.ср.}$ . Она измеряется в пикоджоулях (мВт.нс). В справочниках, как правило, даётся значение энергии переключения на один логический элемент данной серии.

## 14.5. Классификация логических устройств

### 14.5.1. Классификация по способу ввода-вывода информации

По способу ввода – вывода информации логические устройства подразделяются на последовательные, параллельные и последовательно – параллельные.



Последовательными называют устройства, в которых входные переменные подаются на вход, а выходные переменные снимаются с выхода не одновременно, а последовательно, разряд за разрядом.

Параллельными называются устройства, в которых все разряды входных переменных подаются на вход и все разряды выходных переменных снимаются с выхода одновременно.

В последовательно – параллельных устройствах входные и выходные переменные представлены в различных формах. Либо на вход передаются последовательно, символ за символом, а с выхода снимаются одновременно, либо наоборот.

#### ***14.5.2.Классификация по принципу действия***

По принципу действия все логические устройства делятся на два класса: комбинационные и последовательностные.

Комбинационные устройства или автоматы без памяти – логические устройства, выходные сигналы которых однозначно определяются только действующей в настоящий момент на входе комбинацией переменных и не зависят от значений предыдущих сигналов.

Последовательностные устройства, или автоматы с памятью – это логические устройства, выходные сигналы которых определяются не только действующими в данный момент времени сигналами на входе, но и всей последовательностью входных переменных, действовавших ранее. Этот тип устройств часто называют цифровыми автоматами. Очевидно, что для выполнения этого условия значения переменных должны быть запомнены логическим устройством. Как правило, эту функцию выполняют триггеры (эти устройства будут рассмотрены ниже).

### 14.5.3. Классификация по схемотехническим решениям

По схемотехническим решениям логические устройства имеют следующие виды.

От иерархической структуры классификации логических элементов, характерной для развития интегральных схем, остались названия: РТЛ – резисторно – транзисторная логика, ДТЛ – диодно – транзисторная логика, ТТЛ – транзисторно – транзисторная логика, ЭСЛ – эмиттерно - связанная логика, ИИЛ или  $I^2L$  – инжекторно – интегральная логика. Для РТЛ, ДТЛ, ТТЛ – первая буква характеризует тип компонента, с помощью которого выполняется логическая операция.

Для других структур - характеризует схему соединения компонентов (ЭСЛ) или использованные компоненты и технологию их изготовления ( $I^2L$ ). Кроме того, имеются логические элементы:

- логика на однотипных полевых транзисторах (n – МОП и p – МОП);

- логика на комплементарных полевых транзисторах (КМОП).

Для логики ТТЛ, ЭСЛ, ИИЛ используют биполярные транзисторы; для последних двух типов – полевые транзисторы. Самые распространённые сейчас ИС - это ИС, реализующие ТТЛ логику и её разновидности.

Эти схемы обладают быстродействием в среднем до  $F_{\max} = 20 - 50 \text{ МГц}$  и средней потребляемой мощностью.

ИС, реализующие ЭСЛ, являются наиболее быстродействующими, но у них велика потребляемая мощность. Базовые элементы ИИЛ в основном разработаны для использования в БИС. Для них характерна высокая, недоступная для ТТЛ и ЭСЛ степень интеграции, пониженное напряжение питания, простота согласования с элементами ТТЛ и

возможность регулирования быстродействия путём изменения потребляемой мощности.

Особенность  $n$  – или  $p$  – МОП логики – малое потребление. Однако они уступают по быстродействию логике на биполярных транзисторах. По мере развития технологии логика на  $n$  – или  $p$  – МОП постепенно становятся самой массовой.

### **Выводы по теме**

1. Схемы, в которых используются сигналы только двух типов (высокий и низкий уровень) называют цифровыми схемами.

Цифровые схемы являются основой микроЭВМ (персональных компьютеров).

2. В микроЭВМ используются сложные интегральные схемы (ИС), называемые микропроцессорами; кроме них в микроЭВМ входят большое количество запоминающих устройств (ЗУ) на ИС, блоки памяти, программные модули, решающие устройства и др.

3. Для генерации цифровых сигналов применяют бистабильные, моностабильные и астабильные мультивибраторы. Они иногда называются фиксаторами, одновибраторами и мультивибраторами, работающими в режиме свободных колебаний.

4. Система счисления – это код, в котором используют специальные символы для обозначения количества каких-либо объектов.

5. Система счисления – это код, в котором используют специальные символы для обозначения количества каких-либо объектов. В десятичной системе – это символы 0, 1, 2...9 – это система с основанием 10. В двоичной системе счисления используют только два символа 0 и 1, и поэтому ее называют системой счисления с основанием 2.

6. Логические элементы являются основными составными частями любых цифровых схем.

7. Логические элементы оперируют с двоичными числами, поэтому их называют двоичными логическими элементами, которые составляют основу любой, самой сложной ЭВМ.

8. Термин «логический» обычно применяют по отношению к процедуре принятия решения. В этой процедуре логический элемент - это такая схема, которая «решает», что ей ответить на выходе - «да» или «нет».

9. При потенциальном способе задания различают положительную и отрицательную логику. При положительной логике высокий уровень выходного напряжения соответствует единице (1), а низкий - нулю (0). При отрицательной логике высокий уровень соответствует нулю (0), а низкий - единице (1).

В таблице истинности для логического элемента указаны все возможные состояния по входу и соответствующие сигналы на выходе, т.е. таблица истинности дает исчерпывающую характеристику работы логического элемента, т.е. описывает логическую функцию.

10. Сокращенный способ записи логической функции называется булевым выражением (из булевой алгебры логики).

Булевы выражения – основной язык, универсальный для цифровой техники.

11. Логические элементы «И», «ИЛИ», «НЕ» представляют собой три основных типа схем, из которых komponуются все цифровые устройства.

12. Логические схемы «И-НЕ», «ИЛИ-НЕ» являются универсальными, наиболее широко применяемыми; на их базе можно реализовать практически все логические функции.

13. При потенциальном способе различают положительную или отрицательную логику. При положительной логи-

ке высокий уровень выходного сигнала соответствует единице (1), низкий – нулю (0). При отрицательной логике высокий уровень соответствует нулю (0), а низкий – единице (1). Эти определения справедливы для любой полярности используемых напряжений.

14. При потенциальном способе представления значение логической переменной может быть определено в любой произвольной промежуток времени. При импульсном способе это можно сделать в строго определённые промежутки времени – строго синхронно с моментом появления импульсов. Т.о., при импульсном способе представления возможен только синхронный способ счёта информации.

15. Совместимость уровней входных и выходных сигналов должна обеспечивать их согласование при покаскадном включении логических элементов.

16. Нагрузочная способность логического элемента характеризует его способность получать сигнал от нескольких источников информации и одновременно быть источником информации для нескольких других элементов.

17. При прохождении сигнала по цепочке последовательного соединённых логических элементов его амплитуда и форма не должны изменяться. Для этого каждый логический элемент должен обладать формирующими свойствами.

18. Под помехоустойчивостью понимается свойство нечувствительности логических элементов к отклонениям его входных сигналов от асимптотических значений.

19. Быстродействие логического элемента характеризуется временем задержки распространения сигнала. Различают время задержки при включении, при выключении и среднее время задержки распространения.

20. Для сравнения между собой микросхем используют интегральный параметр, называемый энергией переключе-

ния. Она находится как произведение потребляемой мощности и среднего времени задержки:  $P_{номп} \bullet t_{зад.ср.}$ .

21. По способу ввода – вывода информации логические устройства подразделяются на последовательные, параллельные и последовательно – параллельные.

22. По принципу действия все логические устройства делятся на два класса: комбинационные и последовательно-стные.

23. По схемотехническим решениям логические устройства имеют следующие виды: РТЛ – резисторно – транзисторная логика, ДТЛ – диодно – транзисторная логика, ТТЛ – транзисторно – транзисторная логика, ЭСЛ – эмиттерно - связанная логика, ИИЛ или  $И^2Л$  – инжекторно – интегральная логика.

### **Задания и вопросы для самоконтроля по теме**

1. Что такое аналоговый сигнал, цифровой сигнал?
2. Что такое ТТЛ уровни?
3. Что такое фиксатор (триггер-защелка)? Поясните на примере.
4. Что такое бистабильные, моностабильные и астабильные мультивибраторы.
5. Что такое система счисления, применяемая для цифровых сигналов?
6. Поясните суть термина «вес разряда» для систем счисления.
7. Для логического элемента «И» приведите:
  - схему из двух ключей;
  - описание на естественном языке
  - условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspek;
  - таблицу истинности;
  - булево выражение.

8. Для логического элемента «ИЛИ» приведите:
- схему из двух ключей;
  - описание на естественном языке
  - условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspek;
  - таблицу истинности;
  - булево выражение.
9. Для логического элемента «НЕ» приведите:
- описание на естественном языке
  - условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspek;
  - таблицу истинности;
  - булево выражение.
10. Для логического двойного инвертирования приведите:
- описание на естественном языке
  - условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspek;
  - таблицу истинности;
  - булево выражение.
11. Для логического элемента «И-НЕ» приведите:
- описание на естественном языке
  - условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspek;
  - таблицу истинности;
  - булево выражение.
12. Для логического элемента «ИЛИ-НЕ» приведите:
- описание на естественном языке
  - условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspek;
  - таблицу истинности;
  - булево выражение.
13. Для логического элемента «исключающее ИЛИ» приведите:

- описание на естественном языке
- условные обозначения (по ГОСТ; по стандарту МЭК; по стандарту DIN; по стандарту milspec;
- таблицу истинности;
- булево выражение.

14. Какие сигналы принято называть цифровыми?

15. Что такое «потенциальный способ» задания логических переменных?

16. Что такое «импульсный способ» задания логических переменных?

17. Что такое «синхронный способ» счёта информации?

18. Какими свойствами должны обладать элементарные узлы реального цифрового устройства для обеспечения его надёжной работы?

19. Что такое совместимость уровней входных и выходных сигналов элементарных узлов цифрового устройства?

20. Что такое нагрузочная способность логического элемента?

21. Дайте объяснение формирующим свойствам логического элемента.

22. Что понимается под помехоустойчивостью базовых элементов?

23. Приведите определение характеристики импульсной помехоустойчивости.

24. Чем определяется быстродействие логического элемента?

25. Какой интегральный параметр применяется для сравнения характеристик микросхем?

26. Какие способы ввода – вывода информации существуют для логических устройств? Приведите их особенности.

27. В чем различие всех логических устройств по их принципу действия?



## Лекция 15

### **Тема: схемотехника цифровых интегральных схем. Схемотехника логических элементов**

Цифровыми интегральными схемами (ЦИС) называют микросхемы, работающие с цифровыми сигналами. Обычно используется двоичный код, т.е. сигнал может принимать одно из двух значений, условно называемых «0» или «1». Мы будем рассматривать положительную логику, т.е. считать, что логическому нулю соответствует низкий, а логической единице - высокий уровень напряжения. Основа большинства ЦИС - транзисторный ключ.

Транзисторный ключ является основным элементом устройств цифровой электроники и очень многих устройств силовой электроники. Параметры и характеристики транзисторного ключа в очень большой степени определяют свойства соответствующих схем. Качественное улучшение параметров и характеристик транзисторных ключей приводит к радикальному улучшению электронных устройств и часто сопровождается пересмотром используемых схемотехнических решений.

Знание основных особенностей транзисторного ключа является обязательным условием при разработке импульсных силовых устройств. Эти знания оказывают существенную помощь и при конструировании устройств цифровой электроники.

Распространены ключи, в выходных цепях которых используются источники постоянного напряжения (источники питания). Назначение таких ключей состоит в том, чтобы создать на выходе или напряжение, близкое к нулю (когда ключ открыт), или напряжение, близкое к напряжению питания (когда ключ закрыт, а ток, потребляемый нагрузкой, подсоединенной к ключу, достаточно мал). Такая работа характерна для ключей цифровой электроники (их называют цифровыми ключами) и силовой электроники.

В информативной электронике используются также и ключи, имеющие другое назначение. Оно состоит в том, чтобы соединять или рассоединять источник входного, содержащего информацию аналогового сигнала и приемник этого сигнала. Такие ключи принято называть аналоговыми. Их также называют аналоговыми коммутаторами /1/.

### 15.1. Ключ на биполярном транзисторе

На рис.15.1 показана простейшая схема ключа на биполярном транзисторе.

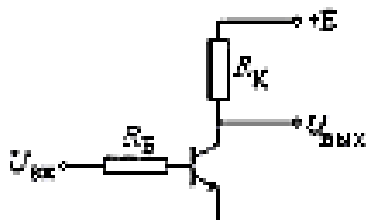


рис.15.1.

Пусть на вход подаются прямоугольные импульсы, т.е. чередование уровней логического нуля  $U^0$  и логической единицы  $U^1$ . Построив нагрузочные прямые на входной характеристике и на семействе выходных характеристик (рис. 152), найдем значения  $U^0$  и  $U^1$  на входе и на выходе. Из рис. 15.2. видно, что ток коллектора в режиме насыщения

$$I_{кн} = I^* = \frac{E}{R_k}$$

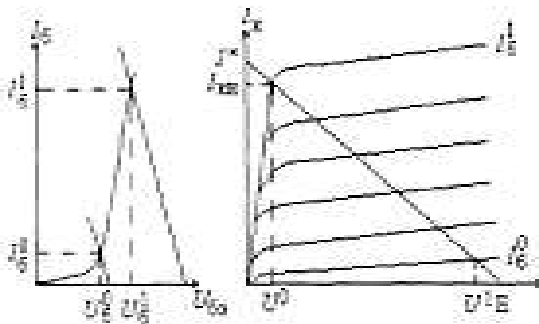


рис15.2

Вследствие падения напряжения на сопротивлении  $R_{\sigma}$  напряжения  $U_{\sigma}^0$  и  $U_{\sigma}^1$  меньше логических уровней на входе. Обычно  $R_K$  и  $R_B$  подбирают так, чтобы логические уровни на входе и на выходе были одинаковыми. При  $U = U^0$  транзистор закрыт, ток коллектора мал, но напряжение на выходе соответствует уровню логической единицы и приближается к напряжению питания  $E$ . При  $U_{\text{вх}} = U^1$  транзистор открыт и насыщен, а выходное напряжение  $U = U^0$ . Это значит, что транзисторный ключ инвертирует логические сигналы, т.е. является инвертором.

## 15.2. Транзисторная логика с непосредственными связями (НСТЛ)

Схема показана на рис. 15.3. Если на оба входа подан низкий уровень напряжения, т.е.  $X_1 = X_2 = 0$ , то оба транзистора закрыты, токи коллекторов малы, напряжение на выходе схемы почти равно напряжению питания  $U_K = \sim E$ , т.е.  $Y = 1$ . Если хотя бы на одном из входов будет высокий уровень напряжения (например,  $X_1 = 1$ ), то один из тран-

зисторов открыт и насыщен, ток коллектора  $I_{\text{кн}} = I^* = \frac{E}{R}$ , на коллекторе низкое остаточное напряжение, т.е.  $Y = 0$ . Таким образом, схема НСТЛ выполняет операцию *ИЛИ-НЕ* (табл.15.1):

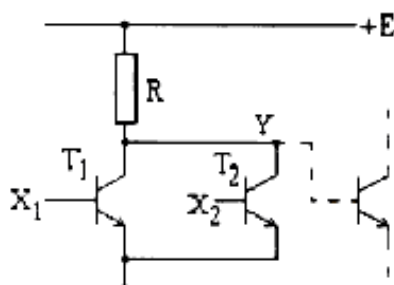


рис.15.3

табл.15.1

	X1	X2	Y
закрыт	0	0	1
	0	1	0
	1	0	0
открыт	1	1	0

Достоинство схемы - простота и хорошее быстродействие. Напомним, что эмиттерный переход кремниевого транзистора открывается при  $U_{\text{бэ}} = 0,6$  В. Поскольку входные сигналы подаются непосредственно на базы, размах логического сигнала  $\Delta U = 0,6$  В.

На рис. 15.3 пунктиром показан вход следующей схемы, являющийся нагрузкой для данной схемы.

Большим недостатком НСТЛ является то, что при небольшом разбросе входных характеристик транзисторов ток нагрузки распределяется неравномерно. Это снижает надежность работы таких схем.

### 15.3. Схема РТЛ (транзисторная логика с резистивной связью)

отличается от НСТЛ только наличием резисторов в базовых цепях (рис.15.4).

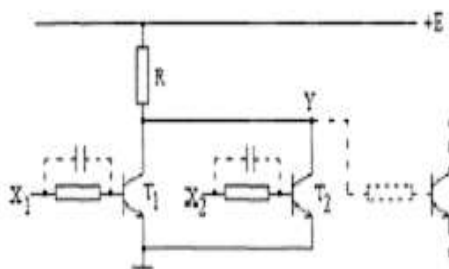


рис.15.4

В схемах РТЛ не сказывается разброс входных характеристик, размах входного сигнала увеличивается до 1,5...2 В, но резко уменьшается быстродействие, так как увеличивается время нарастания.

Чтобы увеличить быстродействие, пытались применить схему РЕТЛ (резистивно-емкостная транзисторная логика), т.е. параллельно базовым резисторам подключить конденсаторы, как показано на рис. 15.4 пунктиром.

Во время переключения конденсаторы закорачивают резисторы, что уменьшает длительность переднего фронта импульса.

Однако конденсаторы занимают большую площадь на подложке, что ведет к уменьшению степени интеграции. Кроме того, всем схемам с коллекторной связью присущ общий недостаток - зависимость уровня логической единицы  $U^1$  от числа нагрузок. Чем больше однотипных микросхем подключено к выходу, тем больший ток течет через резистор  $R_B$  базовые цепи нагрузок, и тем меньше становится выходное напряжение  $U_{вых} = U^1 = E - IR$ . Нагрузочная способность этих схем мала ( $n < 4$ ). Все эти недостатки привели к отказу от схем с коллекторной связью и в современных микросхемах они не применяются.

#### 15.4. Схема ДТЛ (диодно-транзисторной логики)

показана на рис.15.5.

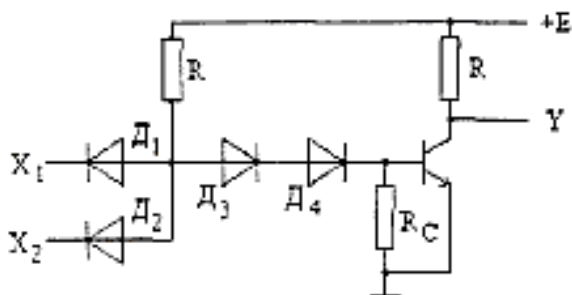


рис.15.5

Если на оба входа подан высокий положительный потенциал ( $X_1 = X_2 = 1$ ), то входные диоды будут закрыты, ток от плюса источника питания потечет через  $D_3$  и  $D_4$  в базу транзистора. Транзистор переходит в режим насыщения;

при этом напряжение коллектора уменьшается до величины остаточного напряжения  $U_{\text{отлх}} = E - I_{\text{кн}} R$ , т.е.  $Y = 0$ . Если хотя бы на одном входе низкий уровень (например,  $X_1 = 0$ ), то входные диоды открыты и ток течет от плюса источника в коллектор предшествующей схемы. Поскольку на открытом диоде падает  $U = 0,6...0,7$  В, на базе транзистора с учетом диодов Дз и Д4 будет отрицательный потенциал:

$$U = U - 2U = -U = -(0,6...0,7)\text{В}.$$

Транзистор закрыт, напряжение коллектора почти равно напряжению питания  $E$ . Таким образом, схема ДТЛ выполняет логическую операцию И-НЕ (табл. 15.2):

табл.15.2

X1	X2	D1,D2	T	Y
0	0	откр.	закр.	1
0	1	откр.	закр.	1
1	0	откр.	закр.	1
1	1	закр.	откр.	0

Размах логического сигнала  $\Delta U \approx E$  и практически не зависит от нагрузки, так как ток нагрузки втекает в коллектор через диоды последующей схемы. Нагрузочная способность ДТЛ  $n = 10$ , время задержки  $t_3 = 10...15$  нс. Недостаток – много диодов, которые занимают большую площадь на подложке (напомним: диоды - это транзисторы в диодном включении).

## 15.5. ТТЛ (транзисторно-транзисторная логика)

Схема ТТЛ с простым инвертором показана на рис.15.6:

Сравнение рис.15.5 и 15.6 показывает, что ТТЛ принципиально не отличается от ДТЛ. В качестве входных диодов используются эмиттерные переходы, а роль диода смещения выполняет коллекторный переход многоэмиттерного транзистора. Транзистор  $T_1$  так же, как в схеме ДТЛ, является инвертором.

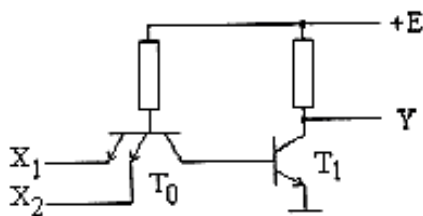


рис.15.6

Схема выполняет логическую операцию *И-НЕ* (см. табл. 15.2). В отличие от ДТЛ вместо двух диодов смещения используется только один коллекторный переход, поэтому в закрытом состоянии транзистора  $T_1$  на его базе будет не отрицательный, а нулевой потенциал, что незначительно снижает помехоустойчивость. В реальных схемах вместо  $T_1$  применяется сложный инвертор, компенсирующий этот недостаток. Иногда в сложном инверторе используют транзисторы с диодом Шоттки, что заметно повышает быстродействие. Такие схемы сокращенно называют ТТЛШ. Многоэмиттерный транзистор занимает гораздо меньшую площадь, чем соответствующее количество диодов. Нагрузочная способность  $n > 10$ , время задержки  $t_3 = 3 \dots 10$  нс. Схемы ТТЛ и ТТЛШ широко используются в микроэлектронике. В качестве примеров можно назвать отечест-



венные серии К155 (ТТЛ) и К555 (ТТЛШ) и соответствующие зарубежные аналоги 8И74 и 8И74Б5.

## 15.6. Эмиттерно-связанная логика (ЭСЛ)

Принципиальная схема показана на рис.15.7. Транзистор Т3 совместно с любым из входных транзисторов образуют переключатель тока. Схема переключателя тока аналогична схеме дифференциального усилителя, но на базу Т3 подано постоянное напряжение смещения  $U_0$ , при котором Т3 открыт и находится в активном режиме.

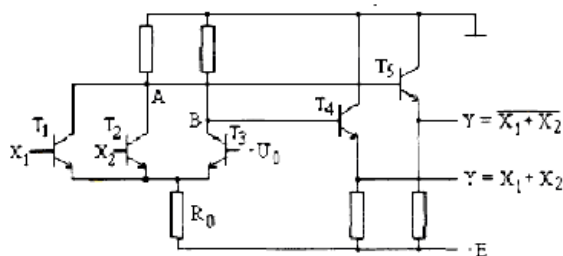


рис. 15.7

Ток коллектора в активном режиме равен

$$I_K = \alpha \cdot I_E = \alpha \cdot I_0 \cdot \exp\left(\frac{U_{\bar{\sigma}\bar{\sigma}}}{\varphi_T}\right),$$

т.е. сильно зависит от напряжения  $U_{\bar{\sigma}\bar{\sigma}}$ . Если на базе Т1 (или Т2) напряжение  $U_{\bar{\sigma}\bar{\sigma}} = U_0$ , ток, текущий через  $R_0$ , распределяется поровну между Т1 и Т3. Если же напряжение на базе входного транзистора немного (на 0,1...0,15 В) выше или ниже  $U_0$ , весь ток переключается соответственно в Т1 (Т2) или в Т3. Потенциалы точек А и В при этом

всегда противофазны. Эмиттерные повторители на транзисторах Т4 и Т5 обеспечивают согласование входных и выходных уровней последующего и предыдущего логических элементов.

Напомним, что на открытом эмиттерном переходе падение напряжения  $U^* = 0,6 \text{ В}$  (при  $T = 300^\circ\text{К}$ ). Если Т1 и Т2 закрыты, напряжение  $U_A \approx E$  и на выходе эмиттерного повторителя Т5 уровень логической единицы  $U^1 = E - U^*$ . Полагая, что на коллекторе открытого транзистора напряжение  $U_K = U_{\text{бэ}} = U^*$  (граница между активным режимом и насыщением), найдем уровень логического нуля:  $\alpha \cdot I_{II}$   
 $U^0 = U^1 - U^* = E - 2U^*$ .

Размах логического сигнала равен  $\Delta U = U^1 - U^0 \approx 0,7\text{В}$ . Поскольку транзисторы работают в активном режиме, схемы ЭСЛ обеспечивают малое время задержки  $t_3 = 0,7 \dots 3 \text{ нс}$ .

Как видно из схемы, на одном из выходов выполняется логическая операция *ИЛИ*, а на другом - *ИЛИ-НЕ* (табл.15.3).

Обычно в схемах ЭСЛ заземляется плюс источника питания.

табл.15.3

	Т1	Т2	А	Т5	У1 (или- не)		Т3	В	Т4	У2 (или)
закр.	0	0	1(+E)	откр.	1(+E)		откр.	0	закр.	0
	0	1	0	закр.	0		закр.	(+E)	откр.	1(+E)
	1	0	0	закр.	0		закр.	(+E)	откр.	1(+E)
откр.	1	1	0	закр.	0		закр.	(+E)	откр.	1(+E)

### 15.7. Логические элементы с инжекционным питанием ( $I^2L$ )

Транзисторные логические элементы с инжекционным питанием (ТЛИП) называют также инжекционной интегральной логикой, откуда и возникло нелепое, но общепринятое сокращение  $I^2L$ .

Элементы ТЛИП в дискретном исполнении неизвестны, весьма специфичная схемотехника и технология ТЛИП реализуются в больших интегральных схемах (БИС). Принцип работы ТЛИП поясняется рис. 15.8.

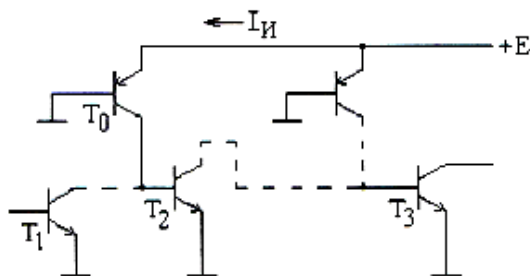


рис.15.8

Транзисторы  $T_0$  и  $T_2$  - это простейший клапан (инвертор) с инжекционным питанием, а  $T_1$  и  $T_3$  относятся к предыдущей и последующей схемам. Транзистор  $T_0$  с проводимостью  $p-n-p$  выполняет роль генератора тока, питающего цепь базы  $n-p-n$  транзистора  $T_2$ . Ток  $I_i$  создается инжекцией дырок из эмиттера  $p-n-p$  транзистора, поэтому называется током инжекции, а сам эмиттер называют инжектором. Питание схемы через инжектор (т.е. без резисторов в цепи питания) позволяет существенно уменьшить напря-

жение питания. Из рис. 15.8 видно, что напряжение питания равно падению напряжения на инжекторном переходе  $E = U^* \approx 0,6B$ .

По некоторым причинам в реальных схемах  $E = 1 \dots 1,5 B$ . Пусть на входе (на базе  $T_2$ ) низкий потенциал ( $T_1$  открыт). Тогда ток коллектора транзистора  $T_0$ , равный  $\alpha \cdot I_{II}$ , замыкается через  $T_1$  и не течет в базу  $T_2$ .

Транзистор  $T_2$  закрыт и на выходе инвертора (на базе  $T_3$ ) будет высокий потенциал, т.е. выполняется логическая операция *НЕ* (табл.15.4):

табл.15.4

T1	База T2	T2	базаT3
открыт	0	закрыт	1

Обычно параллельно соединяются несколько инверторов, тогда реализуется логическая операция *ИЛИ-НЕ*.

В схеме рис. 15.8 базы всех *p-n-p* транзисторов заземлены, а эмиттеры подключены к шине +Е, поэтому в реальной схеме ТЛИП вместо нескольких *p-n-p* транзисторов используют один многоколлекторный *p-n-p* транзистор.

Для развязки выходов, подключаемых к отдельным нагрузкам, *p-n-p* транзисторы тоже делают многоколлекторными. В результате схема приобретает вид рис.15.9.

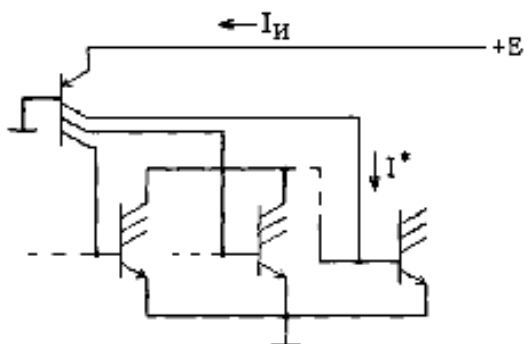


рис. 15.9

Каждый из коллекторных токов  $p$ - $n$ - $p$  транзистора равен:

$$I^* = \frac{\alpha \cdot I_u}{n} \approx \frac{I_u}{n}$$

Конструктивно-технологическое своеобразие ТЛИП состоит в высокой степени интеграции.

Это достигается тем, что примыкающая к подложке  $n$ -область выполняет роль и базы  $p$ - $n$ - $p$  транзистора и эмиттеров всех  $n$ - $p$ - $n$  транзисторов; базой  $n$ - $p$ - $n$  и коллектором  $p$ - $n$ - $p$  транзисторов является общая  $p$ -область.

Разрез структуры ТЛИП показан на рис.15.10.

Достоинствами ТЛИП являются: низкое напряжение питания; малая потребляемая мощность; высокая плотность упаковки; не нужны диэлектрические карманы и разделительная диффузия.

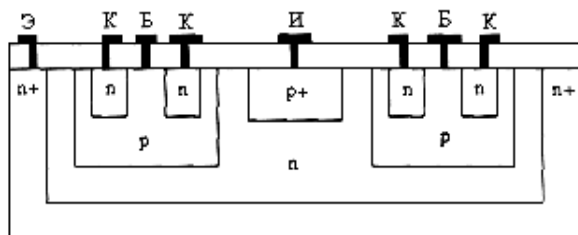


рис. 15.10

## 15.8. Логические элементы на полевых транзисторах

Ключи на полевых транзисторах широко используются для коммутации аналоговых и цифровых сигналов.

В аналоговых ключах обычно используют транзисторы с управляющим р-п -переходом или МДП-транзисторы с индуцированным каналом.

В цифровых ключах обычно используют МДП-транзисторы с индуцированным каналом. В последнее время полевые транзисторы все чаще используют в силовой импульсной электронике.

Ключи на полевых транзисторах отличаются малым остаточным напряжением. Они могут коммутировать слабые сигналы (в единицы микровольт и меньше). Это следствие того, что выходные характеристики полевых транзисторов проходят через начало координат.

Однако минимальное сопротивление включенного ключа на полевом транзисторе может быть больше, чем ключа на биполярном транзисторе (т. е. наклон самой круто поднимающейся характеристики полевого транзистора может быть меньше, чем наклон соответствующей характеристики биполярного транзистора). Поэтому при значительном токе падение напряжения на полевом тран-

зисторе может быть больше, чем падение напряжения на биполярном транзисторе.

В статическом состоянии ключ на полевом транзисторе потребляет очень малый ток управления. Однако этот ток увеличивается при увеличении частоты переключения.

Очень большое входное сопротивление ключей на полевых транзисторах фактически обеспечивает гальваническую развязку входных и выходных цепей. Это позволяет обойтись без трансформаторов в цепях управления.

Ключи на полевых транзисторах часто менее быстродействующие в сравнении с ключами на биполярных транзисторах.

### 15.8.1. Ключ на МДП-транзисторах с динамической нагрузкой

Ключ на МДП-транзисторах можно выполнить с резистивной нагрузкой, подобно ключу на биполярных транзисторах, но технологически целесообразнее применять так называемую динамическую нагрузку. Схема ключа показана на рис.15.11а).

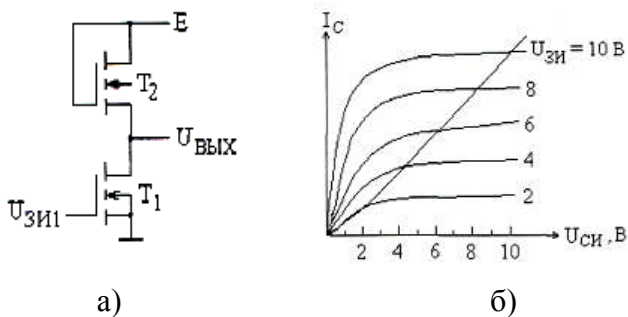


рис.15.11

В качестве сопротивления нагрузки используется нагрузочный МДП-транзистор, затвор которого соединяется с истоком, т.е.  $U_{зи2} = U_{си2}$ . Из рис. 15.11 б) видно, что точ-

ки, соответствующие равным напряжениям стока и затвора, образуют линию, которая является вольтамперной характеристикой нагрузочного транзистора. На рис. 15.12 показано, как нанести линию нагрузки на семейство стоковых характеристик активного транзистора  $T_1$ .

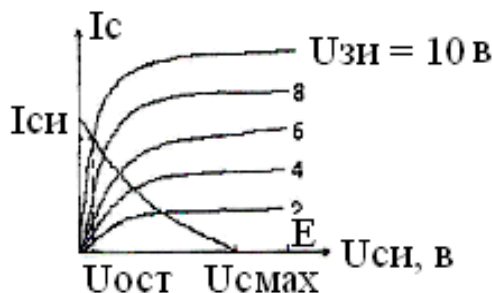


рис. 15.12

Нагрузочный транзистор  $T_2$  работает на пологом участке стоковой характеристики, поэтому его вольтамперную характеристику запишем в виде:

$$I_c = 0,5b(U_{cu2} - U_{o2})^2$$

где  $b$  - удельная крутизна транзистора,  $U_{o2}$  - напряжение отсечки нагрузочного транзистора.

Если на входе низкий уровень  $U_{zi} < U_{o1}$ , то нижний транзистор закрыт и ток стока равен нулю. Тогда на выходе ключа будет максимальное напряжение:

$$U_{выхmax} = U_{cu1} = E - U_{o2}$$

Если на вход подан высокий уровень напряжения  $U_{zi} > U_{o1}$ , то  $T_1$  открыт, его сопротивление мало и все на-



напряжение питания падает на верхнем транзисторе. Ток стока насыщения:

$$I_{cu} = 0,5b(E - U_o2)^2$$

Выходное напряжение при этом будет минимальным (остаточное напряжение).

При обычных значениях параметров транзисторов остаточное напряжение составляет 50...150 мВ.

При последовательном соединении нескольких активных транзисторов получим логический элемент И-НЕ (рис. 15.13 а).

Параллельное соединение активных транзисторов позволяет выполнить логическую операцию ИЛИ-НЕ (рис. 15.13 б).

Наиболее часто используют логические схемы на МДП-транзисторах с индуцированным n-каналом.

Поскольку входной ток МДП-транзистора практически равен нулю, логические уровни не зависят от нагрузки.

Нагрузочная способность ограничивается только влиянием емкостей затвор-исток, т.е. уменьшением быстродействия.

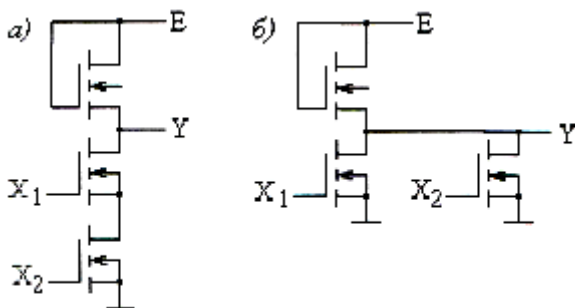


рис. 15.13

### 15.8.2. Логические элементы на комплементарных МДП - транзисторах (КМДП)

Ключ КМДП (рис. 15.14 а) состоит из пары транзисторов с различной проводимостью канала, при этом затворы р-канального и n-канального транзисторов соединены вместе.

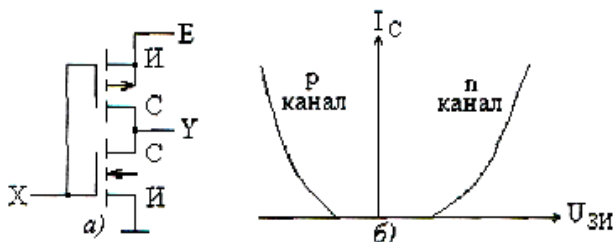


рис. 15.14

На рис. 15.14 б) показаны характеристики прямой передачи транзисторов с индуцированным р-каналом и с индуцированным n-каналом.

Допустим, на вход подано положительное напряжение, превышающее пороговое. Тогда нижний транзистор открыт. Это же напряжение относительно общей шины приложено к затвору верхнего транзистора, но его исток соединен с плюсом источника питания, поэтому напряжение затвор-исток верхнего (р-канального) транзистора будет меньше порогового и верхний транзистор закрыт. На выходе будет очень низкое остаточное напряжение, т.е.  $Y = 0$ . Поскольку верхний транзистор закрыт, тока практически нет, энергия от источника питания не потребляется. Если  $X = 0$ , т.е. на входе низкое напряжение, то нижний (n-канальный) транзистор закрыт. На затворе верхнего (р-канального) транзистора будет большое отрицательное

(относительно истока) напряжение, верхний транзистор открыт. Выходное напряжение почти равно напряжению питания  $E$ , что соответствует состоянию логической единицы на выходе  $Y = 1$ .

Таким образом, ключ КМДП отлично справляется с ролью инвертора, размах логического сигнала почти равен напряжению питания, но при любом логическом состоянии ток равен нулю, ибо один из транзисторов закрыт.

Эта особенность схем КМДП - весьма малая потребляемая мощность - является большим достоинством по сравнению с ранее рассмотренными логическими элементами.

Для выполнения операции И-НЕ используется схема рис. 15.15 а), в которой несколько нижних n-канальных транзисторов соединяются последовательно, а такое же число верхних p-канальных – параллельно (табл.15.5).

Элемент ИЛИ-НЕ получается при параллельном соединении нижних и последовательном верхних транзисторов (рис. 15.15 б). В этом можно убедиться, рассматривая все возможные комбинации входных логических сигналов (табл.15.6). Эти схемы сохраняют упомянутое преимущество ключей КМДП.

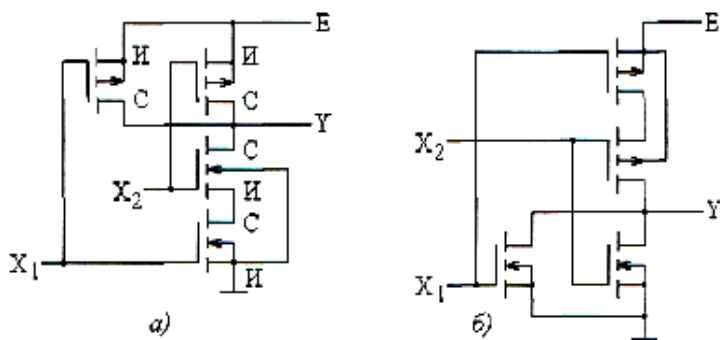


рис. 15.15

а) И-НЕ (табл.15.5):

табл.15.5

		X1	X2	Y
верхний (паралл.) открыт	нижний закр.	0	0	1
		0	1	1
		1	0	1
верхний закр.	нижний (посл.) откр.	1	1	0

б) ИЛИ-НЕ (табл.15.6):

табл.15.6

		X1	X2	Y
верхний (посл.) открыт	нижний закр	0	0	1
		0	1	0
		1	0	0
верхний закр.	нижний (паралл.) откр.	1	1	0

### ***15.8.3. Динамическая логика на МДП-транзисторах***

В схемах динамической логики на МДП-транзисторах (ДМДП) выходная емкость  $C_{си}$  логического транзистора и входная емкость  $C_{зи}$  следующего транзистора используются для хранения информации. Это возможно потому, что разряд емкости через большое входное сопротивление сле-

дующего МДП-транзистора происходит достаточно медленно. Схема инвертора ДМДП показана на рис.15.16.

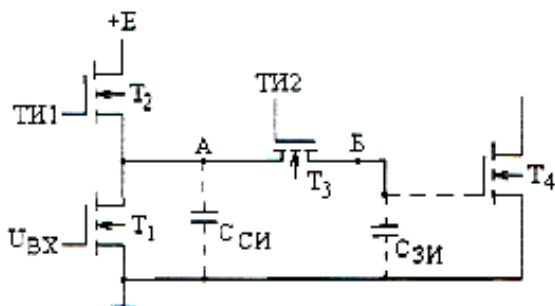


рис. 15.16

На затворы T2 и T3 подаются последовательности тактовых импульсов, причем ТИ1 и ТИ2 сдвинуты по фазе. При наличии тактового импульса ТИ1 пара транзисторов T1 и T2 работает как обычный инвертор, т.е. в точке А будет либо небольшое остаточное напряжение, либо напряжение  $U_a = E$ . В промежутке между импульсами ТИ1 транзистор T2 закрыт, мощность от источника питания не потребляется, но соответствующий уровень напряжения в точке А сохраняется емкостью  $C_{си}$ .

Некоторое различие уровней логического нуля при наличии или отсутствии импульса ТИ1 устраняется ключом T3. При приходе импульса ТИ2 ключ открывается и на выходе, т.е. на емкости  $C_{зи}$  следующего логического элемента устанавливается напряжение  $U^0 = 0$ , либо  $U^1 = E$ . Схемы ДМДП обеспечивают выигрыш в потребляемой мощности, определяемый скважностью импульсов. Работа схемы ДМДП иллюстрируется рисунком 15.17:

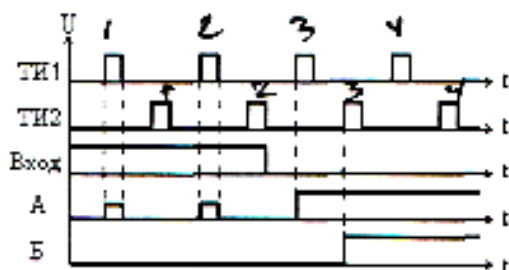


рис. 15.17

## 15.9. Сравнение параметров основных типов интегральных логических схем

Каждый из рассмотренных типов логических схем имеет свои достоинства и недостатки. Обобщенным параметром является средняя работа переключения  $A_{ср} = P_{ср} \cdot t_z$ .

При заданной работе переключения хорошее быстродействие связано с большой потребляемой мощностью и наоборот.

Параметры некоторых серий цифровых ИС представлены в табл.15.7.

табл.15.7

Серия и тип логики	$E, В$	$\Delta U, В$	$U_{н}, В$	$t_1, нс$	$P_{ср}, мВт$	Кэф. разветвления - n
K500. ТЛЭС	-2	0,67	0,125	2,9	45	15
K155. ТТЛ	5	2	0,4	22	27	10
555. ТТЛШ	5	2,2	0,5	20	7,5	10
И <sup>2</sup> Л	0,7	0,6	0,05	0...100	0,01...0,1	5
K501. р-МДП	-27	8,5	1	>200	200	30
K564. КМДП	3...15	$E-0,01$	1,5	80	0,0001	>100

## Выводы по теме

1. Цифровыми интегральными схемами (ЦИС) называют микросхемы, работающие с цифровыми сигналами. Обычно используется двоичный код, т.е. сигнал может принимать одно из двух значений, условно называемых «0» или «1». Основа большинства ЦИС - транзисторный ключ.

2. В информативной электронике используются также и ключи, имеющие другое назначение. Оно состоит в том, чтобы соединять или рассоединять источник входного, содержащего информацию аналогового сигнала и приемник этого сигнала. Такие ключи принято называть аналоговыми. Их также называют аналоговыми коммутаторами.

3. Достоинство схем транзисторной логики с непосредственными связями (НСТЛ) - простота и хорошее быстродействие. Большим недостатком НСТЛ является то, что при небольшом разбросе входных характеристик транзисторов ток нагрузки распределяется неравномерно. Это снижает надежность работы таких схем.

4. Схема РТЛ (транзисторная логика с резистивной связью) отличается от НСТЛ только наличием резисторов в базовых цепях. В схемах РТЛ не сказывается разброс входных характеристик, но резко уменьшается быстродействие, так как увеличивается время нарастания. Нагрузочная способность этих схем мала

( $n < 4$ ). Эти недостатки привели к отказу от схем с коллекторной связью и в современных микросхемах они не применяются.

5. Размах логического сигнала в логических схемах ДТЛ практически не зависит от нагрузки, так как ток нагрузки втекает в коллектор через диоды последующей схемы. Нагрузочная способность ДТЛ  $n = 10$ , время задержки

$t_3=10\ldots15$  нс. Недостаток – много диодов, которые занимают большую площадь на подложке.

6. Логические схемы ТТЛ принципиально не отличаются от схем ДТЛ. В качестве входных диодов используются эмиттерные переходы, а роль диода смещения выполняет коллекторный переход многоэмиттерного транзистора. Иногда используют транзисторы с диодом Шоттки, что заметно повышает быстродействие. Такие схемы сокращенно называют ТТЛШ.

Нагрузочная способность  $n > 10$ , время задержки  $t_3=3\ldots10$  нс. Схемы ТТЛ и ТТЛШ широко используются в микроэлектронике.

7. Схемы ЭСЛ обеспечивают малое время задержки  $t_3=0,7\ldots3$  нс. На одном из выходов схемы выполняется логическая операция *ИЛИ*, а на другом - *ИЛИ-НЕ*.

8. Транзисторные логические элементы с инжекционным питанием (ТЛИП) называют также инжекционной интегральной логикой, откуда и возникло нелепое, но общепринятое сокращение *И<sup>2</sup>Л*. Элементы ТЛИП в дискретном исполнении неизвестны, весьма специфичная схемотехника и технология ТЛИП реализуются в больших интегральных схемах (БИС). Достоинствами ТЛИП являются: низкое напряжение питания; малая потребляемая мощность; высокая плотность упаковки.

9. В цифровых ключах обычно используют МДП-транзисторы с индуцированным каналом. В последнее время полевые транзисторы все чаще используют в силовой импульсной электронике.

10. Ключи на полевых транзисторах отличаются малым остаточным напряжением. Они могут коммутировать слабые сигналы (в единицы микровольт и меньше).

11. Очень большое входное сопротивление ключей на полевых транзисторах фактически обеспечивает гальваниче-



скую развязку входных и выходных цепей. Это позволяет обойтись без трансформаторов в цепях управления.

12. Ключи на полевых транзисторах часто менее быстродействующие в сравнении с ключами на биполярных транзисторах.

13. Поскольку входной ток МДП-транзистора практически равен нулю, логические уровни логических элементов на МДП-транзисторах не зависят от нагрузки. Нагрузочная способность ограничивается только влиянием емкостей затвор-исток, т.е. уменьшением быстродействия.

14. Особенность схем КМДП - весьма малая потребляемая мощность - является большим достоинством по сравнению с ранее рассмотренными логическими элементами.

15. В схемах динамической логики на МДП-транзисторах (ДМДП) выходная емкость  $C_{си}$  логического транзистора и входная емкость  $C_{зи}$  следующего транзистора используются для хранения информации. Это возможно потому, что разряд емкости через большое входное сопротивление следующего МДП-транзистора происходит достаточно медленно. Схемы ДМДП обеспечивают выигрыш в потребляемой мощности, определяемый скважностью импульсов.

16. Каждый из рассмотренных типов логических схем имеет свои достоинства и недостатки. Обобщенным параметром является средняя работа переключения  $A_{ср} = P_{ср} \cdot t_z$ . При заданной работе переключения хорошее быстродействие связано с большой потребляемой мощностью и наоборот.

### **Задания и вопросы для самоконтроля по теме**

1. Объясните работу ключа на биполярном транзисторе как основного элемента цифровых схем.

2. Какую логическую операцию выполняет схема транзисторной логики с непосредственными связями (НСТЛ)? Объясните работу схемы.

3. Приведите отличия схемы РТЛ (транзисторная логика с резистивной связью) и особенности ее работы.

4. Какую логическую операцию выполняет схема ДТЛ? Приведите особенности ее работы.

5. ТТЛ (транзисторно-транзисторная логика). Приведите схему, ее достоинства и недостатки.

6. Какие логические операции выполняются эмиттерно-связанной логикой (ЭСЛ)? Приведите особенности работы схемы.

7. Логические элементы с инжекционным питанием ( $I^2L$ ). Какие логические операции выполняются этой логикой? Приведите особенности работы схемы.

8. Логические элементы на МДП-транзисторах. Приведите особенности их работы.

9. Логические элементы на комплементарных МДП - транзисторах (КМДП). Приведите особенности их работы.

10. Приведите особенности схем динамической логики на МДП-транзисторах (ДМДП).

11. Приведите сравнение параметров основных типов интегральных логических схем.

## Лекция 16

### Тема: коды. Преобразователи кодов. Шифраторы. Мультиплексоры

В цифровой технике применяют много специальных кодов (кроме двоичных, десятичных) для представления чисел и даже букв алфавита.

Для перевода десятичных в двоичные и обратно применяются специальные схемы шифраторов и дешифраторов. Рассмотрим другие схемы и методы кодирования, шифрования и дешифрования.

#### 16.1. Двоично – десятичный код 8421

Представим десятичное число 926 в двоичной форме. Ранее мы уже рассмотрели этот способ (табл.16.1):

табл.16.1

$926/2=463$ с остатком (нет)	0	Разряд с весом 1
$463/2=231$ с остатком	1	...2
$231/2=115$ с остатком	1	...4
$115/2=57$ с остатком	1	...8
$57/2=28$ с остатком	1	...16
$28/2=14$ с остатком (нет)	0	...32
$14/2=7$ с остатком (нет)	0	...64
$7/2=3$ с остатком	1	...128
$3/2=1$ с остатком	1	...256
$1/2=0$ с остатком	1	...512

Т.о., получили число  $1110011110_2$ . Это число в чисто двоичном коде мало о чём говорит. Преобразуем  $926_{10}$  не-

сколько иначе с использованием двоично – десятичного кода 8421:

	Сотни	Десятки	Единицы
Десятичное число	9	2	6
	↓	↓	↓
Число в коде 8421	1001	0010	0110

В результате получили число 100100100110 в коде 8421: правая группа 0110 соответствует разряду с весом 1 в десятичном числе; средняя группа 0010 даёт значение разряда с весом 10, а левая группа 1001 представляет разряд с весом 100 в десятичном числе

Возьмём число 0001 1000 0111 0001 в коде 8421. Определим, что это за число в десятичном коде (табл. 16.2):

табл. 16.2

	тысячи	сотни	десятки	единицы
Число в коде 8421	0001	1000	0111	0001
Десятичное число	1	8	7	1

Т.е. число 1871. Ограничение: в коде 8421 запрещены комбинации 1010; 1011; 1100; 1101; 1110; 1111.

Код 8421 широко применяется в цифровых системах. Существуют и другие коды, например код 4221; код с избытком 3 и другие.

## 16.2. Код с избытком 3

К каждой цифре десятичного числа прибавляем 3 и заменяем полученные цифры соответствующими четырёхзначными двоичными числами. Например:

$$\begin{array}{ccc}
 \text{Десятичное число} & & \text{Число в коде с} \\
 & & \text{избытком 3} \\
 \boxed{4} + 3 = \boxed{7} & \longrightarrow & 0111 \\
 & & \text{Преобразование в} \\
 & & \text{двоичную систему}
 \end{array}$$

Значимость двоичных чисел в разрядах отличается от обычной двоичной системы и от чисел в коде 8421 (табл.16.3).

табл.16.3

Десятичное число	Число в коде с избытком 3		
3	0110		
6	1001		
9	1100		
14	0100	0111	
38	0110	1001	
459	0111	1000	1100
606	1001	0011	1001
	сотни	дес-ки	ед-цы

Код с избытком 3 используется во многих цифровых схемах. Однако, наиболее распространён код 8421.

### 16.3. Код Грея

Важной особенностью кода Грея является то, что при переходе к следующему, ниже расположенному числу, достаточно в предыдущем числе изменить только одну цифру. Этот код нельзя использовать в арифметических схемах. Его применяют во входных и выходных устройствах цифровых систем. Довольно трудно приводить десятичные числа в код Грея и наоборот. Для этого используются специальные электронные дешифраторы.

### 16.4. Преобразователи кодов

При передаче информации по линиям связи удобно использовать коды, позволяющие например, уменьшить вероятность появления ошибки, или даже исправлять её в дальнейшем. Примерами таких кодов являются коды, построенные по принципу 2 из 5 (в которых из пяти символов два всегда имеют единичные значения), коды с проверкой чётности или нечётности, коды Хемминга и др.

В связи с этим всегда стоит задача преобразования информации из одного кода в другой. Эти задачи решают комбинационные устройства – преобразователи кодов.

Преобразователем кода называется комбинационное устройство, предназначенное для изменения вида кодирования информации. Как и всякое комбинационное устройство преобразователь кодов характеризуется таблицей истинности, ставящей в соответствие кодам, подаваемым на вход, коды, снимаемые с выхода устройства.

Эта таблица должна давать однозначное соответствие входным и выходным кодам. Эта таблица является основанием для синтеза логической структуры конкретного преобразователя кода. Условное графическое изображение преобразователя кодов приведено на рисунке 16.1:

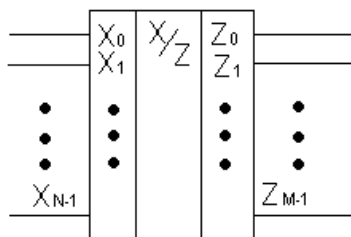


рис.16.1

Преобразование из одного кода в другой занимает важное место в работе с цифровыми устройствами.

Сводная таблица стандартных кодов поможет в выполнении таких преобразований (таблица 16.4).

Частным случаем преобразователей кодов является шифраторы и дешифраторы.

## 16.5. Шифраторы. Дешифраторы. Мультиплексоры. Демультимплексоры

Шифратором, или кодером, называется комбинационное логическое устройство для преобразования чисел из десятичной системы счисления в двоичную. Входам шифратора последовательно присваиваются значения десятичных чисел, поэтому подача активного логического сигнала на один из входов воспринимается шифратором как подача соответствующего десятичного числа. Этот сигнал преобразуется на выходе шифратора в двоичный код.

Согласно сказанному, если шифратор имеет  $n$  выходов, число его входов должно быть не более чем  $2^n$ . Шифратор, имеющий  $2^n$  входов и  $n$  выходов, называется полным.

Если число входов шифратора меньше  $2^n$ , он называется неполным.

табл.16.4

Десятичные числа	Двоичные числа	Двоично-десятичные числа		Код Грея
		8421	С избытком 3	
0	0000	0000	0011	0000
1	0001	0001	0100	0001
2	0010	0010	0101	0011
3	0011	0011	0110	0010
4	0100	0100	0111	0110
5	0101	0101	1000	0111
6	0110	0110	1001	0101
7	0111	0111	1010	0100
8	1000	1000	1011	1100
9	1001	1001	1100	1101
10	1010	0001 0000	0100 0011	1111
11	1011	0001 0001	0100 0100	1110
12	1100	0001 0010	0100 0101	1010
13	1101	0001 0011	0100 0110	1011
14	1110	0001 0100	0100 0111	1001
15	1111	0001 0101	0100 1000	1000
16	10000	0001 0110	0100 1001	11000
17	10001	0001 0111	0100 1010	11001
18	10010	0001 1000	0100 1011	11011
19	10011	0001 1001	0100 1100	11010
20	10100	0010 0000	0101 0011	11110

Основное применение шифратора в цифровых системах — это введение первичной информации с клавиатуры.

При нажатии любой клавиши на соответствующий вход шифратора подается сигнал лог. 1, который и преобразуется на выходе в двоично-десятичный код.



Дешифратором, или декодером, называется комбинационное логическое устройство для преобразования чисел из двоичной системы счисления в десятичную.

Согласно определению дешифратор относится к классу преобразователей кодов.

Здесь также понимается, что каждому входному двоичному числу ставится в соответствие сигнал, формируемый на определенном выходе устройства.

Таким образом, дешифратор выполняет операцию, обратную шифратору.

Если число адресных входов дешифратора  $n$  связано с числом его выходов  $m$  соотношением  $m = 2^n$ , то дешифратор называют полным. В противном случае, т. е. если  $m < 2^n$ , дешифратор называют неполным.

### 16.5.1. Шифраторы и дешифраторы

На рисунке 16.2 показана система, в которой используются шифраторы и дешифраторы.

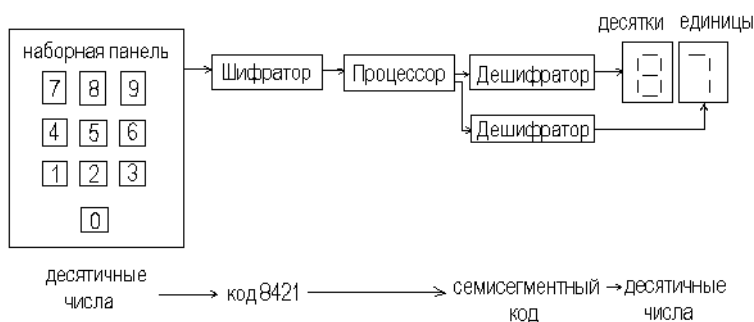


рис.16.2

Шифратор в этой системе преобразует десятичные числа в код 8421 (рис. 16.3).

Очень распространённым выходным устройством отображения десятичных чисел является семисегментный инди-

катор. Семь светящихся сегментов индикатора обозначены буквами от а до g (рис.16.4):

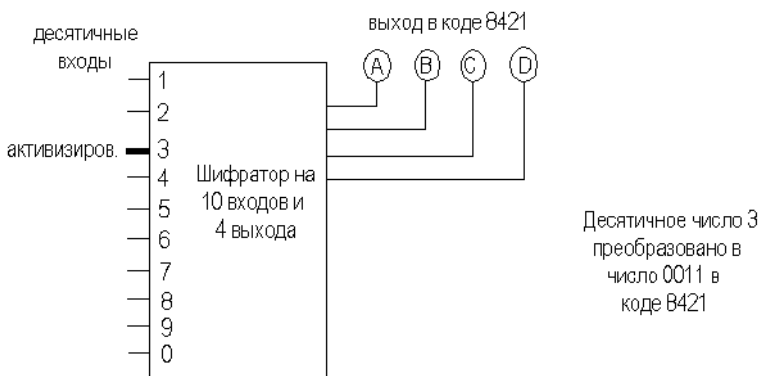


рис.16.3



рис.16.4

Каждый сегмент светится в зависимости от технологии изготовителя:

- накаливающие индикаторы;
- газоразрядные трубки;
- флуоресцентные индикаторы;
- на жидких кристаллах;
- арсенид галлия (светодиодные).

Условная схема работы индикатора приведена на рис.16.5.: Например, если нужно засветить цифру «7», необходимо замкнуть ключи а, в и с. и т.д.

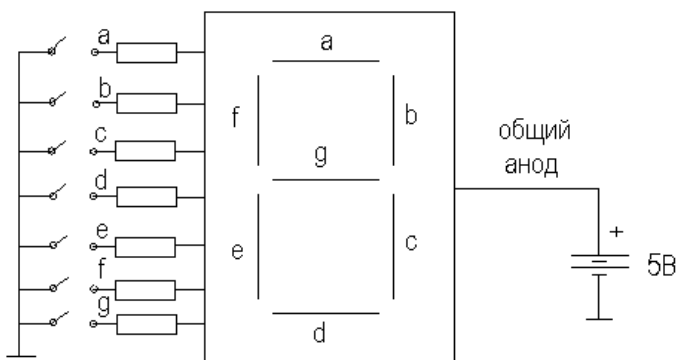


рис.16.5

На практике вместо ключей используют интегральную схему – индикаторный формирователь. Этот формирователь, как правило, помещают в один корпус с дешифратором (говорят о семисегментных дешифраторах – формирователях).

Дешифратор (рис.16.6), подобно шифратору, служит для преобразования кодов – переводит код 8421 в десятичный (по рис. 16.1).

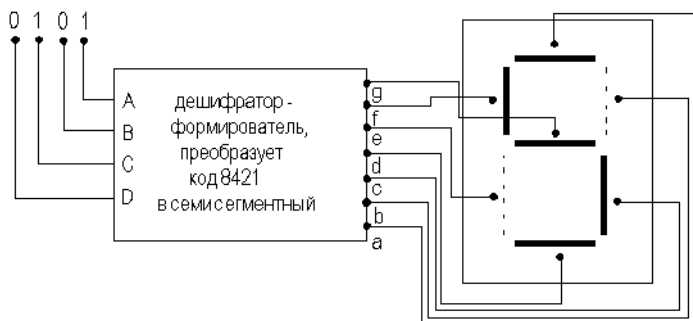


рис.16.6

Таблица истинности может быть представлена в следующем виде (табл.16.5):

табл.16.5

Десятич- ное чис- ло	Входы				Выходы						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	+	+	+	+	+	+	-
1	0	0	0	1	-	+	+	-	-	-	-
2	0	0	1	0	+	+	-	+	+	-	+
3	0	0	1	1	+	+	+	+	-	-	+
4	0	1	0	0	-	+	+	-	-	+	+
5	0	1	0	1	+	-	+	+	-	+	+
6	0	1	1	0	-	-	+	+	+	+	+
7	0	1	1	1	+	+	+	-	-	-	-
8	1	0	0	0	+	+	+	+	+	+	+
9	1	0	0	1	+	+	+	+	-	+	+

Кроме входов ABCD в ИС имеются входы: контроль свечения – при активизации этого входа даётся разрешение на свечение индикаторов а...g; гашение – для сброса показаний (свечение индикаторов отсутствует) подавления нулей более высоких (старших) разрядов (рис.16.7):

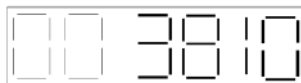


рис.16.7

Ограничивающие резисторы (150 Ом) ограничивают ток индикатора (светодиода) до уровня  $\approx 20\text{мА}$  (для предотвращения выхода из строя светодиода).

### 16.5.2. Мультиплексоры и демультиплексоры

Мультиплексором называют устройство, предназначенное для управляемой передачи данных от нескольких источников информации в один канал.

Типовое применение мультиплексора – передача информации от нескольких разнесённых в пространстве источников информации (датчиков) на вход одного приёмника. Главное условие, чтобы промежуток времени между двумя измерениями (от датчиков) был существенно меньше постоянной времени изменения измеряемого параметра (например, датчики измерения температуры). Мультиплексор имеет один выход и две группы входов: адресные и информационные. Если число адресных входов равно  $n$ , то число информационных входов может быть  $2^n$ . Например, если число адресных входов равно 2, то таблица истинности работы мультиплексора может быть представлена (табл.16.6):

табл.16.6

E	A1	A0	Q
1	-	-	0
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3

Здесь учтено, что в мультиплексоре имеется дополнительный вход разрешения работы  $E$  (стробирующий вход).

Если  $E=1$ , то выходы мультиплексора не зависят от его входных сигналов.

Булево выражение:

$$Q = D_0 \overline{A_1} \overline{A_0} \overline{E} + D_1 \overline{A_1} A_0 \overline{E} + D_2 A_1 \overline{A_0} \overline{E} + D_3 A_1 A_0 \overline{E}$$

Условное графическое изображение мультиплексора ИС серии 555КП7 выглядит (рис.16.8):

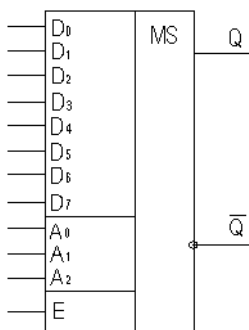


рис.16.8

$\overline{Q}$  - дополнительный инверсный выход. Обычно, число входов (информационных) не превышает 16. Если же необходимо иметь большее число входов, то строят так называемую иерархическую лестницу (мультиплексорное дерево).

Например, из 4-х входовых мультиплексоров можно построить 16 -входовое мультиплексорное дерево:

устройство содержит мультиплексоры 1-го и 2-го уровня. Мультиплексоры 1-го уровня управляются младшими разрядами адресного слова; 2-го уровня – старшими разрядами.

Например, задан адрес 0110 (шесть). Для младших разрядов этого адреса (10) срабатывают входы  $D_2$ : (см. табл.26.2) к мультиплексорам 1-го рода подключаются сигналы  $X_2, X_6, X_{10}, X_{14}$  (рис.16.9):

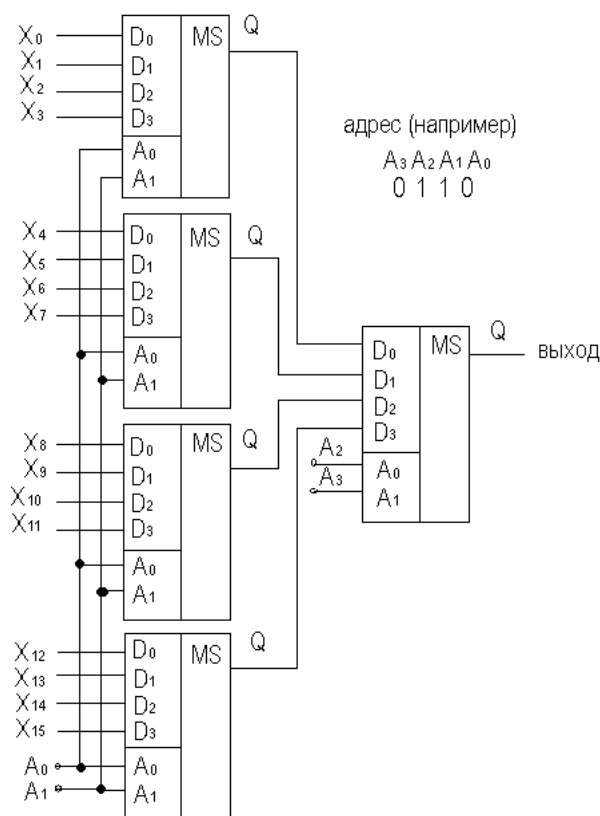


рис.16.9

Из этих сигналов мультиплексор 2-го уровня в соответствии со старшими разрядами адресного слова 01 выбирает сигнал по входу  $D_1$ , т.е. на выходе  $Q$  появится сигнал  $X_6$ , что и будет соответствовать заданному адресу ( $0110 = 6$ ).

При передаче данных помимо мультиплексирования возникает обратная задача: распределить информацию из одного канала по различным (нескольким) приёмникам.

Эту задачу решают демультиплексоры.

Демультиплексором называется логическое комбинационное устройство, предназначенное для управляемой передачи данных из одного источника информации в несколько выходных каналов.

Согласно определению, демультиплексор имеет один информационный вход,  $n$  адресных входов и  $2^n$  выходов (рис.16.10).

Таблица истинности для демультиплексора с двумя адресными входами и входом разрешения работы  $E$  имеет вид (табл.16.7):

табл.16.7

E	A1	A0	Q0	Q1	Q2	Q3
1	x	x	0	0	0	0
0	0	0	D	0	0	0
0	0	1	0	D	0	0
0	1	0	0	0	D	0
0	1	1	0	0	0	D



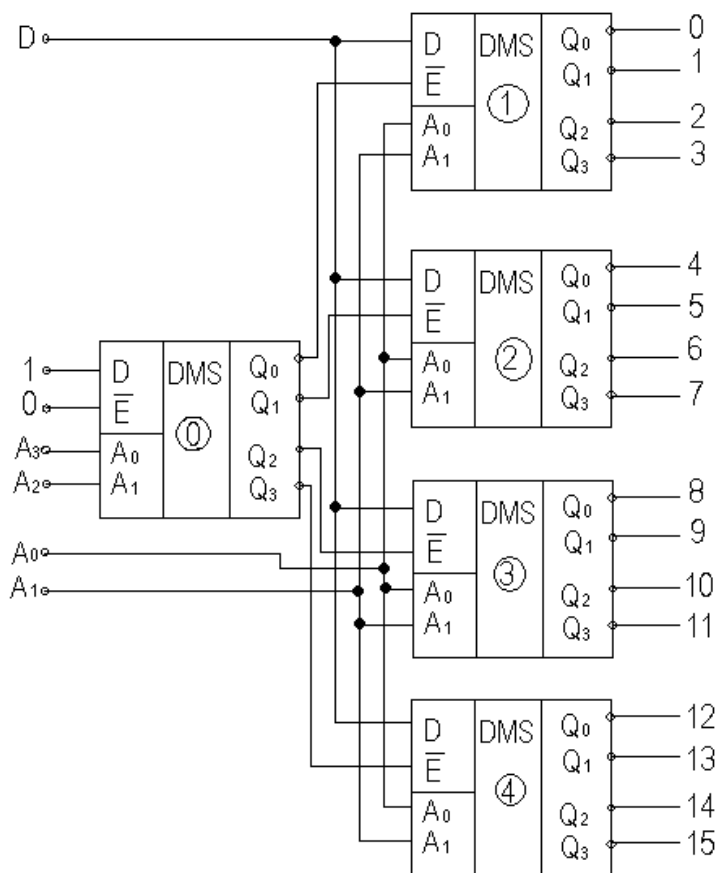


рис.16.10

Булевы выражения для демультиплексора:

$$Q_0 = D\overline{A_1}\overline{A_0}\overline{E} \quad Q_1 = D\overline{A_1}A_0\overline{E} \quad Q_2 = DA_1\overline{A_0}\overline{E} \quad Q_3 = DA_1A_0\overline{E}$$

Для увеличения числа выходов можно также строить демультиплексорное дерево; его структура зеркально отображает структуру мультиплексорного дерева. При этом демультиплексор 1-го уровня управляется младшими разрядами адресного слова, а 2-го уровня – его старшими разрядами. Обязательно должны быть входы разрешения работы (стробирование).

Например, адрес 0110 = 6: старшие (01) разряды приводят (см. табл.16.7) к появлению сигнала  $\overline{Q}$  на выходе старшего уровня, т.е. 1-й, 3-й и 4-й демультиплексоры закрыты; для младших разрядов (10) в демультиплексоре открыт выход  $Q_2$  (канал №6).

### Выводы по теме

1. Каждой тетраде (четырем цифрам) двоично-десятичного числа (числа в коде 8421) соответствует разряд десятичного числа. Код 8421 широко применяется в цифровых системах.

2. В коде с избытком 3 к каждой цифре десятичного числа прибавляем 3 и заменяем полученные цифры соответствующими четырёхзначными двоичными числами. Значимость двоичных чисел в разрядах отличается от обычной двоичной системы и от чисел в коде 8421. Код с избытком 3 используется во многих цифровых схемах.

3. Важной особенностью кода Грея является то, что при переходе к следующему, ниже расположенному числу дос-

таточно в предыдущем числе изменить только одну цифру. Этот код нельзя использовать в арифметических схемах. Его применяют во входных и выходных устройствах цифровых систем.

4. При передаче информации по линиям связи удобно использовать коды, позволяющие например, уменьшить вероятность появления ошибки, или даже исправлять её в дальнейшем.

В связи с этим всегда стоит задача преобразования информации из одного кода в другой. Эти задачи решают комбинационные устройства – преобразователи кодов.

5. Преобразователем кода называется комбинационное устройство, предназначенное для изменения вида кодирования информации. Как и всякое комбинационное устройство преобразователь кодов характеризуется таблицей истинности, ставящей в соответствие кодам, подаваемым на вход, коды, снимаемые с выхода устройства.

6. Шифратором, или кодером называется комбинационное логическое устройство для преобразования чисел из десятичной системы счисления в двоичную.

7. Шифратор, имеющий  $2^n$  входов и  $n$  выходов, называется полным. Если число входов шифратора меньше  $2^n$ , он называется неполным.

8. Основное применение шифратора в цифровых системах — это введение первичной информации с клавиатуры.

9. Дешифратором, или декодером называется комбинационное логическое устройство для преобразования чисел из двоичной системы счисления в десятичную. Согласно определению дешифратор относится к классу преобразователей кодов.

10. Если число адресных входов дешифратора  $n$  связано с числом его выходов  $m$  соотношением  $m = 2^n$ , то дешифратор называют полным. В противном случае, т. е. если  $m < 2^n$ , дешифратор называют неполным.

11. Очень распространённым выходным устройством отображения десятичных чисел является семисегментный индикатор.

12. Дешифратор, подобно шифратору, служит для преобразования кодов – переводит код 8421 в десятичный.

13. Мультиплексором называют устройство, предназначенное для управляемой передачи данных от нескольких источников информации в один канал. Типовое применение мультиплексора – передача информации от нескольких разнесённых в пространстве источников информации (датчиков) на вход одного приёмника.

14. Демультиплексором называется логическое комбинационное устройство, предназначенное для управляемой передачи данных из одного источника информации в несколько выходных каналов.

### **Задания и вопросы для самоконтроля по теме**

1. Приведите пример преобразования десятичного числа в число в коде 8421.

2. Приведите пример преобразования числа в коде 8421 в десятичное число.

3. Приведите пример преобразования десятичного числа в число в коде с избытком 3.

4. Какие задачи решают комбинационные устройства – преобразователи кодов?

5. Чем характеризуется комбинационное устройство как преобразователь кодов?

6. Приведите примеры устройств - преобразователей кодов.

7. Дайте определение, основное назначение и поясните принцип работы шифратора.

8. Что такое «полный» и «неполный» шифратор?

9. Приведите объяснение работы семисегментного индикатора как выходного устройства отображения десятичных чисел.

10. Дайте определение, основное назначение и поясните принцип работы дешифратора.

11. Что такое «полный» и «неполный» дешифратор?

12. Приведите объяснение работы дешифратора при использовании семисегментного индикатора как выходного устройства отображения десятичных чисел.

13. Дайте определение, основное назначение и поясните принцип работы мультиплексора.

14. Что такое «мультиплексорное дерево»?

15. Дайте определение, основное назначение и поясните принцип работы демультиплексора.

16. Что такое «демультиплексорное дерево»?

## Лекция 17

### Тема: триггеры. Схемы фиксаторов. Запуск триггеров

Все логические схемы разделяют на два класса:

- комбинационные логические схемы, в которых используются логические элементы «И», «ИЛИ», «НЕ» и др.

- последовательностные схемы, к которым относятся времязадающие и запоминающие устройства. В последовательностных схемах состояние на выходе зависит от состояния входов в предыдущие моменты времени.

Исходной ячейкой в комбинационных схемах являются логические элементы. Для последовательностных схем роль структурной ячейки играет триггер. Соединение триггеров позволяет получать счетчики, регистры, запоминающие устройства.

Триггером называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала. Именно способность формировать на выходе два устойчивых значения сигнала, которые могут поддерживаться без изменения сколь угодно долго, и позволяет применять триггер в качестве элемента памяти. В качестве триггера, как правило, используется операционный усилитель с цепью положительной обратной связи.

Входы триггера разделяют на информационные и управляющие (вспомогательные). Это разделение в значительной степени условно. Информационные входы используются для управления состоянием триггера. Управляющие входы обычно используются для предварительной установки триггера в некоторое состояние и для синхронизации.

Триггеры могут иметь 2 выхода: прямой  $Q$  и инверсный  $\bar{Q}$ .

Триггеры классифицируют по различным признакам, поэтому существует достаточно большое число классификаций. К сожа-

лению, эти классификации не образуют стройной системы, но инженеру необходимо их знать.

Триггеры классифицируют по следующим признакам:

- способу приема информации;
- принципу построения;
- функциональным возможностям.

Различают асинхронные и синхронные триггеры.

Асинхронный триггер изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала.

Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации *C* (от англ. *clock*). Этот вход также обозначают терминами «строб», «такт».

Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации *C*.

Статические триггеры воспринимают информационные сигналы при подаче на вход *C* логической единицы (прямой вход) или логического нуля (инверсный вход).

Динамические триггеры воспринимают информационные сигналы при изменении (перепаде) сигнала на входе *C* от 0 к 1 (прямой динамический *C*-вход) или от 1 к 0 (инверсный динамический *C*-вход).

Статические триггеры в свою очередь подразделяют на одноступенчатые (однотактные) и двухступенчатые (двухтактные). В одноступенчатом триггере имеется одна ступень запоминания информации, а в двухступенчатом — две такие ступени. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе. Двухступенчатый триггер обозначают через *ТТ*.

По функциональным возможностям триггеры разделяют на следующие классы:

- с отдельной установкой состояния 0 и 1 (RS-триггеры);
- универсальные (JK-триггеры);
- с приемом информации по одному входу  $D$  (D-триггеры, или триггеры задержки);
  - со счетным входом  $T$  ( $T$ -триггеры).

Входы триггеров обычно обозначают следующим образом:

$S$ — вход для установки в состояние «1»;

$R$ — вход для установки в состояние «0»;

$J$ — вход для установки в состояние «1» в универсальном триггере;

$K$ — вход для установки в состояние «0» в универсальном триггере;

$T$ — счетный (общий) вход;

$D$ — вход для установки в состояние «1» или в состояние «0»;

$V$ — дополнительный управляющий вход для разрешения приема информации (иногда используют букву  $E$  вместо  $V$ ).

### 17.1. RS-триггер (асинхронный)

RS-триггер имеет два выхода:  $Q$  и  $\bar{Q}$  (прямой и инверсный), и два входа: R-вход (установка 0) и S-вход (установка 1).

Графически RS-триггер обозначается (рис.17.1):

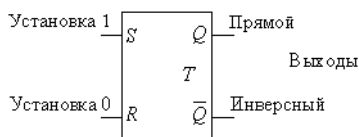


рис.17.1



Таблица истинности для RS-триггера (табл.17.1).

табл.17.1

Режим работы	Входы		Выходы		Влияние на выход $Q$
	$S$	$R$	$Q$	$\bar{Q}$	
Запрещенное состояние	0	0	1	1	Запрещено; не используется
Установка 1	0	1	1	0	Установка $Q$ в 1
Установка 0	1	0	0	1	Установка $Q$ в 0
Хранение	1	1	$Q$	$\bar{Q}$	Зависит от предыдущих состояний

В соответствии с таблицей истинности:

а) при установке на входе  $S = 0$  и  $R = 0$  на выходах  $Q$  и  $\bar{Q}$  устанавливается уровень логической единицы ( $Q = \bar{Q} = 1$ ). Это запрещённое состояние.

б) при  $S = R = 1$  – триггер находится в состоянии покоя, т.е. сохраняются ранее установленные уровни – это режим хранения.

в) установку триггера в состояние 1 на выходе  $Q$  инициирует логический 0 на входе  $S$ .

г) установку триггера в состояние 0 на выходе  $Q$  инициирует логический 0 на входе  $R$ .

Для этого режима более правильное изображение асинхронного триггера было бы (рис.17.2)

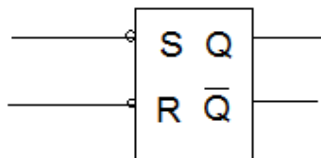


рис.17.2

Инвертирующие кружки у входов R и S означают, что активным является логический ноль.

RS-триггер можно приобрести в готовом виде (однокорпусная микросхема), либо собрать из логических элементов «И-НЕ» - рис.17.3:

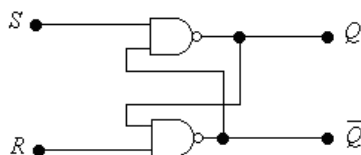


рис.17.3

Таблица истинности может быть представлена временными диаграммами, отображающими работу RS-триггера (рис.17.4).

Диаграммы, поясняющие принцип работы асинхронного RS-триггера, полностью повторяют данные таблицы истинности.

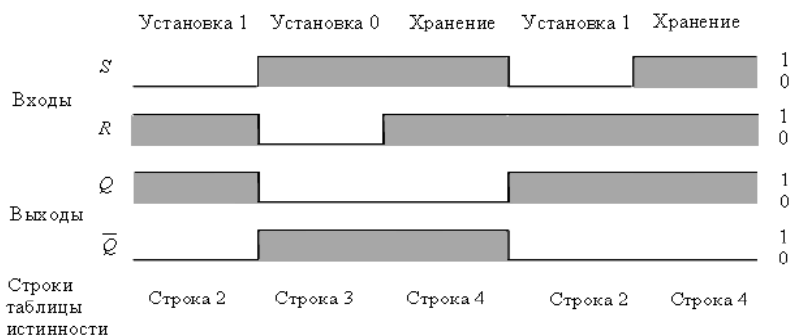


рис.17.4

RS-триггер называют также RS-фиксатором, или триггером с отдельными входами.

## 17.2. Синхронный (тактируемый) RS-триггер

Графическое отображение (рис.17.5):



рис.17.5

Его временные диаграммы работы (рис.17.6):



рис.17.6

а) Когда на входах S и R устанавливается уровень 0, тактовый импульс (1) не влияет на состояние выходов. В это время триггер находится в режиме хранения.

б) Во время предустановки входа  $S$ , когда на этот вход подана 1, выходы триггера также не изменяются своего состояния.

в) Во время действия логической 1 на входе  $S$  только после появления тактового импульса 2 происходит изменение состояния выходов  $Q$  и  $\bar{Q}$ .

г) Тактовые импульсы 3 и 4 не влияют на состояние выходов (для импульса 3 продолжается режим предустановки; для импульса 4 – режим хранения).

д) Затем осуществляется предустановка входа  $R$  (подается логическая 1).





На фронте импульса 5 происходит сброс (очистка) выхода  $Q$  (перевод в 0); во время прохождения импульсов 5 и 6 триггер находится в режиме установки 0, а во время прохождения импульса 7 – в режиме хранения.

Т.о., режим триггера изменяется только в моменты тактовых импульсов, т.е. триггер работает синхронно (находится в синхронизме) с тактовыми импульсами.

Этот режим является основным для большого количества вычислительных устройств.

Исключительную роль играет характеристика RS-триггера – режим хранения, или режим наличия памяти: если триггер установлен в состояние 0 или 1, то он может оставаться в этом состоянии даже при изменении входных сигналов (во время прохождения импульсов 1, 4 и 7 - см. рис.17.6). Таблица истинности для синхронного RS-триггера (табл.17.2):

табл.17.2

Режим работы	Входы			Выходы		Влияние на выход $Q$
	CLK	S	R	$Q$	$\overline{Q}$	
Хранение		0	0	Без изменений		Без изменений
Установка 0		0	1	0	1	Сброс, или очистка в состояние 0
Установка 1		1	0	1	0	Установка в состояние 1
Запрещенное состояние		1	1	1	1	Запрещено; не используется

Возможно построение RS-триггера на элементах «И-НЕ» - рис. 17.7:

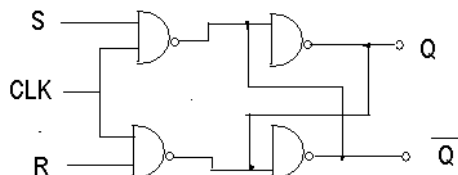


рис. 17.7

Необходимо отметить, что только три верхние строки таблицы истинности описывают реальные режимы работы триггера. Нижняя строка соответствует запрещенному состоянию, которое никогда не используется

### 17.3. D-триггер (триггер с задержкой)

Условное обозначение (рис.17.8):



рис. 17.8

Таблица истинности (табл.17.3):

табл.17.3

Вход	Выход
$D^n$	$Q^{n+1}$
0	0
1	1

Имеется только один информационный вход D и один синхронизирующий CLK.

**D-триггер называется триггером с задержкой.** Слово “задержка” здесь характеризует то, что информация со входа D (0,1) задерживается в триггере ровно на один такт, прежде чем появляется на выходе Q. Данная ситуация отображена в таблице истинности: сигнал на выходе Q в такте n+1 повторяет сигнал, который был на входе D в предыдущем такте n.

Возможно построение D-триггера на элементах RS-триггера и логического элемента «НЕ») – рис.17.9:

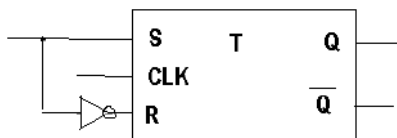



рис.17.9

подробная таблица истинности D – триггера (табл.17.4):

табл.17.4

ВХОДЫ		ВЫХОДЫ	
CLK	D	Q	$\bar{Q}$
0	0	0	1
	1	1	0
	0	0	1

#### 17.4. D-триггеры с дополнительными входами

Промышленный, серийно выпускаемый вариант D-триггера с дополнительными входами представлен на рис. 17.10:

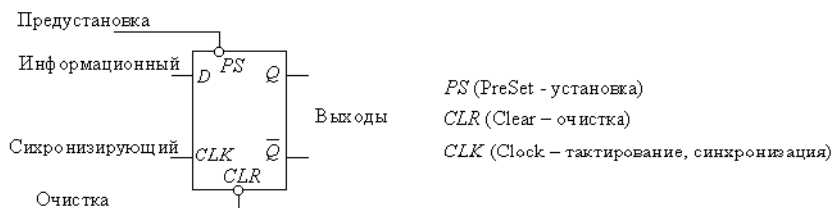


рис. 17.10

Таблица истинности (табл.17.5):

табл.17.5

Режим работы	Входы				Выходы	
	асинхронный		синхронный		$Q$ $\overline{Q}$	
	PS	CLR	CLK	D		
Асинхронная установка 1	0	1	×	×	1	0
Асинхронная установка 0	1	0	×	×	0	1
Запрещенное состояние	0	0	×	×	1	1
Установка 1	1	1	↑	1	1	0
Установка 0	1	1	↑	0	0	1

× - любое состояние; ↑ - переход от низкого (0) уровня к высокому (1).

Если входы PS и CLR активны (0 и 0, см. табл. 5.3), то они блокируют входы D и CLK – режим работы асинхронный.

При этом D и CLK могут быть в любом состоянии (×).



Если входы PS и CLR неактивны (1, 1), то D-триггер работает в режиме синхронизации с тактовыми импульсами.

Выход  $Q$  повторяет состояние входа D, пока тактовый импульс имеет значение (1) и запоминает этот логический уровень входа D на все время отрицательного тактового импульса. Это удобная маленькая память широко применяется в измерительных приборах с цифровым отсчетом.

Принцип работы D-триггера (с дополнительными входами)):

а) логический 0 на входе PS инициирует логическую 1 на выходе Q;

б) логический 0 на входе CLR инициирует очистку выхода Q – установку логического 0 на выходе Q;

в) логический 0 на входах CLR и PS – активное состояние входов CLR и PS блокирует действие входов D и CLK, т.е. эти входы не изменяют состояние D-триггера – асинхронный режим;

г) состояние - одновременное наличие логического нуля на входах CLR и PS – запрещённое состояние;

д) если оба асинхронных входа находятся в неактивном состоянии -  $CLR = 1$  и  $PS = 1$ , то D-триггер работает по командам с D и CLK входов как синхронный D-триггер;

е) в синхронном режиме D-триггер по входу D срабатывает при положительном импульсе на входе CLK – по фронту.

## **17.5. JK-триггеры. Схемы фиксаторов. Запуск триггеров. JK-триггер (ждуший мультивибратор)**

Рассмотрим JK-триггер (от англ. *jump keep*), отличающийся от рассмотренных RS-триггеров тем, что появле-

ние на обоих информационных входах ( $J$  и  $K$ ) логических единиц (для прямых входов) приводит к изменению состояния триггера. Такая комбинация сигналов для JK-триггера не является запрещенной. В остальном JK-триггер подобен RS-триггеру, причем роль входа  $S$  играет вход  $J$ , а роль входа  $R$  — вход  $K$ . JK-триггеры реализуют в виде динамических триггеров (будет рассмотрено ниже), т. е. JK-триггеры являются синхронными.

**JK-триггер (ждущий мультивибратор)** - это наиболее широко используемый универсальный триггер, обладающий характеристиками всех других триггеров.

Таблица истинности (табл.17.6):

строка 4 характеризует важный переключательный режим: если на входах  $J$  и  $K$  установлена 1, то следующие друг за другом тактовые импульсы будут вызывать перебросы уровней на выходе от 1 к 0, от 0 к 1, и т.д.

табл.17.6

Режим работы	Входы			Выходы		Влияние на выход
	CLK	J	K	$Q$	$\bar{Q}$	
Хранение		0	0	Без изменения		Без изменения; блокировка
Установка 0		0	1	0	1	Сброс или очистка в 0
Установка 1		1	0	1	0	Установка 1
Переключение		1	1	Переключаются		Изменение состояния на противоположное

Условное обозначение (рис.17.11):

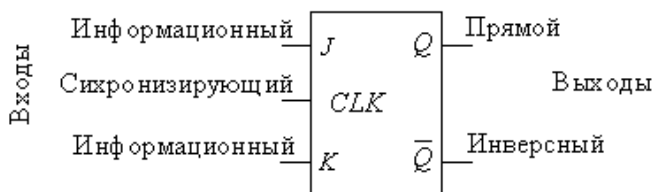


рис. 17.11

## 17.6. JK-триггер с дополнительными входами





JK-триггер в интегральном исполнении имеет два дополнительных входа (асинхронных): предустановки PS и очистки CLR (рис. 17.12)




рис. 17.12

Таблица истинности (табл.17.7):

табл.17.7

Режим работы	Входы					Выходы	
	асинхронный		синхронный				
	PS	CLR	CLK	J	K	$Q$	$\overline{Q}$
Асинхронная установка 1	0	1	X	X	X	1	0
Асинхронная установка 0	1	0	X	X	X	0	1
Запрещенное состояние	0	0	X	X	X	1	1
Хранение	1	1		0	0	Без изменений	
Установка 0	1	1		0	1	0	1
Установка 1	1	1		1	0	1	0
Переключение	1	1		1	1	Противоположное состояние	

X - любое состояние;  - положительный тактовый импульс

Входы PS и CLR в активных состояниях блокируют действие синхронных входов (J, K, CLK), и их состояние не отражается на выходных сигналах.

При блокировании входов PS и CLR (1) триггер работает по входам J, K и CLK в синхронном режиме, обеспечивая переключение 0-1, установку 0 и 1 и их хранение (фиксацию).

Триггеры JK широко применяются в основном в счетчиках, в сдвиговых регистрах, элементах задержки сигнала, делителях частоты.

## 17.7. Схемы фиксаторов

Рассмотрим две схемы с шифратором и дешифратором:

а) без буферной памяти (рис 17.13):

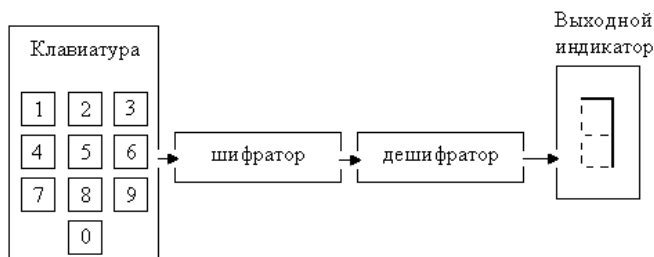


рис 17.13

Если набрать на клавиатуре цифру 7, то после отпускания клавиши цифра 7 на индикаторе погаснет. Для ее сохранения нужно запоминающее устройство для хранения двоично-десятичного кода десятичного числа 7 на входах дешифратора.

б) схема с буферной памятью (рис 17.14):

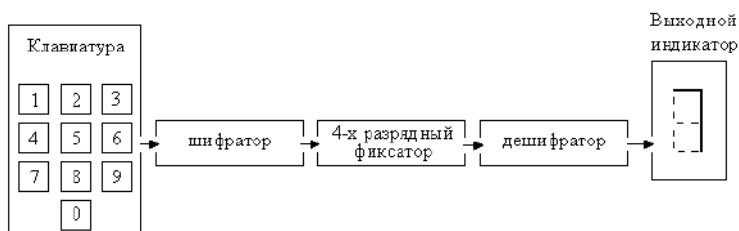


рис 17.14

Такое устройство называют фиксатором (или регистром-защелкой).

Таким устройством памяти может быть, например D-триггер или другие устройства.

Например, четырехразрядный фиксатор (типа 7475) ТТЛ-схемы, состоящий из четырех D-триггеров, объединенных в одной микросхеме (рис 17.15):

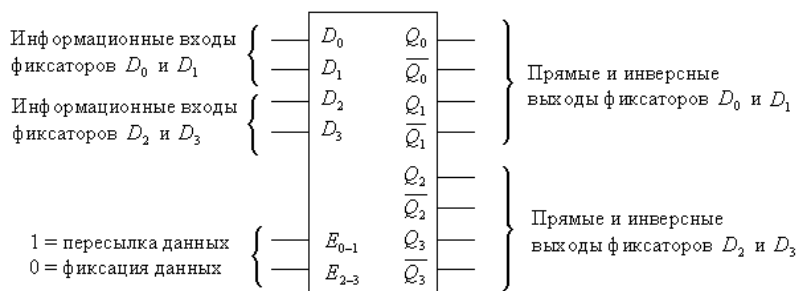


рис 17.15

Разрешающий вход  $E_{0-1}$  аналогичен синхронизирующему входу D-триггера и управляет сразу двумя триггерами  $D_0$  и  $D_1$ . Если на разрешающем входе имеется 1, то данные с входов  $D_0$  и  $D_1$  сразу передаются на выходы  $Q_0$  и  $Q_1$  (без ожидания тактовых импульсов). В этом режиме – режиме пересылки данных сигналы на  $Q$  выходах повторяют сигналы на D входах.

Таблица истинности (табл.17.8):

табл.17.8

Режим работы	Входы		Выходы	
	$E$	$D$	$Q$	$\overline{Q}$
Пересылка данных	1	0	0	1
	1	1	1	0
Фиксация данных	0	×	Без изменений	

В режиме фиксации данных сигналы на входах «запоминаются» в момент перехода в режим фиксации и далее не изменяется независимо от изменений сигналов на D-входах.

## 17.8. Запуск триггеров

Многие синхронные триггеры подразделяются также на триггеры с управлением (запуском) или по фронту или по срезу тактового импульса, а также на триггеры типа ведущий/ведомый (так называемые MS-триггеры). Триггеры типа ведущий/ведомый называют также триггерами с динамическим управлением.

### ***17.8.1. Триггеры с управлением (запуском) или по фронту или по срезу тактового импульса***

Работа триггера с управлением по фронту и по срезу тактового импульса представлена на рис 17.16:

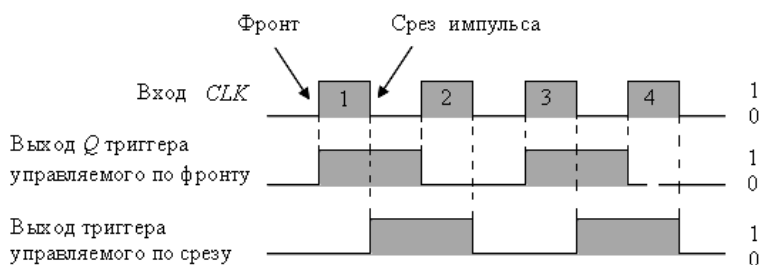


рис 17.16

Условное обозначение триггера с управлением по фронту (значок  $>$  у синхронизирующего входа - рис.17.17):

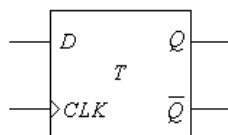


рис 17.17

Триггер, управляемый по срезу (добавлен кружок «О» у синхронизирующего входа - рис 17.18):

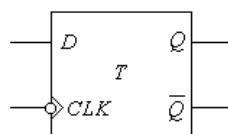


Рис.17.18



Другое обозначение динамического управления:

- управлении по фронту (рис 17.19):

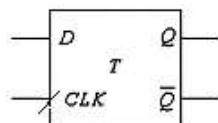


рис.17.19

- управление по срезу (рис.17.20):

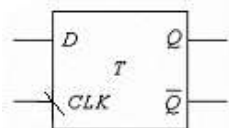


рис 17.20

Триггер-фиксатор обозначается (рис 17.21):

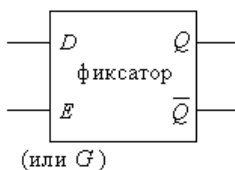


рис 17.21

D-фиксатор не рассматривается как схема с управлением по фронту или срезу тактового импульса.

Напомним, что фиксатор – это асинхронное устройство как и RS-триггер. При наличии разрешения (1) на входе E сигнал на выходе повторяет сигнал на входе. При сигнале 0 на

входе Е сигнал на выходе просто фиксируется (запоминается).

Для исключения ошибок в работе цифровых схем необходимо, чтобы за время действия тактового импульса (см. рис. 17.16) сигналы на входах J и K или D (информационные сигналы) не изменялись, т.е. не должно быть «быстрых» изменений сигналов по сравнению с длительностью тактового импульса. Иначе сигнал «проскочит» по цепочке триггеров, не запоминаясь ни в одном триггере.

### ***17.8.2. Триггеры типа ведущий/ведомый (триггеры с динамическим управлением)***

Для исключения «проскакивания» применяют способ запуска триггеров типа ведущий/ведомый (или триггер с динамическим запуском (MS-триггер)). При этом используются в тактовом импульсе и фронт, и срез (рис. 17.22):

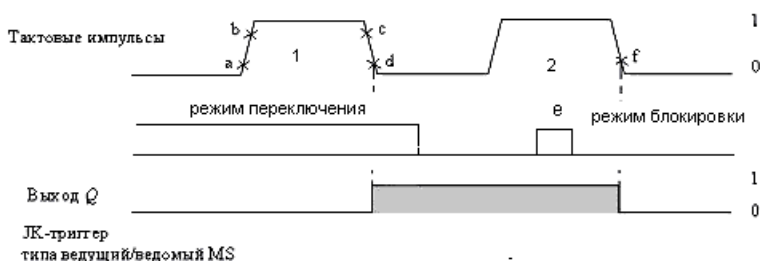


рис 17.22

- в точке «а» (фронт импульса) входы изолируются от выходов;

- в точке «b» (фронт импульса) информация поступает в триггер с J и K входов;

- в точке «с» (срез импульса) входы J и K отключаются;

- в точке «d» (срез импульса) информация передается на Q-выход.

Т.е. в качестве активного сигнала выступает не сам уровень, а его перепад (изменение) на фронте или срезе.

Такие триггеры с динамическим управлением не чувствительны к изменению информационных сигналов в течение длительности тактового импульса синхронизации.

Практически зона «запрета» изменения информационного сигнала сократилась до промежутка  $t_{ab}$  или  $t_{cd}$ . Реально это время сейчас обеспечивается  $t_{ab} \approx 20\text{нс}$  и  $t_{cd} \approx 5\text{нс}$ . Такое время достигается за счет особых схемотехнических решений.

Очень интересная характеристика триггера типа ведущий/ведомый показана на рис 17.22 – во время действия импульса 2. В начале импульса 2 выходы триггера блокируются. На очень короткое время входы J и K переводятся в состояние, соответствующее режиму переключения (точка e), затем возвращаются в исходное состояние, соответствующее режиму блокировки. JK-триггер типа ведущий/ведомый запоминает, что J и K – входы находились в режиме переключения, и переключаются в точке f на срезе тактового импульса. Такая характерная память проявляется только на вершине импульса 2 (на уровне логической единицы).

## Выводы по теме

1. Все логические схемы разделяют на два класса:

-комбинационные логические схемы, в которых используются логические элементы «И», «ИЛИ», «НЕ» и др.

-последовательностные схемы, к которым относятся времязадающие и запоминающие устройства. В последова-

тельностных схемах состояние на выходе зависит от состояния входов в предыдущие моменты времени.

2. Исходной ячейкой в комбинационных схемах являются логические элементы. Для последовательностных схем роль структурной ячейки играет триггер. Соединение триггеров позволяет получать счетчики, регистры, запоминающие устройства.

3. Триггером называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала.

4. Способность формировать на выходе два устойчивых значения сигнала, которые могут поддерживаться без изменения сколь угодно долго, и позволяет применять триггер в качестве элемента памяти. В качестве триггера, как правило, используется операционный усилитель с цепью положительной обратной связи.

5. RS-триггер (асинхронный) имеет два выхода:  $Q$  и  $\bar{Q}$  (прямой и инверсный), и два входа: R-вход (установка 0) и S-вход (установка 1). RS-триггер называют также RS-фиксатором, или триггером с отдельными входами.

6. RS-триггер можно приобрести в готовом виде (однокорпусная микросхема), либо собрать из логических элементов «И-НЕ».

7. Режим синхронного (тактируемого) RS-триггера изменяется только в моменты тактовых импульсов, т.е. синхронный (тактируемый) RS-триггер работает синхронно (находится в синхронизме) с тактовыми импульсами.

8. Исключительную роль играет характеристика синхронного RS-триггера – режим хранения, или режим наличия памяти: если триггер установлен в состояние 0 или 1, то он может оставаться в этом состоянии даже при изменении входных сигналов.

9. D-триггер называется триггером с задержкой. Слово “задержка” здесь характеризует то, что информация со входа  $D$  (0,1) задерживается в триггере ровно на один такт, прежде чем появляется на выходе  $Q$ .

10. D-триггер с дополнительными входами работает в режиме синхронизации с тактовыми импульсами. Выход  $Q$  повторяет состояние входа  $D$ , пока тактовый импульс имеет значение (1) и запоминает этот логический уровень входа  $D$  на все время отрицательного тактового импульса. Это удобная маленькая память широко применяется в измерительных приборах с цифровым отсчетом.

11. JK-триггер отличается от рассмотренных RS-триггеров тем, что появление на обоих информационных входах ( $J$  и  $K$ ) логических единиц (для прямых входов) приводит к изменению состояния триггера. Такая комбинация сигналов для JK-триггера не является запрещенной.

12. JK-триггер подобен RS-триггеру, причем роль входа  $S$  играет вход  $J$ , а роль входа  $R$  — вход  $K$ . JK-триггеры реализуют в виде динамических триггеров, т. е. JK-триггеры являются синхронными.

13. JK-триггер является наиболее широко используемым, универсальным триггером, обладающим характеристиками всех других триггеров.

14. Триггеры JK широко применяются в основном в счетчиках, в сдвиговых регистрах, элементах задержки сигнала, делителях частоты.

### **Задания и вопросы для самоконтроля по теме**

1. Что такое триггер и его особенность как ячейки памяти?
2. По каким признакам классифицируют триггеры?
3. В чем заключается суть работы синхронного триггера?

4. В чем заключается суть работы асинхронного триггера?
5. Как подразделяют синхронные триггеры по входу синхронизации  $C$ ?
6. В чем отличие статических триггеров от динамических?
7. В чем заключается отличие одноступенчатых триггеров от двухступенчатых?
8. На какие классы разделяют триггеры по функциональным возможностям?
9. Как обозначаются входы триггеров?
10. Приведите схему RS-триггера (асинхронного); объясните принцип его работы и его особенности.
11. Приведите схему синхронного (тактируемого) RS-триггера; объясните принцип его работы и его особенности.
12. Приведите схему D-триггера; объясните принцип его работы и его особенности.
13. Приведите схему D-триггера с дополнительными входами; объясните принцип его работы и его особенности.
14. Чем отличается JK-триггер от ранее рассмотренных RS-триггеров?
15. Где применяются JK-триггеры?
16. Приведите таблицу истинности для JK-триггера (ждущего мультивибратора) и объясните особенности его работы.
17. Приведите таблицу истинности для JK-триггера с дополнительными входами и объясните особенности его работы.
18. Приведите особенности работы четырехразрядного фиксатора состоящего из четырех D-триггеров, объединенных в одной микросхеме.
19. Объясните работу триггера с управлением (запуском) или по фронту, или по срезу тактового импульса.
20. Объясните работу триггера с динамическим управлением (типа ведущий/ведомый).

## Лекция 18

### Тема: счетчики; регистры; сумматоры

Счетчиком называется последовательностное устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде.

Счетчики строятся на основе  $N$  однотипных, связанных между собой разрядных схем, каждая из которых в общем случае состоит из триггера и некоторой комбинационной схемы, предназначенной для формирования сигналов управления триггером.

Почти каждая цифровая система содержит несколько счетчиков.

Основной параметр счетчика — модуль счета. Это максимальное число единичных сигналов, которое может быть сосчитано счетчиком. Счетчики обозначают через СТ (от англ. *counter*).

Счетчики классифицируют:

по модулю счета:

- двоично-десятичные;
- двоичные;
- с произвольным постоянным модулем счета;
- с переменным модулем счета;

по направлению счета:

- суммирующие;
- вычитающие;
- реверсивные;

по способу формирования внутренних связей:

- с последовательным переносом;
- с параллельным переносом;
- с комбинированным переносом;
- кольцевые.

Помимо непосредственно функции счета, счетчики могут выполнять не столь очевидные функции: адресация; делители частоты; элементы памяти.

Цифровые схемы с функцией счета можно собрать из триггеров.

### 18.1. Счетчики со сквозным переносом

Процедуры двоичного и десятичного счета приведены в табл.18.1.

табл.18.1

Двоичный счет				Десятичный счет
D	C	B	A	
8	4	2	1	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

(Число состояний от 0000 до 1111 равно 16)



Столбец А – самый младший разряд в двоичном разряде единиц. Столбец D – самый старший разряд в двоичном разряде восьмерок.

Модуль счета – число состояний счетчика в процесс полного цикла.

В данном случае имеем счетчик по модулю 16.

Функциональная схема счетчика по модулю 16 (рис.18.1):

T1...T4 – JK-триггеры, работающие в режиме переключения ( $J=K=1$ ).

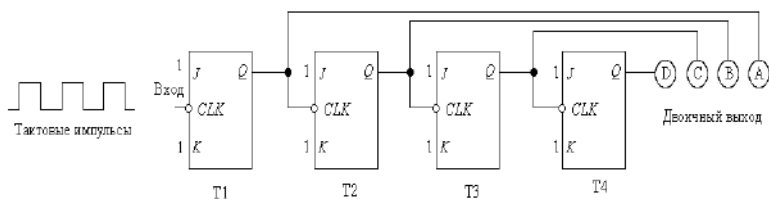


рис. 18.1

Работа счетчика показана на временных диаграммах (рис. 18.2):

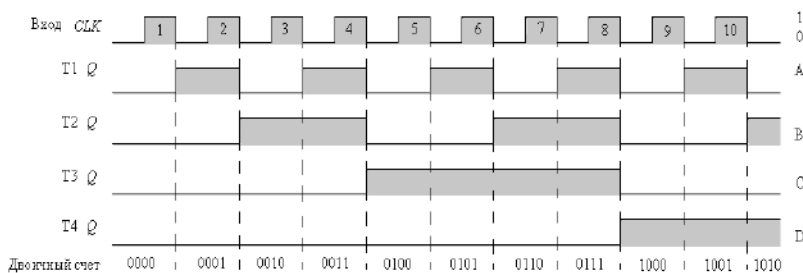


рис. 18.2

Если начальное состояние счетчика было 0000 (счетчик очищен), то после прохождения первого импульса (по срезу) срабатывает триггер Т1 ( $Q = 1$ ) и на индикаторе появится двоичное число 0001.

После прохождения импульса 2 триггер Т1 переходит в исходное состояние 0 ( $Q=0$ ), переключается триггер Т2 ( $Q=1$ ), и на выходе триггера Т2 появится число 0010. Счет продолжается – срез сигнала на выходе каждого триггера запускает следующий триггер.

В столбце А таблице цифры 0 и 1 переключаются на каждом этапе счета. В столбце В – в два раза реже и т.д., каждый раз в два раза реже.

Изменение состояний последовательно распространяется от триггера к триггеру – это счетчик со сквозным переносом, или четырехразрядный счетчик, или асинхронный счетчик.

## 18.2. Асинхронный счетчик по модулю 10

Счетчик по модулю 10 считает от 0000 до 1001 (от 0 до 9 в десятичной системе – до жирной черты по таблице 29.1). Схема представлена на рис. 18.3:

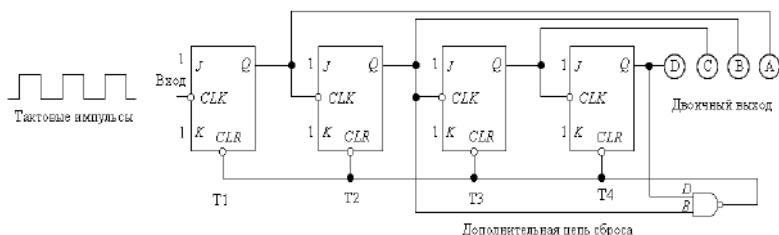


рис. 18.3

В схему асинхронного счетчика добавлен элемент «И-НЕ» для установки всех триггеров в нулевое состояние (очистка

счетчика) с приходом десятого импульса (т.е. с приходом первого импульса после того, как счетчик сосчитал 1001 или до 9 в десятичной системе).

Из таблицы 18.1 видно, что с приходом числа 1010 (10 в десятичной системе) на входы логического элемента «И-НЕ» попадут 1 из разряда двоек и 1 из разряда восьмерок. При этом элемент «И-НЕ» установит все триггеры в состояние 0, или на выходе счетчика получим 0000. Это – асинхронный счетчик по модулю 10, или декадный (десятичный) счетчик.

### 18.3. Синхронные счетчики

Недостаток асинхронных счетчиков – относительно низкое быстродействие, так как работа триггеров идет последовательно.

Для увеличения скорости счета применяют синхронные счетчики, где все ступени счетчика работают одновременно.

Рассмотрим работу синхронного счетчика на примере трех разрядного счетчика (по модулю 8) - рис. 18.4:

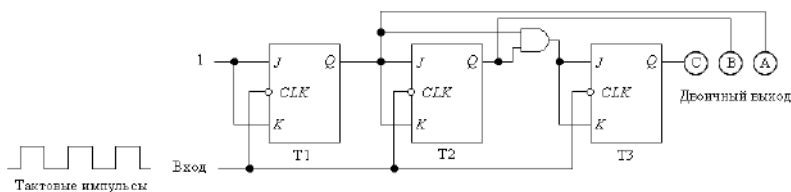


рис. 18.4

Таблица истинности (табл.18.2):

табл.18.2

Строка	Номер тактового импульса	Двоичная счетная последовательность			Десятичные числа
		С	В	А	
1	0	0	0	0	0
2	1	0	0	1	1
3	2	0	1	0	2
4	3	0	1	1	3
5	4	1	0	0	4
6	5	1	0	1	5
7	6	1	1	0	6
8	7	1	1	1	7
9	8	0	0	0	0

Столбец А – двоичный разряд единиц; счет в этом разряде ведет триггер Т1. Столбец В – двоичный разряд двоек – счет ведет триггер Т2. Столбец С – двоичный разряд четверок – счет ведет триггер Т3. Тактовые импульсы поступают на входы CLK одновременно на все триггеры.

Первый импульс (строка 2) – переключается из состояния 0 в состояние 1 только триггер Т1, так как только у него имеется одновременно на входах J и К логическая единица. На выходе счетчика – 001 (десятичное число 1).

Второй импульс (строка 3) – переключаются два триггера: первый переходит в состояние 0, второй триггер – в состояние 1.

На выходе счетчика 010 (цифра 2).

Третий импульс (строка 4) – переключается только один триггер: Т1 переходит из состояния 0 в 1. На выходе – 011 (число 3) и т.д. (по таблице).

Логика работы: первый триггер работает с каждым тактовым импульсом; второй триггер – только когда на его входах J, K имеется 1 (т.е.  $A=1$ ); третий триггер – только когда  $A=1$  и  $B=1$  (таблица 29.2), т.е. когда на их входах  $J=K=1$ . Синхронные счетчики – довольно сложные устройства.

## 18.4. Вычитающие счетчики

В ряде случаев необходим обратный счет – от больших чисел к меньшим. Такие счетчики называют вычитающими счетчиками, или счетчиками обратного действия (рис. 18.5):

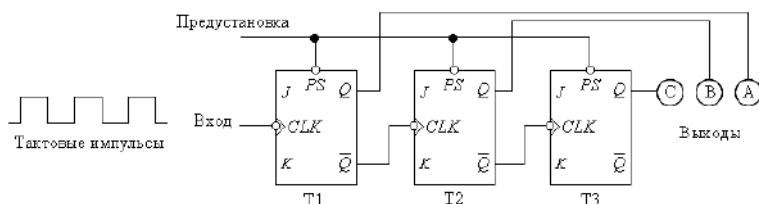


рис. 18.5

## 18.5. Асинхронный трехразрядный счетчик по модулю 8

Таблица истинности приведена в табл.18.3:  
В счетчиках прямого действия синхронизирующий вход каждого последующего триггера связан с выходом  $Q$  предыдущего триггера (с прямым выходом). В вычитающем счетчике синхронизирующий вход триггера связан с инверсным выходом  $\bar{Q}$  предыдущего триггера.

Перед началом счета в вычитающем счетчике предусмотрена предустановка в состояние 111 (число 7) с помощью входа PS.

табл.18.3

Номер тактового импульса	Двоичная счетная последовательность			Десятичные числа
	C	B	A	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8				7
9				6

Триггер Т1 «ведет» столбец А; триггер Т2 – столбец В; триггер Т3 – столбец С.

## 18.6. Самоостанавливающиеся счетчики

Рассмотренный выше вычитающий счетчик является счетчиком циклического типа – после перехода в состояние 000 он снова начинает считать с 111 и далее.

В ряде случаев нужно, чтобы счет был остановлен после исчерпания счетной последовательности.

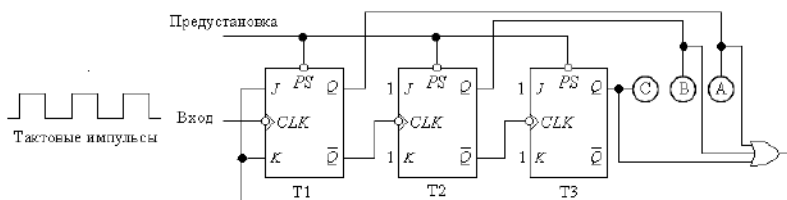


рис.18.6

Для остановки счета в схему вычитающего счетчика включен логический элемент «ИЛИ», который будет останавливать на входах J и K триггера T1 уровень логического 0, когда на выходе счетчика будет установлено число 000. При этом счетчик будет останавливать работу.

Для возобновления работы счетчика необходимо на его вход предустановки PS подать 0 (счет начнется с числа 111 (7)).

Можно останавливать счетчик на любом, заранее заданном числе.

## 18.7. Регистры

Регистр – последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного кода.

Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове. С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами.

Типичными являются следующие операции:

- прием слова в регистр;
- передача слова из регистра;
- поразрядные логические операции;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный и обратно;
- установка регистра в начальное состояние (сброс).

Фактически любое цифровое устройство можно представить в виде совокупности регистров, соединенных друг с другом при помощи комбинационных цифровых устройств.

Работу регистра сдвига (сдвигового регистра) можно наблюдать в микрокалькуляторах, когда при наборе новой цифры числа на индикаторе сдвигается влево.

Работу регистра сдвига (сдвигового регистра) можно наблюдать в микрокалькуляторах, когда при наборе новой цифры числа на индикаторе сдвигается влево.

При этом можно выделить два важных момента для характеристики регистра сдвига (рис.18.7):

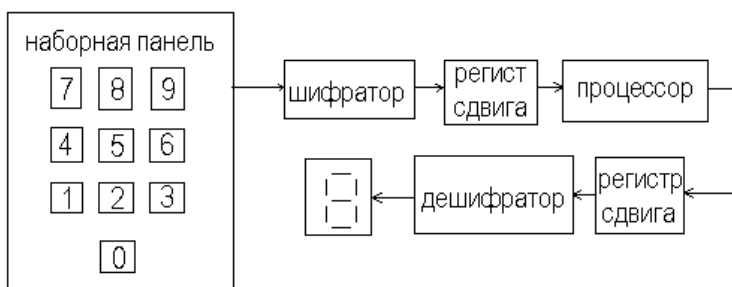


рис.18.7

1) регистр сдвига – устройство, обладающее временной памятью, благодаря чему числа остаются на индикаторе.

2) Устройство сдвига сдвигает числа на индикаторе влево каждый раз при наборе новой цифры.

Регистры сдвига можно получить, соединяя друг с другом несколько триггеров, обладающих памятью.

Регистры сдвига используют для временного хранения данных: (между шифратором и процессором и между процессором и дешифратором)



### 18.7.1. Последовательные регистры сдвига

Схема последовательного регистра сдвига на D-триггерах показана на рис.18.8. – 4-х разрядный регистр сдвига, хранящий 4 двоичных разряда данных A, B, C и D.

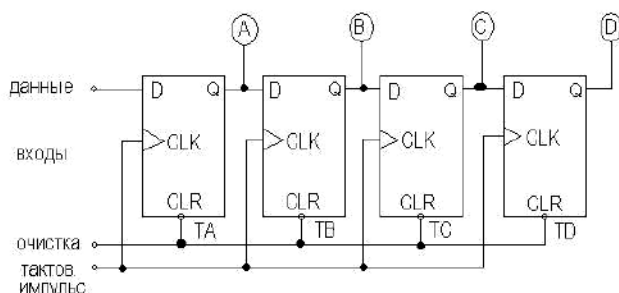


рис.18.8

(Примечание: знак  $\square \text{CLK}$  – обозначает срабатывание триггера по фронту тактового импульса;  $\otimes \text{CLK}$  – по срезу).

Этапы работы регистра:

1) очистка регистра – установка 0 на выходах A, B, C и D при подаче 0 на входы CLR (строка 1 табл. 18.4);

2) до прихода тактового импульса (номер тактового импульса 0) на выходах сохраняется состояние 0000 (строка 2) – независимо от состояний входа D и входа очистки CLR;

3) при подаче 1-го тактового импульса (строка 3) информационная 1 (вход D) переместится на выход Q; с приходом каждого последующего тактового импульса эта 1 будет перемещаться от A до C (строки 4 и 5; импульсы 2 и 3 при сохранении на входе D сигнала 1).

4) Точно также при подаче на информационный вход логического 0 (импульсы 4-8) этот 0 будет передан на вы-

хода А и с каждым последующим тактовым импульсом этот 0 будет перемещаться вправо от А до D.

табл.18.4

Входы				Выходы			
Номер строки	Очистка Вход CLR	Данные Вход D	Номер тактового импульса (Вход CLK)	ТА	ТВ	ТС	TD
				А	В	С	Д
1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0
3	1	1	1	1	0	0	0
4	1	1	2	1	1	0	0
5	1	1	3	1	1	1	0
6	1	0	4	0	1	1	1
7	1	0	5	0	0	1	1
8	1	0	6	0	0	0	1
9	1	0	7	0	0	0	0
10	1	0	8	0	0	0	0
11	1	1	9	1	0	0	0
12	1	0	10	0	1	0	0
13	1	0	11	0	0	1	0
14	1	0	12	0	0	0	1
15	1	0	13	0	0	0	0

5) перед приходом тактового импульса 9 на информационном входе устанавливается 1, а перед 10-м импульсом и далее – снова логический 0; в связи с этим поданная на 9 такте информационная 1 будет смещаться на индикаторе вправо (см. табл.30.1 строки 11-14).

Термин последовательный означает, что данные (информация) вводится в регистр поразрядно. Строка 15 показывает, что на 13 импульсе единица покидает крайний правый разряд регистра и теряется.

Недостатки последовательного регистра:

- ввод только по одному биту информации на каждом тактовом импульсе;
- каждый раз после цикла работы теряется крайний правый информационный бит.

Рассмотренный регистр сдвига можно трансформировать в 5-разрядный, добавив схему еще один D-триггер. Обычно применяют 4-, 5- и 8-разрядные регистры. Можно использовать не только D-триггеры, но и JK-триггеры и синхронные RS-триггеры.

### 18.7.2. Параллельные регистры сдвига

Структурная схема параллельного кольцевого регистра сдвига приведена на рис. 18.9, принципиальная – на рис.18.10.

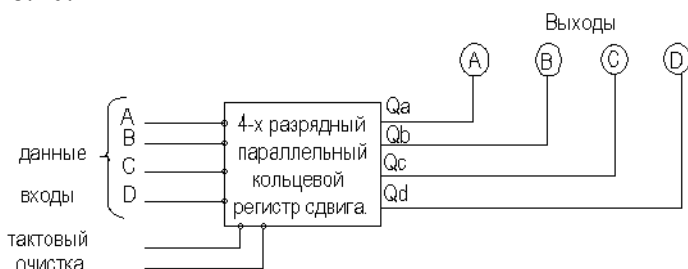


рис. 18.9

В этом регистре используются четыре JK – триггера. Необходимо обратить внимание на цепи обратной связи с выходов  $Q$  и  $\bar{Q}$  триггера TD на входы J и K триггера TA – введенная в триггера информация, которая обычно теряется на выходе триггера TD, сохраняется и циркулирует по регистру сдвига. Слово «параллельный» имеет смысл параллельно загружаемого регистра. Таблица истинности приведена в таблице 18.5.

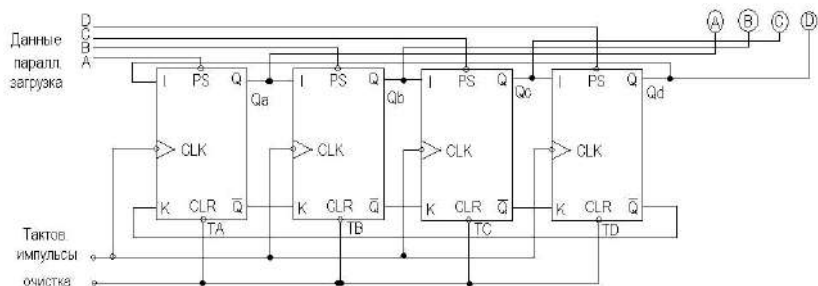


рис. 18.10

Сигналом очистки регистра (установка на выходе 0000) является уровень логического 0 на входе CLR (строка 2 табл.18.5).

табл.18.5

Номер строки	Входы						Выходы			
	Очистка	Параллельная загрузка данных				Номер тактового импульса	TA	TB	TC	TD
		A	B	C	D		A	B	C	D
1	1	1	1	1	1	0	1	1	1	0
2	0	1	1	1	1	0	0	0	0	0
3	1	1	0	1	1	0	0	1	0	0
4	1	1	1	1	1	1	0	0	1	0
5	1	1	1	1	1	2	0	0	0	1
6	1	1	1	1	1	3	1	0	0	0
7	1	1	1	1	1	4	0	1	0	0
8	1	1	1	1	1	5	0	0	1	1
9	0	1	1	1	1		0	0	0	0
10	1	1	0	0	1		0	1	1	0
11	1	1	1	1	1	6	0	0	1	1
12	1	1	1	1	1	7	1	0	0	1
13	1	1	1	1	1	8	1	1	0	0
14	1	1	1	1	1	9	0	1	1	0
15	1	1	1	1	1	10	0	0	1	1

Входы параллельной загрузки связаны со входами предварительной установки PS триггеров, что позволяет установить на любом выходе А, В, С и D уровень логической 1.

Если на любой из входов даже кратковременно подать 0, то на соответствующем выходе установится 1.

Подача тактовых импульсов на входы CLK всех JK – триггеров приведёт к сдвигу информации вправо в регистре. Из триггера TD данные передаются в триггер ТА (кольцевое перемещение).

При включении питания на выходах может установиться любая информация – например, по строке 1 таблицы.

Подача логического 0 на входы CLR приведёт к очистке регистра (строка 2).

Далее загрузим, например, в регистр число 0100 (по выходу) – строка 3. Последовательные тактовые импульсы вызывают сдвиг введённой информации вправо (строки 4-8). Особое внимание – строки 5 и 6 – единица из крайнего правого триггера TD переносится в крайний левый триггер ТА (идёт кольцевое перемещение единицы в регистре).

Далее – строка 9 – инициируется очистка регистра (вход CLR). Загружается новая двоичная комбинация (например, 0110, строка 10).

Подача 5 тактовых импульсов (строки 11-15) сдвигает информацию по кольцу вправо на 5 позиций (и т.д.).

### ***18.7.3. Классификация регистров***

Регистры классифицируются по следующим видам:

- накопительные (регистры памяти, хранения);
- сдвигающие;
- по направлению передачи информации на:
  - однонаправленные,
  - реверсивные /1/.
- по способу приёма информации:

параллельные (статические), в которых информация записывается и считывается только в параллельной форме;

последовательные (сдвигающие), в которых информация записывается и считывается только последовательно;

последовательно – параллельные (комбинация первых двух).

- по числу каналов передачи информации:

парафазные, в которых информация записывается и считывается в прямом  $Q$  и обратном  $\bar{Q}$  кодах;

однофазные, в которых информация записывается и считывается либо в прямом  $Q$ , либо в обратном  $\bar{Q}$  коде.

- по способу тактирования:

однотактные, управляемые одной управляющей последовательностью импульсов;

многотактные, управляемые несколькими управляющими последовательностями тактовых импульсов.

## **18.8. Арифметические устройства. Сумматоры**

Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов.

### ***18.8.1. Двоичное сложение***

Напомним, что самый крайний левый разряд двоичного числа, например  $101001_2$ , называют самым старшим разрядом (ССР), а крайний правый – самым младшим разрядом СМР. Веса разрядов слева направо – 1, 2, 4, 8, 16 - ... и т.д.

а) Сложение для разряда единиц (двоичных):

$$\begin{array}{r} 0 \\ + 0 \\ \hline 0 \end{array} \quad \begin{array}{r} 1 \\ + 0 \\ \hline 1 \end{array} \quad \begin{array}{r} 0 \\ + 1 \\ \hline 1 \end{array} \quad \begin{array}{r} 1 \\ + 1 \\ \hline 0 \end{array} + \text{перенос } 1 \text{ в старший двоичный разряд (соседний)}.$$

Например:

$$\begin{array}{r} 101 \\ + 10 \\ \hline 111 \end{array} \left[ \begin{array}{r} 5 \\ + 2 \\ \hline 7 \end{array} \right] \quad \begin{array}{r} \text{перенос} \\ \downarrow 1 \\ 10:10 \\ + 11 \\ \hline 11 \ 01 \end{array} \left[ \begin{array}{r} 10 \\ + 3 \\ \hline 13 \end{array} \right] \quad \begin{array}{r} \text{перенос} \\ \downarrow 1:1 \\ 1:1:1010 \\ + 1100 \\ \hline 10 \ 0110 \end{array} \left[ \begin{array}{r} 26 \\ + 12 \\ \hline 38 \end{array} \right]$$

В десятичной системе  $1+1=2$ .

Но в двоичной системе число 2 будет записано как 10, т.е. 0 в разряде единиц и 1 в разряде двоек.

Тогда  $1+1$  в двоичной системе равно 0 в разряде единиц и перенос 1 в разряд двоек.

Соответственно, этот перенос 1 осуществляется и в других разрядах.

б) Но в разряде двоек и других старших разрядах может возникнуть другая ситуация:

Например, нужно найти сумму  $1+1+1$  в двоичной системе. В десятичной системе  $1+1+1=3$ , или 11 в двоичной системе. Тогда имеем:

$$\begin{array}{r}
 +0 \\
 \hline
 0
 \end{array}
 \begin{array}{r}
 +1 \\
 \hline
 1
 \end{array}
 \begin{array}{r}
 +0 \\
 \hline
 1
 \end{array}
 \begin{array}{r}
 +1 \\
 \hline
 0
 \end{array}
 + \text{перенос } 1 \text{ в старший}$$

двоичный разряд (соседний).

$$\begin{array}{r}
 +1 \\
 +1 \\
 +1 \\
 \hline
 1 + \text{перенос } 1
 \end{array}$$

или

$$\begin{array}{r}
 \text{перенос} \\
 \uparrow \uparrow \\
 \begin{array}{r}
 11 \\
 +11 \\
 \hline
 110
 \end{array}
 \left[ \begin{array}{r}
 +3 \\
 +3 \\
 \hline
 6
 \end{array} \right]$$

- это справедливо для всех старших разрядов, за исключением разряда единиц

### 18.8.2. Сложение в разряде единиц (полусумматор)

Таблица истинности (табл.18.6):

табл.18.6

Входы		Выходы	
В	А	$\Sigma$	$C_0$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1
Двоичные числа - слагаемые		сумма	перенос
		Исключающее ИЛИ	И

Слагаемые – это входы А и В. Кроме того, должен быть выход ( $\Sigma$ ) и столбец для переноса ( $C_0$ ). Сокращенное обозначение  $C_0$  - от англ. Output (выход переноса). Символическое обозначение сумматора, работающего по таблице 18.6 представлено на рис.18.11.



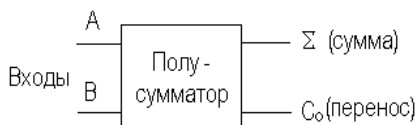


рис.18.11

Данная схема называется полусумматором. У полусумматора имеется два входа (А и В) и два выхода ( $\Sigma$  и  $C_0$ ).

Как видно из табл.18.6 выход  $C_0 = A \bullet B$ , т.е. для получения выхода  $C_0$  нужно входы А и В подать на схему И.

Выход  $\Sigma = \bar{A} \bullet B + A \bullet \bar{B}$ , т.е. для реализации этого выхода нужны два элемента И и один элемент ИЛИ. Такая комбинация называется «исключающее ИЛИ»:

$$\Sigma = A \oplus B$$

(символ  $\oplus$  - исключающее ИЛИ)

Т.о., схема полусумматора может быть представлена (рис.18.12):

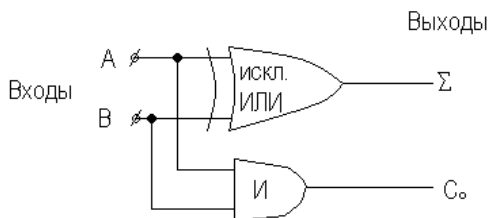


рис.18.12

### 18.8.3. Полные сумматоры

применяются для сложения в разрядах двоек, четвёрок и т.д., за исключением разряда единиц.

Обозначение полного сумматора (рис.18.13):

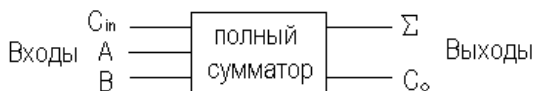


рис.18.13

Таблица истинности (табл.18.7):

табл.18.7

Входы			Выходы	
C <sub>in</sub>	B	A	$\Sigma$	C <sub>0</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1
Перенос + A + B			Сумма	Перенос

Структурная схема полного сумматора (рис.18.14):

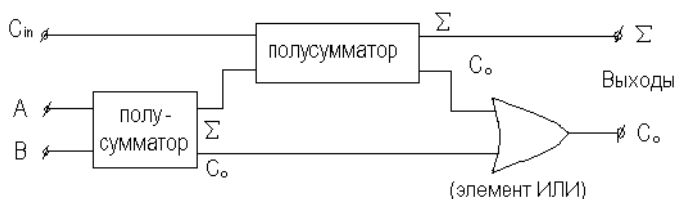


рис.18.14

Cin- от англ. (Input – вход) – сигнал переноса для входа (дополнительного) (см. рис.18.13).

Полусумматоры и сумматоры обычно используется вместе. Они входят в состав арифметически – логических устройств (АЛУ) микропроцессоров.

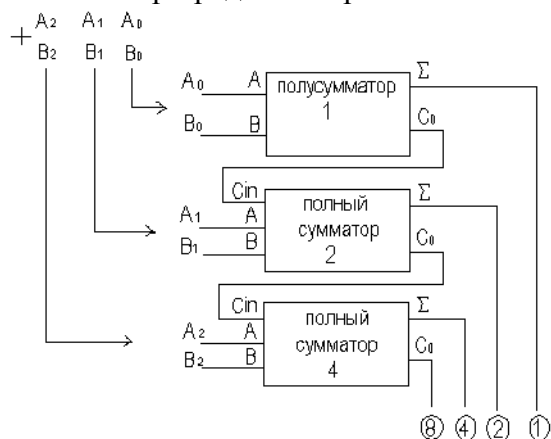
#### 18.8.4. 3-х разрядный сумматор

Соединяя полусумматоры и полные сумматоры получают устройства, выполняющие сложение нескольких разрядов. Например, 3-х разрядный сумматор может быть представлен (рис.18.15):

Входными сигналами полного сумматора разряда двоек являются сигнал переноса  $C_0$  полусумматора и числа  $A_1$ ,  $B_1$ , разряда двоек.

Полный сумматор разряда четвёрок складывает сигналы переноса полного сумматора двоек и сигналы  $A_2$ ,  $B_2$  разряда четвёрок.

Так как в результате сложения 3-х разрядных чисел может получиться четырёх разрядное число, то на выходе имеется дополнительный разряд восьмёрок.



## рис.18.15

В параллельном сумматоре информационные биты всех разрядов поступают на входы одновременно, работа идёт практически мгновенно.

Для фиксации данных на входах и выходах сумматоров обычно используют различные регистры.

### **Выводы по теме**

1. Счетчиком называется последовательностное устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде.

2. Счетчики строятся на основе  $N$  однотипных, связанных между собой разрядных схем, каждая из которых в общем случае состоит из триггера и некоторой комбинационной схемы, предназначенной для формирования сигналов управления триггером.

Почти каждая цифровая система содержит несколько счетчиков.

3. Основным параметр счетчика — модуль счета. Это максимальное число единичных сигналов, которое может быть сосчитано счетчиком.

4. Счетчики классифицируют: по модулю счета; по направлению счета; по способу формирования внутренних связей.

5. Помимо непосредственно функции счета, счетчики могут выполнять не столь очевидные функции: адресация; делители частоты; элементы памяти.

6. Регистр — последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного кода.

7. Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу

разрядов в слове. С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами.

8. Регистры сдвига можно получить, соединяя друг с другом несколько триггеров, обладающих памятью.

9. Регистры сдвига используют для временного хранения данных: (между шифратором и процессором и между процессором и дешифратором).

10. Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов.

11. У полусумматора имеется два входа (А и В) и два выхода ( $\Sigma$  и  $C_0$ ). Выход  $C_0 = A \bullet B$  предполагает, что входы А и В нужно подать на схему И. Выход  $\Sigma = \bar{A} \bullet B + A \bullet \bar{B}$  означает, что для реализации этого выхода нужны два элемента И и один элемент ИЛИ. Такая комбинация называется «исключающее ИЛИ».

12. Полные сумматоры применяются для сложения в разрядах двоек, четвёрок и т.д., за исключением разряда единиц.

13. Полусумматоры и сумматоры обычно используется вместе. Они входят в состав арифметически – логических устройств (АЛУ) микропроцессоров.

### **Задания и вопросы для самоконтроля по теме**

1. Что называется счетчиком импульсов и каков принцип их построения?
2. Что является основным параметром счетчика?
3. Приведите классификацию счетчиков.

4. Какие функции могут выполнять счетчики кроме функции счета?

5. Приведите схему счетчика со сквозным переносом и особенности его работы.

6. Приведите схему асинхронного счетчика по модулю 10 и особенности его работы.

7. Приведите схему синхронного счетчика и особенности его работы.

8. Приведите схему вычитающего счетчика и особенности его работы.

9. Приведите схему асинхронного трехразрядного счетчика по модулю 8 и особенности его работы.

10. Приведите схему самоостанавливающегося счетчика и особенности его работы.

11. Для чего предназначаются регистры?

12. Что представляет собой регистр? С помощью чего обеспечивается выполнение некоторых операций над словами?

13. Приведите классификацию регистров по направлению передачи информации.

14. Приведите классификацию регистров по способу приёма информации.

15. Приведите классификацию регистров по числу каналов передачи информации.

16. Приведите классификацию регистров по способу тактирования.

17. Приведите классификацию регистров по принципу функционирования.

18. Какие операции являются типичными для функционирования регистров?

19. Приведите схему последовательного регистра сдвига на D-триггерах (4-х разрядный регистр сдвига) и объясните принцип его функционирования.

20. Приведите структурную и принципиальную схемы параллельного кольцевого регистра сдвига и объясните принцип его функционирования.

21. Для чего предназначены сумматоры в цифровых устройствах?

22. Объясните назначение входов и выходов в полусумматорах.

23. Для чего предназначены полные сумматоры?

24. Где применяются совместно и сумматоры и полусумматоры?

25. Приведите схему полусумматора и объясните его работу.

26. Приведите схему полного сумматора и объясните его работу.

27. Приведите схему 3-х разрядного сумматора объясните его работу.

## Лекция 19

### Тема: запоминающие устройства. Схемотехника запоминающих устройств

Для кратковременного хранения небольших объёмов информации обычно используют регистры. Для длительного хранения и хранения больших объёмов информации применяют запоминающие устройства (ЗУ), выполненные на специализированных микросхемах.

Для целей хранения информации существует много технических решений. В порядке их развития можно перечислить: логические элементы, магнитные сердечники, полупроводниковые элементы, перфокарты, перфоленты, магнитные ленты, диски (винчестеры или жёсткие диски), оптическая запись (CD).

Любое ЗУ независимо от назначения имеет следующие параметры: емкость ЗУ ( $M$ ) – определяет максимально возможный объём информации, хранящийся в ЗУ. Единица измерения является бит – один разряд двоичного числа (логический 0 или логическая 1). Обычно информация, равная 1 биту хранится в одном элементарном ЗУ (ЭЗУ). 8 – разрядное кодовое слово называют байтом. Используют понятие «организация ЗУ», под которым понимают число кодовых слов  $N$ , хранимых в ЗУ, с указанием их длины (разрядности)  $L$ . Тогда ёмкость  $M$  для ЗУ может быть определена как  $M = N \times L$ . При одном и том же объёме информации ЗУ может иметь различную организацию:  $32 \times 8$  или  $256 \times 1$  имеют один и тот же объём памяти 256 байт.

Временные параметры ЗУ:

- время выборки  $t_A$  - временной интервал между подачей на вход памяти заданного сигнала и получением на



выходе данных при условии, что все остальные сигналы поданы.

- время цикла адреса в режиме записи  $t_{\text{ЦИКЛЗАПИСИ}}$  - это минимальное время совпадения сигналов на управляющих входах памяти, необходимое для надёжной записи информации; для режима считывания -  $t_{\text{ЦИКЛСЧИТЫВ}}$ .

Существуют другие задаваемые временные параметры: цикл установления, длительность действия и сохранения и др.

По функциям ЗУ подразделяется:

- оперативные ЗУ (ОЗУ)

- постоянные ЗУ (ПЗУ)

К ОЗУ относят ЗУ, использующиеся для хранения информации в процессе работы и обеспечивающие соизмеримые времена её считывания и записи.

Оперативные ЗУ могут быть статическими и динамическими.

В статических ОЗУ записанная информация хранится в выделенном для неё месте и не разрушается при её считывании.

Разрушение информации происходит при её принудительном стирании или выключении питания.

В динамических ОЗУ информация постоянно циркулирует в выделенном массиве, отведённом для её хранения.

При этом она (информация) разрушается после её считывания. Для сохранения информации её нужно переписать заново.

Основное требование к ОЗУ – быстродействие при заданном объёме и организации.

На принципиальных схемах ОЗУ обозначается RAM (random access memory).

Постоянные ЗУ предназначены для хранения информации, остающейся неизменной в течение времени эксплуатации устройства.

Основой любого ЗУ является матрица памяти (накопитель).

### **19.1. Принципы работы ОЗУ. ЗУ с произвольной выборкой (ЗУПВ)**

ОЗУ (их обозначают английской аббревиатурой RAM) подразделяются на статические и динамические. В статических ОЗУ запоминающая ячейка представляет собой триггер на биполярных или полевых транзисторах, что определяет потенциальный характер управляющих сигналов и возможность считывания информации без ее разрушения. Статические ОЗУ выполняются по различным технологиям (ТТЛ, ЭСЛ, КМОП, n-МОП, И<sup>2</sup>Л) и обладают теми же достоинствами и недостатками, что и элементы, изготовленные по той или иной технологии. Так, для получения высокого быстродействия статические ОЗУ выполняются по ЭСЛ-технологии, а И<sup>2</sup>Л-технология позволяет увеличивать функциональную плотность ЗУ в несколько раз по сравнению с ТТЛ-технологией. В последнее время интенсивно развиваются статические ОЗУ по КМОП-технологии.

Благодаря высокому быстродействию статические ОЗУ широко используются в КЭШ-памяти. КЭШ-память (или буферная память) предназначена для запоминания копий информации, передаваемой между различными устройствами, прежде всего между процессором и основной памятью различных вычислительных устройств.

КЭШ-память имеет небольшую информационную емкость по сравнению с основной памятью, но более высокое быстродействие и особенно эффективна, когда требуется многократное использование одних и тех же данных.

Так, например, микросхема К1500 представляет собой статическое ОЗУ, выполненное по ЭСЛ-технологии, име-

ющее организацию 64 х 4 и предназначенное для построения локальных и буферных ОЗУ (КЭШ-память).

В динамических ОЗУ элементом памяти является емкость (например, входная емкость полевого транзистора), что требует периодического восстановления (регенерации) записанной информации в процессе ее хранения.

ОЗУ динамического типа позволяют реализовать большой объем памяти, но они сложнее в использовании, так как необходимо наличие специальной схемы управления режимами работы. В современных динамических ОЗУ имеются встроенные системы регенерации и синхронизации. Такие ОЗУ по внешним сигналам управления не отличаются от статических ОЗУ.

Плотность упаковки элементов памяти динамических ОЗУ в несколько раз превышает плотность упаковки в статических ОЗУ, т. е. они имеют большую информационную емкость. Они в несколько раз дешевле статических ОЗУ.

Динамические ОЗУ имеют ряд особенностей, существенно отличающих их от статических, одной из которых является использование в них последовательной адресации.

К динамическим ОЗУ относятся микросхемы серии K565. Выводы микросхем имеют следующие назначения: CS — выбор микросхемы, Ai — адресные входы, Di — информационные входы, DOi — информационные выходы, W/R — разрешение записи/считывания, RAS — строб адреса строки, CAS — строб адреса столбца, CE — сигнал разрешения.

Микросхема K155PY2 — это статическое ОЗУ с открытым коллекторным выходом — выполнена на основе ТТЛ-структур емкостью 64 бит. Имеет структуру 16 х 4, т. е. может хранить 16 слов длиной 4 разряда каждое.

Микросхема K537PY8 — это статическое ОЗУ объемом 2 Кбайта, выполнена на основе структур КМОП, по входу и

выходу совместима с ТТЛ-структурами. Имеет двунаправленную 8-разрядную шину данных, которая используется и для записи, и для считывания информации.

Микросхема K565PY5 — это динамическое ОЗУ на основе и-МОП-структур, по входам и выходам совместима с ТТЛ-структурами, имеет организацию 64К x 1. Шина адреса работает в мультиплексном режиме. Вначале на ней выставляются адреса строк, которые запоминаются во внутреннем регистре по спаду сигнала RAS. Затем выставляются адреса столбцов, которые запоминаются по спаду сигнала CAS.

Микросхемы K537PY8 и K565PY5 имеют выходы с тремя состояниями.

Структурная организация ОЗУ с 64 позициями размещения 0 и 1 показана в табл.19.1.

табл.19.1

Адрес	Разряд D	Разряд C	Разряд B	Разряд A
Слово 0				
Слово 1				
Слово 2				
Слово 3	0	1	1	0
Слово 4				
Слово 5				
Слово 6				
Слово 7				
Слово 8				
Слово 9				
Слово 10				
Слово 11				
Слово 12				
Слово 13				
Слово 14				
Слово 15				

В данной таблице можно заполнить 64 позиции любыми данными. 64 позиции организованы в 16 групп, называемых словами. Каждое слово содержит 4 информационных разряда. Другими словами, данное ОЗУ содержит 16 слов длиной 4 разряда каждое (можно было организовать как ОЗУ  $32 \times 2$  или  $64 \times 1$ ). Например, в строке «Слово 3» запишем значение слова 3 – 0110, т.е. поместили на хранение, или записали слово в память. Это операция записи.

Чтобы узнать, какая информация находится в памяти на месте слова 3, нужно прочесть запись на месте слова 3 – это операция считывания.

ЗУ по табл.19.1 называется ЗУ с произвольной выборкой (ЗУПВ), так как мы можем непосредственно обратиться к слову 3 или любому другому и считывать их значения. Ячейка памяти, отведённая для записи слова, называют адресом этого слова. В данном примере адресом слова 3 является двоичное число  $0011_2$  ( $3_{10}$ ). По этому адресу записано слово 0110 (значение слова 3). Условное графическое обозначение ОЗУ выполненного на микросхеме 7489 с ёмкостью на 64 бита (рис.19.1):

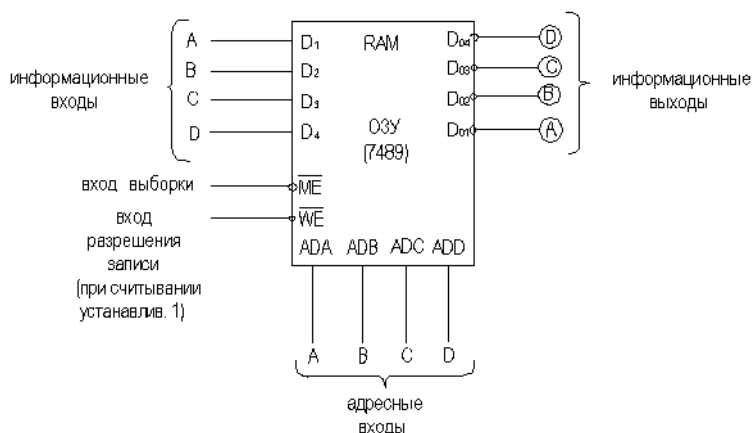


рис.19.1

Для записи двоичного слова 0110 в ячейку памяти, отведённую под слово 3 необходимо подать на адресные входы двоичную комбинацию 0011 ( $3_{10}$ ), а на информационные входы – подать входные сигналы  $A = 0; B = 1; C = 1; D = 0$  (0110 – значение слова). Затем на входе «разрешение записи» - подать 0, и при подаче 0 на вход выборки – данные заносятся в память. Это – процесс записи.

Для считывания информации по адресу 3 нужно снова подать на адресные входы сигналы 0011 ( $3_{10}$ ). Вход «разрешения записи» устанавливаем в состояние считывания (1); на входе выборки – 0

При этом на выходе появится двоичная комбинация 0110 (слово  $3_{10}$ ) – это процесс считывания.

## 19.2. Постоянные запоминающие устройства (ПЗУ)

Все ПЗУ можно разделить на следующие группы:

- программируемые при изготовлении (обозначают как ПЗУ или ROM);
- с однократным программированием, позволяющим пользователю однократно изменить состояние матрицы памяти электрическим путем по заданной программе (обозначают как ППЗУ или PROM);
- перепрограммируемые (репрограммируемые), с возможностью многократного электрического перепрограммирования, с ультрафиолетовым (обозначают как РПЗУ УФ или EPROM) или электрическим (обозначают как РПЗУ ЭС или EEPROM, или E<sup>2</sup>PROM) стиранием информации.

Для обеспечения возможности объединения по выходу при наращивании памяти все ПЗУ имеют выходы с тремя состояниями или открытые коллекторные выходы.

В запоминающие устройства, программируемые при изготовлении (ПЗУ или ROM), информация записывается не-

посредственно в процессе их изготовления с помощью фотошаблона, называемого маской, на завершающем этапе технологического процесса.

Такие ПЗУ называются масочными ПЗУ, они могут быть построены на диодах, биполярных или МОП-транзисторах. В ППЗУ накопитель часто построен на запоминающих ячейках с плавкими перемычками, изготовленными из нихрома или других тугоплавких материалов. Процесс записи состоит в избирательном пережигании плавких перемычек.

В РПЗУ запоминающие ячейки строятся на основе МОП-технологий. Используются различные физические явления хранения заряда на границе между двумя различными диэлектрическими средами или проводящей и диэлектрической средой.

В первом случае диэлектрик под затвором МОП-транзистора делают из двух слоев: нитрида кремния и двуокиси кремния ( $\text{SiN}_4$  —  $\text{SiO}_2$ ). Было обнаружено, что в сложной структуре  $\text{SiN}_4$  —  $\text{SiO}_2$  при изменении электрического напряжения возникает гистерезис заряда на границе раздела двух слоев, что и позволяет создавать запоминающие ячейки.

Такие транзисторы называют МНОП-транзисторами в соответствии с их структурой: металл-нитрид кремния-окисел-полупроводник.

Запись информации в ячейки на МНОП-транзисторах осуществляется подачей относительно высоких напряжений (около 20 В), а перед записью осуществляется электрическое стирание старой информации (запись 0 во все запоминающие элементы). Таким образом, ЗУ на МНОП-транзисторах — это РПЗУ ЭС или EPROM. Они позволяют осуществлять  $10^4$  —  $10^6$  перезаписей, энергонезависимы и могут хранить информацию годами.

В обозначении микросхем с электрическим стиранием после номера серии указывают две буквы РР.

Так, микросхема К1601РР1 выполнена на основе р-МНОП-транзисторов, по входу и выходу совместима с ТТЛ-структурами, имеет выходы с тремя состояниями и организацию 1Кх 4. Время хранения информации 500 часов.

Во втором случае основой запоминающей ячейки является лавинно-инжекционный МОП-транзистор с плавающим затвором (ЛИЗМОП-транзисторы).

В лавинно-инжекционном транзисторе с плавающим затвором при достаточно большом напряжении на стоке происходит обратимый лавинный пробой диэлектрика, и в область плавающего затвора инжектируются носители заряда. Поскольку плавающий затвор окружен диэлектриком, то ток утечки мал и хранение информации обеспечивается в течение длительного промежутка времени (десятки лет). При подаче напряжения на основной затвор происходит рассасывание заряда за счет туннельного эффекта, т. е. стирание информации.

С использованием ЛИЗМОП-транзисторов строятся РПЗУ как с ультрафиолетовым (EPROM), так и электрическим (E<sup>2</sup>PROM) стиранием информации.

В ЗУ с ультрафиолетовым стиранием в корпусе микросхемы имеется специальное прозрачное окошко для облучения кристалла, причем информация стирается во всем кристалле.

При электрическом стирании информацию можно стереть не со всего кристалла, а выборочно. Кроме того, длительность электрического стирания значительно меньше, чем ультрафиолетового, а число циклов перезаписи значительно больше. Поэтому ЗУ с электрическим стиранием информации вытесняют ЗУ с ультрафиолетовым стиранием. В обозначении микросхем с ультрафиолетовым стиранием после трех цифр серии указывают две буквы РФ.РПЗУ с ультрафиолетовым стиранием информации серии 573 вы-



полнены на основе ЛИЗМОП-транзисторов, по входу и по выходу совместимы с ТТЛ-структурами.

Флэш-память. По основным принципам работы и типу запоминающих элементов флэш-память (Flash-Memory) подобна ППЗУ с электрической записью и стиранием информации. Флэш-память имеет ряд особенностей, что и позволяет выделить ее в отдельный класс. В ней осуществляется стирание или всей записанной информации одновременно, или больших блоков информации, а не стирание отдельных слов (Flash-вспышка, мгновение).

Флэш-память предназначена для хранения редко обновляемой информации и замены памяти на магнитных дисках (жесткий диск) в портативных компьютерах.

Матрица запоминающих элементов флэш-памяти, построенная на ЛИЗМОП-транзисторах с их параллельным включением, обеспечивает режим быстрого произвольного доступа и используется для построения памяти хранения редко обновляемой информации.

Так, фирма Intel разработала флэш-память, которая допускает до  $10^5$  циклов стирания, причем время стирания и время программирования всей памяти составляет 0,6—4 с для памяти емкостью 256 Кбит—2 Мбит, а время доступа при чтении составляет примерно 100 нс.

Для замены файлов на магнитных дисках разработана файловая флэш-память (Flash-File-Memory), в которой накопитель (матрица запоминающих элементов) делится на блоки, являющиеся аналогами секторов магнитных дисков.

Так, файловая флэш-память фирмы Intel имеет информационную емкость до 32 Мбит (организация 2М x 16 или 4М x 8) при времени доступа 70—150 нс и допускает до  $10^6$  циклов стирания на блок.

Постоянные ЗУ предназначены для хранения информации, которая останется неизменной в течении всего времени эксплуатации; информация не исчезает при снятии напря-

жения питания. В ПЗУ возможен только режим считывания, причём считывание не сопровождается разрушением информации. Информация в ПЗУ представляется в виде наличия или отсутствия соединения между шинами адреса (ША) и шинами данных (ШД). Например, ПЗУ с организацией  $4 \times 8$  (рис.19.2):

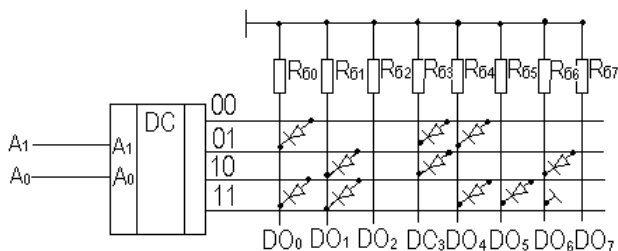


рис.19.2

ПЗУ включает дешифратор с двумя адресными шинами  $A_0 A_1$ ; восемь балластных резисторов  $R_{60}...R_{67}$ ; диоды, число которых равно числу логических 1, записных в ПЗУ. Работа ПЗУ: после появления на выходе дешифратора напряжения логической единицы при наличии связи между шинами адреса и шинами данных, это напряжение прикладывается к соответствующему резистору, что воспринимается как появление на шине данных логической 1. При отсутствии связи между ША и ШД ток через резистор не протекает, что воспринимается как логический 0. Информация, записанная в ПЗУ на рис.19.2 соответствует таблице истинности (табл.19.2)

табл.19.2

A1	A0	D00	D01	D02	D03	D04	D05	D06	D07
0	0	1	0	0	1	1	0	0	0
0	1	0	1	0	1	0	0	1	0
1	0	1	1	0	0	1	1	0	0
1	1	0	0	0	0	0	0	0	0

## Лекция 20

### Тема: запоминающие устройства. Схемотехника запоминающих устройств (продолжение лекции 19)

#### 20.1. Схемотехника ЗУ

Среди отечественных серий микросхем статических ОЗУ серии К500, К1500 выполнены по ЭСЛ-технологии, К132, К1809 - по n-МОП-технологии, К176, К561, К573, К581 — по КМОП-технологии, К555 — по ТТЛ-технологии, К541, К185 — по И<sup>2</sup>Л-технологии.

К масочным ПЗУ относят микросхемы серий 155, 568, 1656, 541, 555, 1656, 1801 и др., выполненные по технологии ТТЛ, ТТЛШ, n-МОП, КМОП. Для обозначения данного вида ПЗУ после номера серии помещают две буквы РЕ. Так, микросхемы К155РЕ21 и К155РЕ22 предназначены для воспроизведения соответственно букв русского (за исключением буквы Ъ) и латинского алфавитов, а также некоторых знаков.

ППЗУ выпускаются в составе серий микросхем 155, 541, 565, 1608. В обозначениях таких ЗУ используют буквы РТ.

Так, например, микросхема К541РТ1 выполнена по ТТЛШ-технологии с открытым коллекторным выходом и имеет организацию 256 x 4.

Микросхема К573РФ5 — это репрограммируемое ПЗУ (РПЗУУФ) с ультрафиолетовым стиранием, имеющее структуру 2К x 8. По входу и выходу эта микросхема совместима с ТТЛ-структурами. Время хранения информации — 50 тыс. часов.

Микросхема К556РТ5 — это однократно программируемая ПЗУ, выполнена на основе ТТЛШ-структур, по входу и

выходу совместима с ТТЛ-структурами, имеющая структуру 512 бит x

### 20.1.1. Статические ОЗУ на биполярных транзисторах

Статические элементарные ЗУ или ЗЭ (элементы) на биполярных транзисторах – это дорогостоящие ЗЭ; они выполнены на основе триггерных устройств. Этот класс устройств обладает максимальным быстродействием. Принципиальная схема ЭЗЭ на основе биполярного транзистора проверена на рис. 20.1.

Основу ЭЗЭ составляет два инвертора на трёхэмиттерных транзисторах  $VT_1$  и  $VT_2$ . Инверторы включены последовательно с глубокой ПОС.  $CS_1$  и  $CS_2$  – выводы выборки элемента;  $P_1$  – прямой;  $P_2$  – обратный выходы ЭЗЭ; Эти выходы через усилители считывания ( $R_{ВХУС}$ ) подключаются к общей шине.

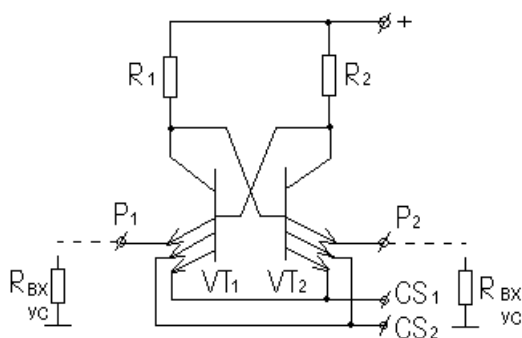


рис. 20.1

В режиме хранения на один или оба входа  $CS_1$  ( $CS_2$ ) подан 0. При этом триггер, образованный двумя инверторами, находится в устойчивом состоянии – например,

$VT_1$  насыщен, а  $VT_2$  – заперт. Весь ток насыщенного транзистора  $VT_1$  через вывод выборки ( $CS_1$  или  $CS_2$ ) попадает на общую шину; на выходе  $P_1$  напряжение отсутствует, и информация из ЭЗЭ не попадает на вход усилителя ( $U_{Rex} = 0$ ). Для считывания информации нужно на оба входа выборки подать 1. При этом единственным путём протекания тока  $VT_1$  останется вывод  $P_1$  – на входе усилителя будет считывание  $U_{Rex}$  в зависимости от записанной в ЭЗЭ информации. При этом информация в ЭЗЭ сохраняется (триггер не изменяет своего состояния). Кроме того, триггер не изменяет своего состояния, если на оба входа  $CS_1$ ,  $CS_2$  подать 0. При необходимости записать новую информацию первоначально на ЭЗЭ подаются сигналы выборки. На вывод  $P_1$  подаётся 1, на  $P_2$  – 0. При этом цепи протекания токов для  $VT_1$  кругом разорваны; на коллекторе  $VT_1$  – высокий уровень; это напряжение насыщает  $VT_2$ , подтверждает закрытое состояние  $VT_1$ . В ЭЗЭ записывается новая информация, которая будет храниться до новой перезаписи.

### **20.1.2. Статические ОЗУ на основе полевых транзисторах**

Применение в ЭЗЭ статических ОЗУ полевых транзисторов позволяет получить более высокую «упаковку» элементов, уменьшить их стоимость и потребляемую мощность. Однако, при этом снижается быстродействие ОЗУ. Транзисторы  $VT_1$  и  $VT_2$  с нагрузочными МДП транзисторами (рис. 20.2) образуют инверторы; за счёт глубокой ПОС образуется структура триггера. Выходы триггера через  $R_1$ ,  $R_2$ ,  $VT_5$  и  $VT_6$  соединены с выводами  $P_1$  и  $P_2$ , соответственно. Объединённые затворы  $VT_5$  и  $VT_6$  образуют вывод выборки  $CS$ .

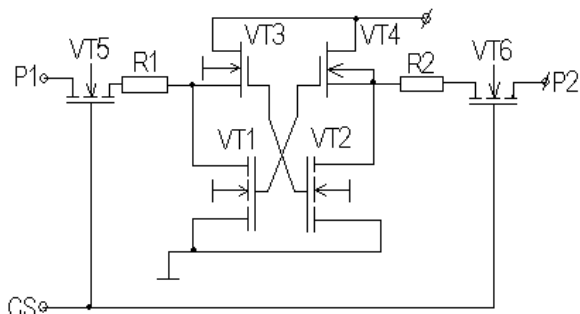


рис. 20.2

Допустим, что в некоторый момент времени VT1 включен, VT2 заперт. Если на вход выборки подано напряжение, недостаточное для открывания VT5 и VT6, то триггер отключён от выводов P1 и P2, информация на них отсутствует – это режим хранения, который может длиться сколь угодно долго.

Если на вход CS выборки подать напряжение, достаточное для открывания VT5 и VT6, то на выводах P1 и P2 появится информация о состоянии триггера – для нашего случая на P1 – 0, на P2 – 1; это процесс считывания.

Для записи (изменения) новой информации необходимо на P1 подать 1, а на P2 – 0. Напряжение на P2=0 шунтируя VT2, снимает с затвора VT1 напряжение, поддерживающее его в открытом состоянии – транзистор VT1 закрывается. Напряжение на его стоке увеличится, за счёт чего откроется VT2, дополнительно закрыв VT1. В триггере будет записана новая информация – это процесс перезаписи информации. Она также может храниться сколь угодно долго. Удобство данной схемы – чтение и запись информации идёт по одним и тем же выводам.

Условное обозначение ИС ОЗУ (рис. 20.3):

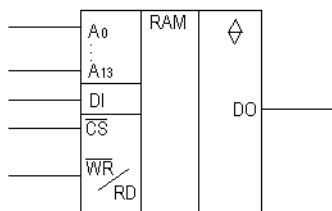


рис. 20.3

Это статическое ОЗУ типа 132PY6, выполненное на п-МОП – транзисторах с организацией  $16K \times 1$ . ИС имеет 14 адресных входов ( $A_0 \dots A_{13}$ ), вход ввода информации DI, выход DO, вывод разрешения работы  $\overline{CS}$  и вывод управления режимами чтения – записи  $\overline{WR}/RD$ . При подаче лог. 0 ( $\overline{WR}/RD = 0$ ) выполняется запись, а при  $\overline{WR}/RD = 1$  – чтение информации. Значок  $\overline{\triangle}$  означает, что выход ИС имеет три состояния, т.е. информация подключается к выходному выводу DO только при выборке ИС.

### 20.1.3. Динамические ОЗУ

В ЭЗЭ динамических ОЗУ информация хранится в виде заряда на конденсаторе. При этом должны быть предприняты достаточно сложные схемотехнические решения по поддержанию уровня заряда, так как в любом случае происходит собственный саморазряд. При этом для увеличения достоверности необходимо выполнение условия  $t_{ХРАН} \gg t_{ВОССТ}$ . Кроме того, периодически заряд восстанавливается (информация периодически считывается и повторно записывается) каждые 1...2 мсек (с частотой регенерации 0,5 – 1 кГц).

Быстродействие таких ОЗУ меньше, чем у ОЗУ на БП транзисторах, но они существенно проще, дешевле и обес-

печивают высокую плотность концентрации. Пример ЭЗЭ с динамическим ЗУ приведен на рис. 20.4:

На рис. 20.4 кроме собственно ЭЗЭ показаны дополнительные цепи, необходимые для записи – считывания. Собственно ЭЗЭ включает в себя конденсатор  $C_{\Pi}$  и ключ на VT1, подключающий конденсатор  $C_{\Pi}$  к шине данных (ШД). Затвор VT1 подключается к выходу дешифратора адреса CS. Конденсатор  $C_{\Pi}$  подключается к ШД при CS=1 (при этом VT1 открывается). В этом случае можно либо считывать информацию, либо дописывать новую.

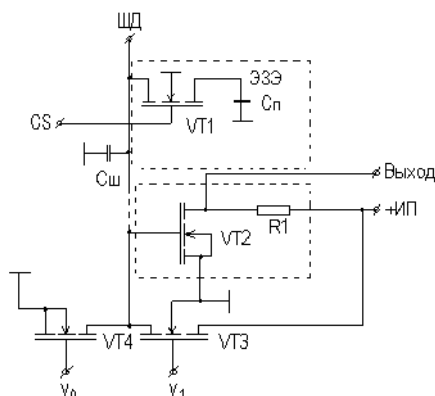


рис. 20.4

VT2 – усилитель считывания; после подключения к шине данных конденсатора нужного ЭЗЭ с выхода усилителя считывается напряжение, пропорциональное установленному ранее (исходному) на выбранном  $C_{\Pi}$ .

Особенности процесса обусловлены тем, что шина данных имеет большую длину и большую собственную ёмкость  $C_{ш}^* \gg C_{\Pi}$ .



Подключение  $C_{II}$  к ШД за счёт перераспределения зарядов незначительно изменяет потенциал ШД, и необходимо «уловить» это изменение.

Для этого:

- непосредственно перед считыванием информации фиксируют уровень ШД, подключая её при помощи ключа VT3 к +ИП и заряжая  $C_{III}$  до +ИП;
- на нужный ЭЗЭ подают сигнал выборки CS.  $C_{II}$  подключается к ШД, изменяя её потенциал (изменяется напряжение на ШД);
- с выхода усилителя считывают сигнал, пропорциональный заряду конденсатора выбранного ЭЗЭ.

Как видно из данного алгоритма, считывание информации приводит к её разрушению.

Поэтому для дальнейшего её хранения она записывается заново.

Запись информации в ЭЗЭ выполняется с использованием транзисторов VT3 и VT4, которые по сигналам управления подключают ШД либо к +ИП, либо к входным сигналам (при этом заранее был подключен выбранный ЭЗЭ).

Реальная схема много сложнее. Регенерацией сигналов управляет или общий процессор, или специальное самостоятельное устройство.

## **20.2. Постоянные ЗУ (ПЗУ; ROM - Read – Only Memory)**

служат для хранения фиксированных данных и программ. Будучи похожими на динамические ОЗУ, ПЗУ представляют собой, по сути, решётку из транзисторов, но конфигурация хранимых данных определяется в момент изготовления в соответствии с заданной таблицей истинности.

### 20.2.1. Масочные ПЗУ

Фрагмент масочного ПЗУ на полевых транзисторах (рис. 20.5):

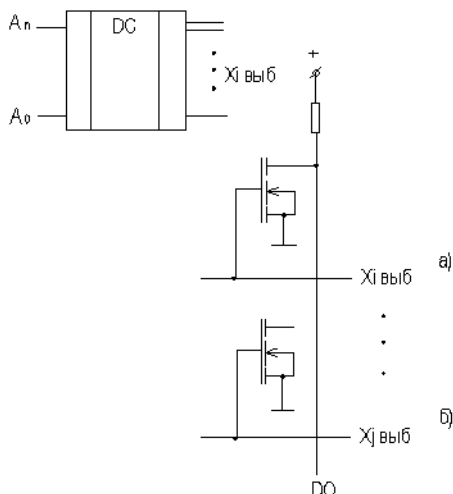


рис. 20.5

Нанесение рисунков схем (структуры) производится в процессе фотолитографии с помощью фотошаблонов (масок).

В соответствии с таблицей истинности транзистор либо подключается к схеме (а), либо не подключается (б). Тогда в соответствии с адресом на шине данных либо можно будет считывать информацию ( $Xi_{\text{ВЫБ}}$ ), либо информация будет отсутствовать ( $Xj_{\text{ВЫБ}}$ ).

Масочные ПЗУ имеют простую структуру, способную хранить большие объёмы информации.

### 20.2.2. Прожигаемые ПЗУ (однократно программируемые ППЗУ)

Физически процесс записи осуществляется путём разрушения (пережигания) специально предусмотренных перемычек между шинами дешифратора и выходными шинами. Разрушение осуществляется импульсами тока короткой длительности с помощью программатора, работающего по таблице истинности для данной конкретной схемы (рис. 20.6).

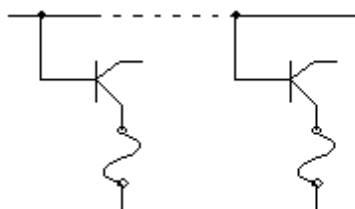


рис. 20.6

Условное графическое обозначение ИС ППЗУ типа 556РТ16. Её организация  $8K \times 8$ . Время выборки адреса 85 нс (см рис. 20.7):

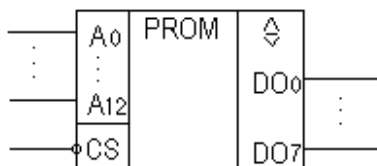


рис. 20.7

### 20.2.3. Перепрограммируемые ПЗУ (стираемое ППЗУ – Erasable PROM, EPROM; РПЗУ)

Такие ПЗУ являются по сути электростатическими ЗУ. Логика их работы аналогична работе ЭЗЭ динамического ОЗУ. Отличие состоит в том, что вместо конденсатора носителем информации является специализированный МДП – транзистор. В зависимости от типа транзистора различают два вида РПЗУ:

- РПЗУ с МДП – транзистором с «плавающим затвором»;

- РПЗУ с МДП – транзистором с двухслойным диэлектриком (МНОП – транзистором – транзистором со структурой «металл – нитрид кремния – оксид – полупроводник»).

Для РПЗУ обоих видов имеется возможность неоднократной перезаписи с помощью специальных программатор. Типовая схема ЭЗЭ РПЗУ приведена на рис. 20.8.

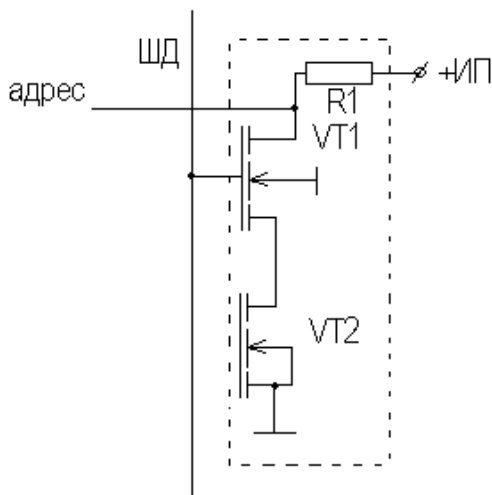


рис. 20.8

Транзистор VT1 служит для выбора по сигналу с выхода дешифратора адреса нужной ячейки памяти (VT2). Шина данных подключена к +ИП через резистор R1.

При отпирании VT1 протекание по нему тока в цепи стока зависит от состояния (ранее записанного) транзистора VT2 – наличие или отсутствие тока классифицируется как хранение сигналов 0 или 1. (ток есть – 0, тока нет – 1).

Устройство МДП транзистора с «плавающим затвором» представлено на рис. 20.9.

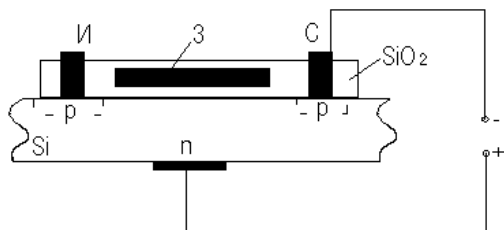


рис. 20.9

Для этого транзистора затвор представляет собой проводящую область (включение), изолированную от других частей прибора слоем диэлектрика. Отсутствие связей затвора позволяет ему долгое время «держат» достаточно большой заряд. Под действием этого заряда в n – полупроводнике образуется проводящий канал – через транзистор может протекать некоторый ток – транзистор открыт (0); Если заряд на затворе отсутствует, ток стока транзистора равен нулю (транзистор закрыт)(1).

Процесс записи проходит в два этапа:

- стирание старой информации;
- запись новой информации.

На первом этапе поверхность транзисторов примерно 15 – 20 минут облучают ультрафиолетовым излучением. При

этом происходит удаление существовавших зарядов на затворах (РПЗУ с ультрафиолетовым стиранием).

На втором этапе для записи новой информации р-п переход, образованный стоком и подложкой смещают в обратном направлении. Величина напряжения должна быть достаточной для пробоя перехода. Часть носителей заряда при пробое инжектируется в затвор, образуя заряд последнего – режим записи.

Для МНОП – транзисторов (МНОП – транзистор со структурой «металл – нитрид кремния - оксид – полупроводник») между затвором и полупроводником находится два слоя (различных) диэлектриков.

Между этими слоями возникает заряд, действие которого на проводимость аналогично «плавающему заряду». Запись проводится аналогично выше рассмотренному процессу, но стирание производится за счёт приложенного электрического поля (а не ультрафиолетового излучения) – электрически стираемые РПЗУ. Для этого необходимо меньшее время. В популярных EPROM (флэшках) можно стирать и переписывать информацию при +5В, т.е. «флэшки» можно считать энергонезависимыми РПЗУ (ОЗУ). Гарантировать время хранения информации для РПЗУ при подключенном ИП – не менее 20 000 часов, без подключения ИП – до 5 лет; число перепрограммирований – до 25.

### **Выводы по теме**

1. Для кратковременного хранения небольших объёмов информации обычно используют регистры. Для длительного хранения и хранения больших объёмов информации применяют запоминающие устройства (ЗУ), выполненные на специализированных микросхемах.

2. Любое ЗУ независимо от назначения имеет следующие параметры: емкость ЗУ (М) – определяет максимально

возможный объём информации, хранящийся в ЗУ. Единица измерения является бит – один разряд двоичного числа (логический 0 или логическая 1). Обычно информация, равная 1 биту хранится в одном элементарном ЗУ (ЭЗУ). 8 – разрядное кодовое слово называют байтом. Используют понятие «организация ЗУ», под которым понимают число кодовых слов  $N$ , хранимых в ЗУ, с указанием их длины (разрядности)  $L$ . Тогда ёмкость  $M$  для ЗУ может быть определена как  $M = N \times L$

3. Временные параметры ЗУ: время выборки, время цикла адреса в режиме записи, цикл установления, длительность действия и сохранения и др.

4. По функциям ЗУ подразделяется:

- оперативные ЗУ (ОЗУ)
- постоянные ЗУ (ПЗУ).

К ОЗУ относят ЗУ, использующиеся для хранения информации в процессе работы и обеспечивающие соизмеримые времена её считывания и записи.

Постоянные ЗУ предназначены для хранения информации, остающейся неизменной в течение времени эксплуатации устройства.

5. Оперативные ЗУ могут быть статическими и динамическими.

В статических ОЗУ записанная информация хранится в выделенном для неё месте и не разрушается при её считывании. Разрушение информации происходит при её принудительном стирании или выключении питания.

В динамических ОЗУ информация постоянно циркулирует в выделенном массиве, отведённом для её хранения. При этом она (информация) разрушается после её считывания. Для сохранения информации её нужно переписать заново.

6. Основное требование к ОЗУ – быстродействие при заданном объёме и организации. На принципиальных схемах ОЗУ обозначается RAM (random access memory).

7. Все ПЗУ можно разделить на следующие группы:

- программируемые при изготовлении;
- с однократным программированием;
- перепрограммируемые (репрограммируемые).

8. Статические элементарные ЗУ или ЗЭ (элементы) на биполярных транзисторах – это дорогостоящие ЗЭ; они выполнены на основе триггерных устройств. Этот класс устройств обладает максимальным быстродействием.

9. Применение в ЭЗЭ статических ОЗУ полевых транзисторов позволяет получить более высокую «упаковку» элементов, уменьшить их стоимость и потребляемую мощность. Однако, при этом снижается быстродействие ОЗУ.

10. В ЭЗЭ динамических ОЗУ информация хранится в виде заряда на конденсаторе. Быстродействие таких ОЗУ меньше, чем у ОЗУ на БП транзисторах, но они существенно проще, дешевле и обеспечивают высокую плотность концентрации.

11. Будучи похожими на динамические ОЗУ, ПЗУ представляют собой, по сути, решётку из транзисторов, но конфигурация хранимых данных определяется в момент изготовления в соответствии с заданной таблицей истинности.

12. Нанесение рисунков схем (структуры) для масочных ПЗУ производится в процессе фотолитографии с помощью фотошаблонов (масок) в соответствии с таблицей истинности. Масочные ПЗУ имеют простую структуру, способную хранить большие объёмы информации.

13. Физически процесс записи в прожигаемых ПЗУ (однократно программируемых ППЗУ) осуществляется путём разрушения (пережигания) специально предусмотренных перемычек между шинами дешифратора и выходными шинами. Разрушение осуществляется импульсами тока ко-



роткой длительности с помощью программатора, работающего по таблице истинности для данной конкретной схемы.

14. Репрограммируемые ПЗУ (стираемое ППЗУ - Erasable PROM, EPROM; РПЗУ) являются по сути электростатическими ЗУ. Логика их работы аналогична работе ЭЗЭ динамического ОЗУ. Отличие состоит в том, что вместо конденсатора носителем информации является специализированный МДП – транзистор.

### **Задания и вопросы для самоконтроля по теме**

1. Что применяют для длительного хранения и хранения больших объёмов информации?
2. Какими параметрами характеризуется ЗУ?
3. Для чего предназначены ОЗУ?
4. Для чего предназначены ПЗУ?
5. В чем принципиальное отличие статических ОЗУ от динамических.
6. Какому основному требованию должны отвечать ОЗУ?
7. На какие основные группы подразделяются ПЗУ?
8. По каким технологиям выполняются статические ОЗУ?
9. Для чего предназначена КЭШ-память (или буферная память)? В чем заключаются ее особенности?
10. Что является запоминающей ячейкой в статических ОЗУ?
11. Что является элементом памяти в динамических ОЗУ?
12. В чем заключается особенность ЗУ с произвольной выборкой (ЗУПВ)?
13. В чем заключается особенность функционирования масочных ПЗУ?
14. В чем заключается особенность функционирования ППЗУ?

15. В чем заключается особенность функционирования РПЗУ?

16. В чем заключается особенность функционирования запоминающей ячейки на основе лавинно-инжекционного МОП-транзистора с плавающим затвором (ЛИЗМОП-транзистор)?

17. В чем заключаются особенности и различия электрического и ультрафиолетового стирания информации?

18. Какие основные принципы работы запоминающих элементов Флэш-памяти (Flash-Memory)? Для чего она предназначена?

19. Приведите пример ПЗУ с организацией  $4 \times 8$ .

20. Какой класс устройств ЭЗЭ имеет максимальное быстродействие?

21. Какой класс устройств ЭЗЭ имеет максимальную «упаковку», меньшую стоимость и потребляемую мощность?

22. Чем характеризуются ЭЗЭ динамических ОЗУ?

23. В чем состоит принципиальное отличие ПЗУ от динамического ОЗУ?

24. В чем заключается особенность изготовления масочных ПЗУ?

25. В чем заключается процесс записи в прожигаемых ПЗУ?

26. Что является носителем информации в репрограммируемых ПЗУ (стираемое ППЗУ - Erasable PROM, EPROM; РПЗУ)?

27. Приведите схему и объясните работу статического элементарного ЗУ или ЗЭ (элемента) на биполярных транзисторах.

28. Приведите схему и объясните работу ЭЗЭ с динамическим ЗУ.

29. Приведите схему фрагмента масочного ПЗУ на полевых транзисторах и объясните его работу.

30. Объясните, как осуществляется процесс записи в прожигаемых ПЗУ (однократно программируемых ППЗУ).

31. Объясните устройство МДП-транзистора с «плавающим затвором» как ячейки памяти (носителя информации).

32. Приведите типовую схему ЭЗЭ РПЗУ и объясните его работу.

33. Объясните, как проходит процесс записи и стирания информации в РПЗУ с МДП – транзистором с «плавающим затвором».

## Лекция 21

### Тема: сопряжение цифровых и аналоговых устройств Цифроаналоговые преобразователи (ЦАП) Аналого-цифровые преобразователи (АЦП)

Цифроаналоговые преобразователи (ЦАП) предназначены для преобразования цифровых сигналов в аналоговые. Такое преобразование необходимо, например, при восстановлении аналогового сигнала, предварительно преобразованного в цифровой для передачи на большое расстояние или хранения (таким сигналом, в частности, может быть звук). Другой пример использования такого преобразования — получение управляющего сигнала при цифровом управлении устройствами, режим работы которых определяется непосредственно аналоговым сигналом (что, в частности, имеет место при управлении двигателями).

Как и рассматриваемые ниже аналого-цифровые преобразователи (АЦП), ЦАП являются «связующим звеном» между аналоговой и цифровой электроникой [1].

Наиболее распространенными являются ЦАП серий микросхем 572, 594, 1108, 1118 и др. В табл. 21.1 приведены параметры некоторых ЦАП.

табл.21.1

Тип схемы	Число разрядов	$t_{\text{уст, мкс}}$	$U_0, \text{В}$	$U_{\text{пит}}/I_{\text{пит}}, \text{В/А}$	$I_{\text{вых}}, \text{мА}$
K594ПА1	12	3,5	9-11	$(5+15)/2,5 - 15/3,5$	2
K1108ПА1	12	0,4	2,2-10,5	$+5/15 - 16/46$	5
K572ПА1А	10	5	-17 - +17	$(5-17)/2$	1
K575ПА2А	10	15	-15 - +15	$5/2 - 15/2$	0,8

Цифровая система с аналоговым входом и аналоговым выходом может быть представлена (рис.21.1):

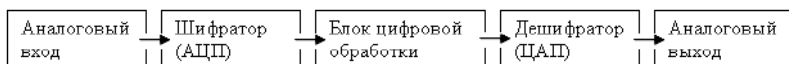


рис.21.1

В данной системе шифратор и дешифратор являются специальными устройствами – АЦП и ЦАП.

### 21.1. Цифроаналоговые преобразователи

Схемотехника цифроаналоговых преобразователей весьма разнообразна. На рис.21.2 представлена общая классификация ЦАП по способам преобразования входного кода и схемам формирования выходного сигнала /2/.

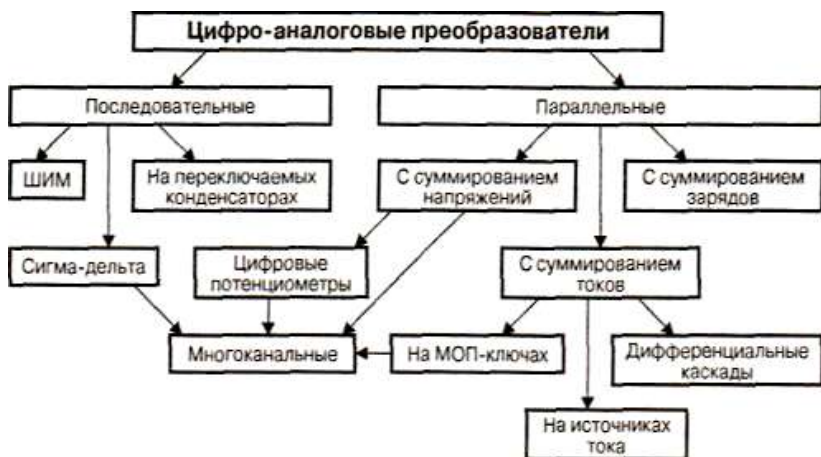


рис.21.2.

Дальнейшую классификацию ИМС цифроаналоговых преобразователей можно провести по ряду специфических признаков, например: по роду выходного сигнала: преобразовате-

ли с токовым выходом или с выходом по напряжению; по типу цифрового интерфейса: с последовательным вводом или с параллельным вводом; по числу ЦАП на кристалле: одноканальные и многоканальные; по быстродействию: низкого, среднего и высокого быстродействия; по разрядности.

Предположим, что необходимо преобразовать выходные двоичные сигналы с выхода процессора в аналоговый сигнал в диапазоне 0-3В. Для этого необходимо составить таблицу истинности для ЦАП (табл.21.2):

табл.21.2

	Цифровой вход				Аналоговый выход
	D	C	B	A	Вольты
Строка 1	0	0	0	0	0
Строка 2	0	0	0	1	0,2
Строка 3	0	0	1	0	0,4
Строка 4	0	0	1	1	0,6
Строка 5	0	1	0	0	0,8
Строка 6	0	1	0	1	1,0
Строка 7	0	1	1	0	1,2
Строка 8	0	1	1	1	1,4
Строка 9	1	0	0	0	1,6
Строка 10	1	0	0	1	1,8
Строка 11	1	0	1	0	2,0
Строка 12	1	0	1	1	2,2
Строка 13	1	1	0	0	2,4
Строка 14	1	1	0	1	2,6
Строка 15	1	1	1	0	2,8
Строка 16	1	1	1	1	3,0

Входные сигналы ЦАП в виде логической 1 и логического 0 представлены в двоичной форме: логическая 1 – соответствует уровню от +3 до +5В; логический 0  $\approx$  0В.

Как видно из таблицы каждый шаг по таблице «вниз» изменяет выходной уровень на 0,2В.

## 21.2. Общая структурная схема ЦАП

представлена на рис. 21.3:

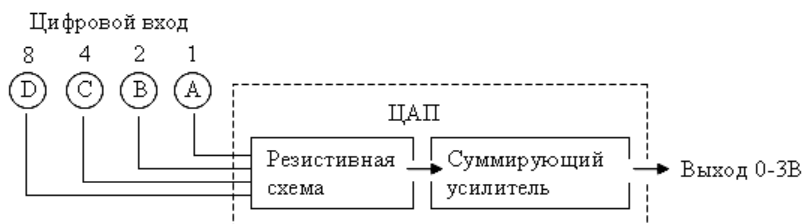


рис. 21.3

ЦАП состоит из двух блоков: группы резисторов, образующих многозвенную регистровую схему лестничного типа (резистивную матрицу), и операционного усилителя (ОУ), используемого в качестве суммирующего (масштабирующего) усилителя.

Назначения резистивной схемы – учет весовых коэффициентов для цифровых сигналов (вес 1 на входе В в 2 два раза больше веса на входе А, вес 1 на входе С в 4 раза больше веса на входе А и т.д.).

Назначение усилителя – усилить сигналы с выхода резистивной схемы до уровней, соответствующих таблице 21.2. Основная схема усилителя (рис. 21.4):

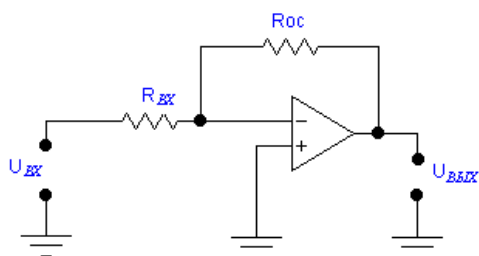


рис. 21.4

а коэффициент передачи по напряжению равен  $K_{\Pi} = \frac{R_{0C}}{R_{ВХ}}$ .

### 21.3. Основная схема простого ЦАП

приведена на рис. 21.5:

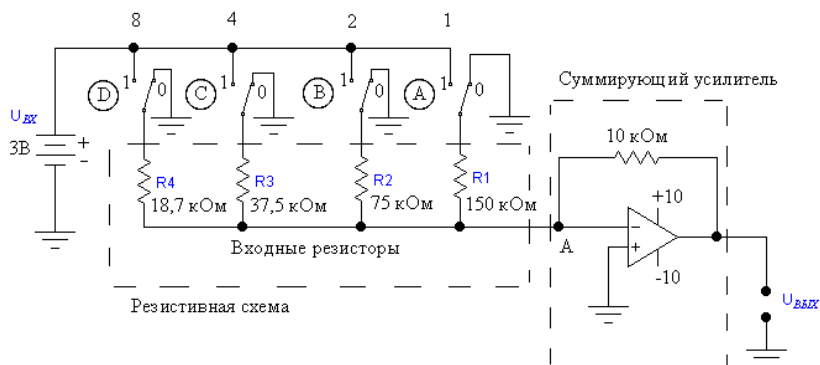


рис. 21.5

Особенность схемы – ОУ требует симметричного питания  $\pm 10В$  (двуполярного, достаточно высокого уровня).



При положении переключателей положение «0» - на выходе ОУ будет  $U_{\text{ВЫХ}} = 0$ .

Эта ситуация соответствует первой строке таблицы 21.2.

При положении  $A=1$ ,  $U_{\text{ВХ}} = 3B$  приложенного к входу усилителя.

Коэффициент передачи:  $K_{\text{П}} = \frac{R_{0C}}{R_{\text{ВХ}}} = \frac{10}{150} = 0,066$  и напря-

жение на выходе составит  $3 \times 0,066 = -0,2B$ , что соответствует двоичной комбинации на входе 0001 (строка 2 таблицы 21.2).

Подадим комбинацию 0010 ( $B=1$ ). При этом

$K_{\text{П}} = \frac{10}{75} = 0,133$ ,  $U_{\text{ВЫХ}} = 3 \times 0,133 = -0,4B$ , что соответствует строке 3 таблицы 21.2, и т.д.

При установлении  $A=1$ ,  $B=1$ ,  $C=1$ ,  $D=1$   $R_{\text{ВХ}} = 10 \text{ кОм}$ ,  $K_{\text{П}} = 1$  и  $U_{\text{ВЫХ}} = 3B$ .

В качестве входного устройства может быть выбран 5-разрядный коммутатор – уровень  $U_{\text{ВЫХ}}$  останется прежним, изменится только «шаг» ступеньки и их количество.

#### 21.4. Цифроаналоговый преобразователь лестничного типа

Одна из возможных схем ЦАП лестничного типа приведена на рис.21.6:

Эту резистивную схему иногда называют R-2R-схемой лестничного типа. Ее преимущество - используются резисторы только двух номиналов: номиналы «горизонтальных» резисторов «лестницы» в два раза больше номиналов «вертикальных» (отсюда и название схемы).

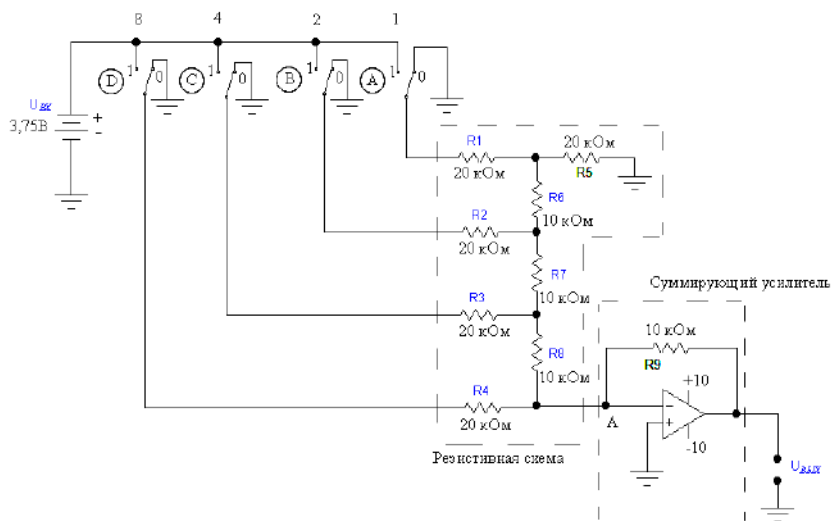


рис.21.6

Работа схемы аналогична предыдущей и ее суть отображена на таблице истинности (табл.21.3).

Входное напряжение  $3,75В$  выбрано как наиболее близкое к уровню ТТЛ–логики, т.е. входы А, В, С и D можно непосредственно присоединять к ИС любой ТТЛ-ИС.

Возможно применение большего числа входов (разряды с весом 16, 32 и т.д.), однако структура входной резисторной цепи останется прежней.

Недостатком первой схемы является необходимость использования резисторов очень высокой точностью и большим диапазоном номиналов, а также невысокая точность преобразования.

табл.21.3

Двоичный вход				Аналого- вый выход
8	4	2	1	Вольты
D	C	B	A	
0	0	0	0	0
0	0	0	1	0,25
0	0	1	0	0,5
0	0	1	1	0,75
0	1	0	0	1,0
0	1	0	1	1,25
0	1	1	0	1,5
0	1	1	1	1,75
1	0	0	0	2,0
1	0	0	1	2,25
1	0	1	0	2,5
1	0	1	1	2,75
1	1	0	0	3,0
1	1	0	1	3,25
1	1	1	0	3,5
1	1	1	1	3,75

## 21.5. Сопряжение цифровых и аналоговых устройств. Аналого-цифровые преобразователи (АЦП)

Аналого-цифровые преобразователи (АЦП) — это устройства, предназначенные для преобразования аналоговых сигналов в цифровые. Для такого преобразования необходимо осуществить квантование аналогового сигнала, т. е. мгновенные значения аналогового сигнала ограничить определенными уровнями, называемыми уровнями квантования.

В настоящее время известно большое число методов преобразования напряжение—код. Эти методы существенно отличаются друг от друга потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. На рис.21.7 представлена классификация АЦП по методам преобразования.

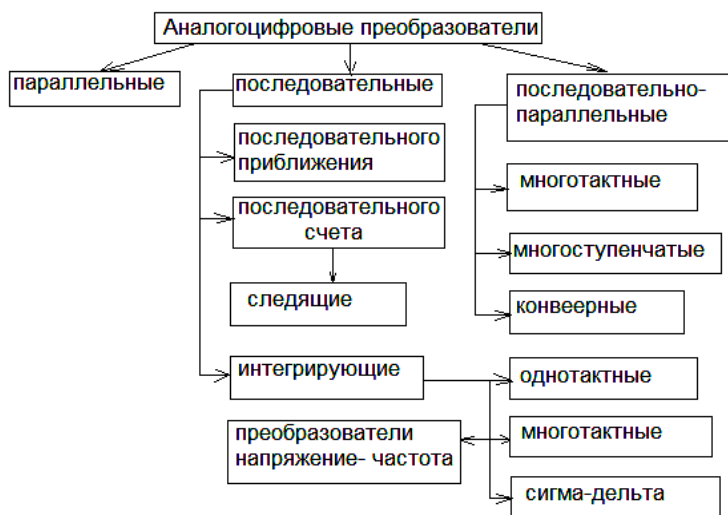


рис. 21.7

В основу классификации АЦП положен признак, указывающий на то, как во времени разворачивается процесс преобразования аналоговой величины в цифровую. В основе преобразования выборочных значений сигнала в цифровые эквиваленты лежат операции квантования и кодирования. Они могут осуществляться с помощью либо последовательной, либо параллельной, либо последовательно-параллельной

процедур приближения цифрового эквивалента к преобразуемой величине.

Наиболее распространенными являются АЦП серий микросхем 572, 1107, 1138 и др. (табл.21.4).

Из таблицы видно, что наилучшим быстродействием обладает АЦП параллельного преобразования, а наихудшим — АЦП последовательного преобразования.

табл.21.4

Тип м/схемы	Число разрядов	tnp, мкс	Uпр, В	Рпотрм Вт мВт	Преобразование
K1107ПВ1	6	0,1	+5 -6	800	Параллельное
K1107ПВ2	8	од	+5 -6	3000	Параллельное
KP572ПВ1А	12	ПО	5-15 -15	30	Последовательное
K572ПВ3	8	15	5	25	Последовательное
K572ПВ4	8	32	5	15	Последовательное
K1108ПВ1А	10	0,9	9 -5,2	800	Последовательное
K1138ПВ1А	10	30	5 -15	225	Последовательное

### **21.5.1. Базовая структурная схема аналого-цифрового преобразователя (АЦП)**

АЦП – специальная схема шифратора (шифратор специального типа).

Базовая структурная схема АЦП приведена на рис.21.8.

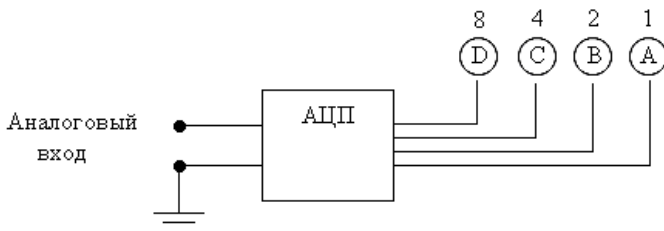


рис. 21.8

На входе действует изменяющийся аналоговый сигнал, на выходе имеем двоичные сигналы.

Таблица истинности представлена в табл.21.5:

табл.21.5

	Аналоговый вход	Двоичный выход			
		8	4	2	1
	Вольты	D	C	B	A
Строка 1	0	0	0	0	0
Строка 2	0,2	0	0	0	1
Строка 3	0,4	0	0	1	0
Строка 4	0,6	0	0	1	1
Строка 5	0,8	0	1	0	0
Строка 6	1,0	0	1	0	1
Строка 7	1,2	0	1	1	0
Строка 8	1,4	0	1	1	1
Строка 9	1,6	1	0	0	0
Строка 10	1,8	1	0	0	1
Строка 11	2,0	1	0	1	0
Строка 12	2,2	1	0	1	1
Строка 13	2,4	1	1	0	0
Строка 14	2,6	1	1	0	1
Строка 15	2,8	1	1	1	0
Строка 16	3,0	1	1	1	1

Как видно из таблицы 21.5, каждый раз увеличение входного уровня на 0,2 В приводит к увеличению на 1 на двоичном выходе. Как видно, таблица 21.5 является зеркальным отображением табл. 21.2 (ЦАП).

## Лекция 22

Тема: сопряжение цифровых и аналоговых устройств

Цифроаналоговые преобразователи (ЦАП)

Аналого-цифровые преобразователи (АЦП)

(продолжение лекции 21)

### 21.5.2. Структурная схема АЦП с динамической компенсацией

представлена на рис.21.9:

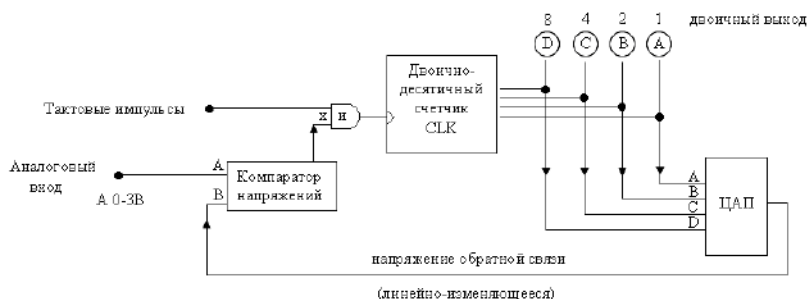


рис. 21.9

К входу АЦП приложено аналоговое напряжение.

Компаратор «проверяет» величину напряжения, поступающего от ЦАП. Если напряжение на входе А больше напряжения на входе В, разрешается прохождение тактовых импульсов на вход счетчика. Счетчик с каждым новым импульсом «добавляет» уровень на двоичном выходе. Счет продолжается до тех пор, пока напряжение обратной связи на входе В не превысит аналоговое напряжение по входу А. В этой точке компаратор останавливает счетчик. Вспомним работу компаратора (рис.21.10).

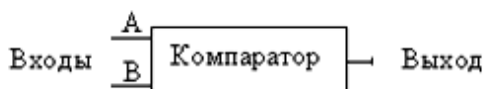


рис. 21.10

Основа компаратора – операционный усилитель. Суть его работы: если  $A > B$ , то на выходе имеется логическая 1; если  $A < B$ , то на выходе – логический 0, причем уровни 1 и 0 устанавливаются равными уровням ТТЛ-логики.

На вход В компаратора с выхода ЦАП по цепи обратной связи подается линейно-возрастающее напряжение (пилообразной формы), так как в процессе счета перед началом нового цикла счета уровень напряжения с выхода ЦАП начинается с нуля.

### 21.5.3. Интегрирующий АЦП

Структурная схема интегрирующего АЦП приведена на рис.21.11.

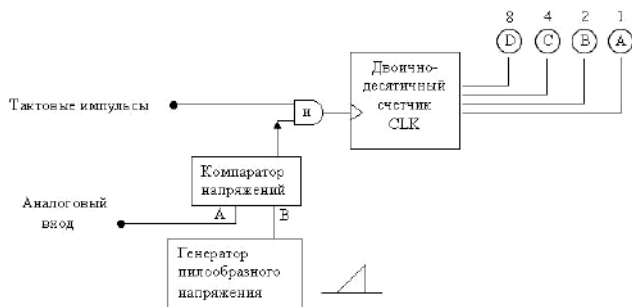


рис. 21.11

Работа АЦП может быть пояснена рис.21.12:



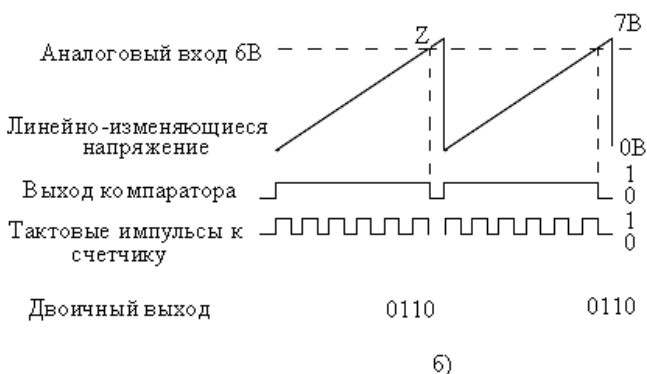
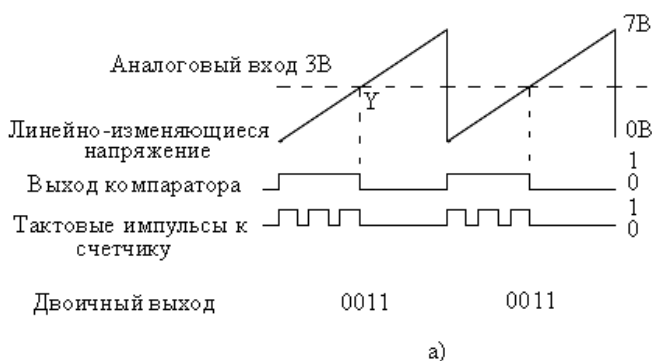


рис. 21.12

Предположим, что аналоговое напряжение на входе АЦП равно 3В (а). Линейно-изменяющееся напряжение нарастет с 0В, и пока оно не достигнет точки Y, оно меньше входного, и с выхода компаратора действует логическая 1, каждая «разрешает» работу схемы И, через которую проходят тактовые импульсы (по нашему рисунку – прошло 3 тактовых импульса).

В точке Y напряжение на выходе компаратора устанавливается равным логическому 0 – счетчик останавливается, так как схема И «закрылась». Счет останавливается на числе 0011 (3В).

Если на входе установлено  $U_{BX} = 6B$  (6), то линейно-возрастающее напряжение сравнивается с входным в точке Z – здесь компаратор «закроет» схему И, счет прекратится при выходном двоичном напряжении 0110 (6В).

Недостаток данной схемы – слишком велико время при преобразовании больших напряжений.

#### 21.5.4. АЦП последовательного приближения

Структурная схема представлена на рис.21.13.

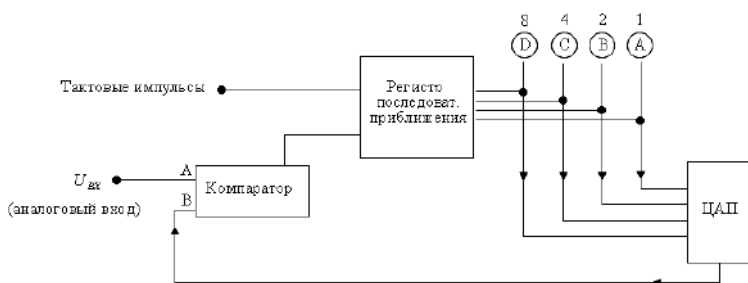


рис. 21.13

Здесь имеется новый блок – регистр последовательного приближения.

Работа данной схемы поясняется рис. 21.14. Предположим, что на вход подадим  $U_{BX} = 7B$ .

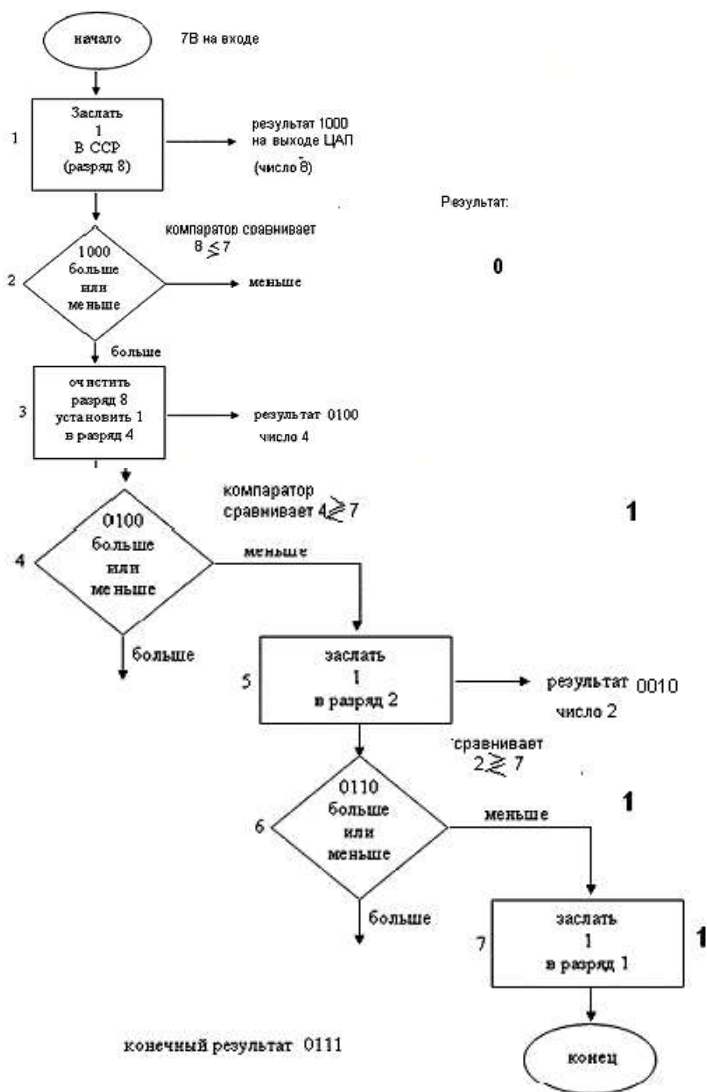


рис. 21.14

Как видно из рисунка 21.14, если на втором шаге ответ компаратора «больше», то этот разряд «очищается» (устанавливается 0 в этом разряде) и процесс «опроса» идет к следующему шагу. Если ответ «меньше», то разряде устанавливается 1, и регистр последовательного приближения засылает запрос (1) в ниже следующий разряд и т.д. до конца (0111) или ( $7_{10}$ ).

Т.о., регистр последовательного приближения выполняет операции (в прямоугольниках); на поставленные вопросы отвечает компаратор.

Преимущество данной схемы АЦП – небольшое количество опросов – процесс достаточно быстрый. Данный вид АЦП имеет широкое применение.

Имеется много других схем АЦП.

## 21.6. Характеристики АЦП и ЦАП

а) процесс работы АЦП предполагает в общем случае ряд операций:

- дискретизация сигнала по времени (определение наперед заданных дискретных моментов времени и определение в эти моменты времени значений непрерывной функции).

- квантование (округление до некоторых известных величин) полученных в дискретные моменты времени значений исходной аналоговой величины по уровню;

- кодирование – замена найденных значений (квантованных) некоторыми числовыми кодами.

Данная последовательность операций изображена на рисунке 21.15.

Пусть задана аналоговая зависимость  $U(t)$ . Для получения ее дискретного эквивалента необходимо провести выборку ее значений в дискретные моменты времени  $n \cdot T_d$ ,

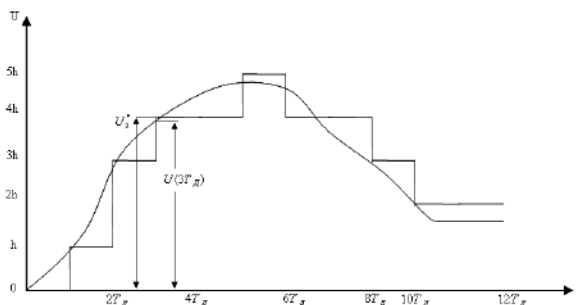


рис. 21.15

где  $n=0, 1, 2, 3 \dots$  - целое число:  
 $U(n \cdot T_d) = \{U(0); U(T_d); U(2T_d); \dots\}$ . Постоянная величина  $T_d$  - называется периодом дискретизации, а сам процесс замены исходной аналоговой функции  $U(t)$  некоторой дискретной функцией  $U(n \cdot T_d)$  называется дискретизацией сигнала по времени. Необходимо отметить, что дискретная функция  $U(n \cdot T_d)$  относительно самого сигнала  $U(t)$  является по-прежнему аналоговой функцией.

Значение уровня, например,  $U(3T_d)$  (см. рис.21.15) округляется до ближайшего уровня  $U_3^*$ .

Весь динамический диапазон изменения функции  $U(t)$  от  $U_{\max}$  до  $U_{\min}$  разбивается на некоторое заданное число  $N$  уровней:

$$D = U_{\max} - U_{\min},$$

и величина  $h = \frac{D}{N}$  носит название шага квантования (см. рис. 21.15).

Каждому дискретному значению  $U^*(n \cdot T_d)$ , присваивается значение в двоичной форме (например, по рис.35.9: 000; 001; 011; 100; 100; 101; 100; 100; 011; 010; 010).

Процесс квантования по уровню всегда связан с внесением некоторой погрешности  $\varepsilon_i$ , которая называется шумом квантования, величина которой (погрешности) определяется числом допустимых значений функций  $U_H^*$ , т.е. разрядностью числового кода.

При увеличении разрядности шум квантования можно сделать сколь угодно малым (но принципиально не может быть равна нулю).

В соответствии с теоремой Котельникова, если период дискретизации  $T_d$  отвечает условию  $T_d \leq \frac{1}{2} f_{\max}$ , где  $f_{\max}$

- частота максимальной гармоники исходного сигнала (а исходный сигнал по рис. 21.15 может быть представлен конечной суммой гармонических сигналов, т.е. ее спектр

ограничен:  $U(t) = \sum_{i=1}^K U_i \sin(\omega_i t + \varphi_i)$ ), то дискретные зна-

чения полностью определяют исходную зависимость и погрешность преобразования по времени на этапе дискретизации отсутствует.

б) процесс работы ЦАП предполагает выполнение следующих операций:

- формирование в заданном диапазоне изменения выходного сигнала  $M$ , его дискретных значений  $U_M^*$ , отличающихся на некоторые значения  $\alpha$ ;

- постановка каждому сформированному уровню соответствующего двоичного кода;

- последовательное, с заданными временными интервалами  $T_1$ , присвоение выходному сигналу значений

выделенных уровней в соответствии с входной кодовой последовательностью.

Если предположить, что  $\alpha = h$  и  $T_1 = T_d$ , то результатом ЦАП полученной двоичной последовательности будет ступенчатая функция по рис. 21.15 (последовательность 000; 001; 011; 100; 100; 101; 100; 100; 011; 010; 010 с интервалом  $T_d$  и шагом квантования  $h$  в диапазоне  $0 - 5h$ ). Эта функция хоть и непрерывна по времени, дискретна по уровням, что является результатом погрешности, обусловленной шумом квантования. Сам процесс ЦАП не вносит погрешности, лишь материализует погрешности предыдущего АЦП. Т.е., погрешности возникают только при АЦП и их можно уменьшить за счет уменьшения шага квантования  $h$  и периода дискретизации  $T_d$ .

Основные характеристики АЦП и ЦАП:

- статические, определяющие точность преобразования и

- динамические, характеризующие быстродействие данного класса устройств.

К статическим характеристикам относят:

- число разрядов ( $v$ ), отображающих исходную аналоговую величину (на выходе АЦП или входе ЦАП)

- абсолютная разрешающая способность – средние значения минимального изменения сигнала, обусловленное изменением разряда кода на единицу (как правило, младшего разряда).

- напряжение смещения нуля  $U_0$  - это напряжение ( $U_{BX0}$ ), которое нужно приложить к входу АЦП, чтобы получить на выходе нулевой выходной код; для ЦАП – это напряжение, присутствующее на его выходе при подаче на вход нулевого кода.

- нелинейность – отклонение действительной характеристики преобразования от оговоренной линейной.

К динамическим характеристикам относят:

- максимальная частота преобразования ( $f_{\max}$ ) – наибольшая частота преобразования, при которой заданные параметры соответствуют установленным нормам;
- время установления выходного сигнала – интервал времени от момента заданного изменения кода на входе ЦАП до момента установления выходного аналогового сигнала.

### **Выводы по теме**

1. Цифроаналоговые преобразователи (ЦАП) предназначены для преобразования цифровых сигналов в аналоговые. Такое преобразование необходимо, например, при восстановлении аналогового сигнала, предварительно преобразованного в цифровой.

2. Классификацию ИМС цифроаналоговых преобразователей можно провести по ряду специфических признаков:

- по роду выходного сигнала: преобразователи с токовым выходом или с выходом по напряжению;
- по типу цифрового интерфейса: с последовательным вводом или с параллельным вводом;
- по числу ЦАП на кристалле: одноканальные и многоканальные;
- по быстродействию: низкого, среднего и высокого быстродействия;
- по разрядности.

3. Общая классификация ЦАП по способам преобразования входного кода и схемам формирования выходного сигнала может быть представлена:

- последовательные, которые различаются по способу построения (ШИМ, сигма-дельта, на переключаемых конденсаторах);



- параллельные, которые также различаются по способу построения (с суммированием напряжений, с суммированием зарядов, с суммированием токов);

ЦАП, построенные по схеме с суммированием токов, подразделяются: на МОП – ключах, на источниках тока, на дифференциальных каскадах.

4. Аналого-цифровые преобразователи (АЦП) — это устройства, предназначенные для преобразования аналоговых сигналов в цифровые.

5. В основу классификации АЦП положен признак, указывающий на то, как во времени разворачивается процесс преобразования аналоговой величины в цифровую. В основе преобразования выборочных значений сигнала в цифровые эквиваленты лежат операции квантования и кодирования.

6. Операции квантования и кодирования могут осуществляться с помощью либо последовательной, либо параллельной, либо последовательно-параллельной процедур приближения цифрового эквивалента к преобразуемой величине.

7. Наилучшим быстродействием обладает АЦП параллельного преобразования, а наихудшим — АЦП последовательного преобразования.

### **Задания и вопросы для самоконтроля по теме**

1. Для чего необходимы ЦАП в цифровой технике?
2. Приведите классификацию ЦАП по породу выходного сигнала.
3. Приведите классификацию ЦАП по типу цифрового интерфейса.
4. Приведите классификацию по числу ЦАП на кристалле.
5. Приведите классификацию ЦАП по быстродействию.
6. Приведите классификацию последовательных ЦАП.
7. Приведите классификацию параллельных ЦАП.
8. Приведите классификацию ЦАП по применению элементной базы.

9. Приведите структурную схему простого ЦАП; объясните работу схемы.

10. Приведите схему ЦАП лестничного типа; объясните работу схемы.

11. Для чего предназначены АЦП?

12. Что положено в основу классификации АЦП?

13. Что лежит в основе преобразования выборочных значений сигнала в цифровые эквиваленты?

14. Какие процедуры приближения цифрового эквивалента к преобразуемой величине используются в АЦП?

15. Какой вид преобразования дает наилучшее быстродействие АЦП?

16. Приведите базовую структурную схему АЦП. Объясните принцип ее функционирования.

17. Приведите структурную схему АЦП с динамической компенсацией. Объясните принцип ее функционирования.

18. Приведите структурную схему интегрирующего АЦП. Объясните принцип ее функционирования.

19. Приведите структурную схему АЦП последовательного приближения

20. Какие операции предполагает в общем случае процесс работы АЦП?

21. Какие операции предполагает в общем случае процесс работы ЦАП?

22. Что такое «дискретизация сигнала повremени»?

23. Что такое «шаг квантования»?

24. Что такое «шум квантования»?

25. Приведите основные характеристики АЦП и ЦАП.

26. Что относится к статическим характеристикам АЦП и ЦАП?

27. Что относится к динамическим характеристикам АЦП и ЦАП?

## **Список литературы**

### **часть 1 «Схемотехника аналоговых устройств»**

#### **Основная литература:**

1. Лачин В.И., Савелов Н.С. Электроника: учебное пособие. 4-е изд. Ростов н/Д: изд-во «Феникс», 2004 - 576с.
2. Волович Г.И. Схемотехника аналоговых и аналого-цифровых электронных устройств. – М.: Издательский дом «Додэка - 21», 2005 – 528с.
3. В.Г. Гусев, Ю.М.Гусев Электроника: учебное пособие – М.: Высш. школа 1991 – 622с.
4. Тесты по учебной дисциплине «Схемотехника аналоговых электронных устройств». Галочкин В.А., ПГУТИ. Кафедра РРТ. Самара, 2015г.
5. Галочкин В.А. Учебное пособие по выполнению лабораторных работ; часть 1 «Схемотехника аналоговых устройств». ПГУТИ. Кафедра РРТ. Самара, 2015г.

#### **Дополнительная литература:**

6. Основы электроники, радиотехники и связи: учебное пособие для вузов /А.Д. Гуменюк, В.И. Журавлев, Ю.Ю. Мартюшев и др.; под ред. Г.Д. Петрухина – М.: Горячая линия – Телеком, 2008. – 480с.
7. Павлов В.Н., Ногин В.Н. Схемотехника аналоговых электронных устройств. М., Радио и связь, 320 стр., 2003г., (учебник для ВУЗ-ов).

## **часть 2 “Схемотехника цифровых устройств”**

### **Основная:**

8. Методическая разработка к лабораторным работам по дисциплине: «Электротехника, электроника и схемотехника»; модуль «Схемотехника»; часть 2 «Схемотехника цифровых устройств» Галочкин В.А., ПГУТИ. Кафедра РРТ. Самара, 2015г.

### **Дополнительная литература:**

9. Ю.Ф. Опадчий, О.П. Глудкин, А.И.Гуров. Аналоговая и цифровая электроника. Учебник для Вузов. М. Р и С 2003 г.

## Глоссарий

### часть 1 «Схемотехника аналоговых устройств»

**Аналоговые электронные устройства (АЭУ)** – это устройства усиления и обработки аналоговых электронных сигналов, выполненные на основе электронных приборов.

**Аналоговые сигналы** - это сигналы, изменяющиеся по тому же закону, что и описываемые ими физические процессы. Аналоговые сигналы заданы (известны, могут быть измерены) во все моменты времени.

**Усилитель электрических сигналов** – устройство, которое за счет энергии источника питания формирует новое колебание, являющееся по форме копией заданного усиливаемого колебания, но превосходит его по напряжению, току или мощности.

**Устройства на основе усилителей** – это, в основном, преобразователи электрических сигналов (устройства суммирования, вычитания, дифференцирования, интегрирования, логарифмирования, умножения и др.), преобразователи сопротивлений и генераторы различных типов.

**Основные технические характеристики аналоговых электронных усилителей** – входные и выходные сопротивления, коэффициенты передачи (по напряжению, по току, по мощности), амплитудно-частотные, фазочастотные и переходные характеристики, коэффициент полезного действия, амплитудная характеристика и др.

**Линейные искажения усилителей** – это частотные и фазовые искажения амплитудно - и фазочастотных характеристик; линейные искажения меняют форму сложного колебания, а форму гармонического (синусоидального) колебания не изменяют.

**Биполярный транзистор** – полупроводниковый элемент с двумя р-п переходами. Главный отличительный признак

биполярного транзистора – обеспечение его работы за счет носителей зарядов - электронов и дырок - за счет их инжекции.

**Формулы Эберса-Молла** – математическая модель биполярного транзистора в статическом режиме.

**Эффект Эрли** – при увеличении обратного напряжения на коллекторном переходе он расширяется в сторону базы; ширина базы при этом уменьшается; ток коллектора слегка увеличивается.

**Полевой (униполярный, канальный) транзистор** – полупроводниковый прибор, в основе работы которого используются подвижные носители зарядов только одного типа – либо электроны, либо дырки. Принцип действия **полевого транзистора с р-п переходом** основан на изменении сопротивления активного слоя (канала) путем расширения р-п перехода при подаче на него напряжения обратного смещения.

**МДП-транзистор** - транзистор со структурой «металл-диэлектрик-полупроводник».

**МОП-транзистор** – транзистор со структурой «металл-окисел-полупроводник».

В основе принципа работы МДП (МОП) транзисторов – влияние поля, изменяющего величину заряда электропроводимости на границе полупроводника с диэлектриком под действием приложенного напряжения.

**Нестабилизированные схемы смещения транзистора:**

- схема с фиксированным током базы;
- схема с фиксированным напряжением «база-эмиттер».

**Стабилизированные схемы питания транзисторов:**

- схема эмиттерной стабилизации;
- схема коллекторной стабилизации;
- комбинированная (эмиттерно-коллекторная) схема стабилизации;
- установка рабочей точки фиксацией точки эмиттера;

- схемы стабилизации за счет термокомпенсации;
- схемы с ГСТ (с генератором стабильного тока).

**ГСТ – генератор стабильного тока** – специальная схема из двух транзисторов, в которой ток второго транзистора «зеркально» отображает ток первого. Стабилизируя ток первого, получают стабилизацию тока второго транзистора, который и включают в требуемую схему.

**ГСТ – «токовое зеркало»** - при соотношении токов

$$\frac{I_2}{I_1} = 1$$

**ГТС – «отражатель» тока** – при соотношении токов

$$\frac{I_2}{I_1} \neq 1$$

**Активная (динамическая) нагрузка** – ГСТ, у которого сопротивление по переменному току  $R_{дин}$  - очень велико, а статическое (по постоянному току)  $R_{ст}$  - очень мало.

**Глубина обратной связи для замкнутой цепи обратной связи:**

$$F = \frac{K_E}{K_{EF}}$$

где  $K_E$  - сквозной коэффициент усиления без обратной связи;  $K_{EF}$  - при наличии обратной связи.

**Коэффициент петлевого усиления вдоль разомкнутой цепи обратной связи**

$$K_{\Pi} = B \cdot K_E,$$

где  $B$  - коэффициент передачи цепи обратной связи.

**Возвратное отношение для разомкнутой цепи обратной связи:**

$$T = -K_{\Pi}$$

**Формула Блэкмана для определения влияния обратной связи на входные и выходные сопротивления усилителя**

$$Z_F = Z \cdot \frac{F_{KЗ}}{F_{XX}},$$

где  $Z_F$  - величина сопротивления (входного, выходного) при наличии обратной связи;

$Z$  - величина сопротивления (входного, выходного) при отсутствии обратной связи;

$F_{KЗ}$  - глубина обратной связи при коротком замыкании цепи (входной, выходной);

$F_{XX}$  - глубина обратной связи при обрыве цепи (входной, выходной).

**Годограф** – кривая, по которой проходит конец вектора возвратного отношения  $T$  при изменении частоты  $0 \leq \omega \leq \infty$ .

**Критерий Найквиста для устойчивого усилителя** – годограф вектора возвратного отношения  $T(j\omega)$  не охватывает точки с координатами  $(-1, 0)$  в области частот  $0 \leq \omega \leq \infty$ .

**Динамическая характеристика усилителя** – связь между мгновенными значениями тока ( $\Delta I_K$ ) и напряжения ( $\Delta U_K$ ) при наличии сопротивления нагрузки ( $R_H$ ). Различают: входные, передаточные, сквозные динамические характеристики, а также динамические линии нагрузок.

**Уравнение нагрузки для переменного тока** –

$$\Delta U_{KЗ} = -\Delta I_K \cdot R_H$$

**Площадь усиления широкополосного усилителя** –

$$П = K_0 \cdot f_B,$$



где  $K_0$  - коэффициент усиления на средней частоте диапазона усиливаемых частот;  $f_B$  - верхняя граничная частота (на которой коэффициент усиления снижается в  $\sqrt{2}$  раз).

**1. Операционный усилитель (ОУ)** – это многокаскадный усилитель постоянного тока с дифференциальным входным каскадом, большим усилением и несимметричным выходом, предназначенный для работы с глубокой отрицательной обратной связью.

**2. Операционный усилитель (ОУ)** – это модульный многокаскадный усилитель с дифференциальным входом, по своим характеристикам приближающийся к идеальному усилителю со свойствами:

- бесконечно большой коэффициент усиления по напряжению ( $K_U = \infty$ );
- бесконечно большое входное сопротивление ( $R_{вх} = \infty$ );
- нулевое выходное сопротивление ( $Z_{вых} = 0$ );
- равенство  $U_{вых} = 0$  при  $U_{вх1} = U_{вх2}$ ;
- бесконечно большая полоса пропускания частот (отсутствие задержки сигнала).

**Коэффициент усиления дифференциального напряжения:**

$$K_D = \frac{\Delta U_{вых}}{\Delta U_{вхд}},$$

где  $\Delta U_{вхд} = U_{вх1} - U_{вх2}$  - изменение (разность) входных напряжений (между двумя входами). Коэффициент усиления дифференциального напряжения идентичен коэффициенту усиления по напряжению ОУ без обратной связи.

**Коэффициент усиления синфазного напряжения:**

$$K_{сф} = \frac{\Delta U_{вых}}{\Delta U_{вхсф}},$$

где  $\Delta U_{\text{вхсф}} = \frac{\Delta(U_{\text{вх1}} + U_{\text{вх2}})}{2}$  - изменение входных напряжений

при  $U_{\text{вх1}} = U_{\text{вх2}}$  (на обоих входах одновременно).

**Коэффициент относительного ослабления синфазных сигналов (КОСС)**

$$K_{\text{оос}} = 20 \lg \frac{K_{\text{д}}}{K_{\text{сф}}}$$

- основной параметр дифференциального каскада, входящего в состав ОУ, характеризующий способность ослаблять сигналы, приложенные к обоим входам одновременно (синфазные).

**Интегратор Миллера** – интегральный усилитель, состоящий из ОУ, интегратора и емкости Миллера

$$C_{\text{М}} = C_{\text{вх}}(1 + K_{\text{д}}).$$

**Эффект Миллера** – обусловлен тем, что из-за влияния  $U_{\text{вых}}$  увеличивается  $C_{\text{вх}}$  операционного усилителя:

$$C_{\text{вх}} = C_{\text{вх}} + C_{\text{к}}(1 + K_{\text{д}}).$$

**Реализация ARC - фильтра нижних частот первого порядка:**

$$K(P) = \frac{K_0}{1 + a_1 \cdot P},$$

где  $a_1 = 1$ ;  $K_0$  - коэффициент передачи при  $\omega = 0$ ;  $P$  - нормированное значение частоты в операторной форме:

$$P = \frac{j \cdot \omega}{\omega_{\text{ср}}},$$

где  $\omega_{\text{ср}}$  - частота среза фильтра.

**Реализация ARC – фильтра нижних частот второго порядка:**

$$K(P) = \frac{K_0}{1 + a_1 \cdot P + \vartheta_1 \cdot P^2},$$

где  $a_1, \epsilon_1$  - коэффициенты (табличные).

Фильтры второго порядка не могут быть реализованы с помощью только пассивных RC – цепей. Они реализуются только при использовании L- элементов или с помощью ОУ.

**Мост Вина** - автогенератор на основе неинвертирующего ОУ с RC – цепью для положительной обратной связи на одной частоте, на которой выполняется баланс фаз и амплитуд.

**RC - генераторы на основе ОУ** - автогенераторы на ОУ с положительной ОС; для инвертирующих усилителей необходим поворот фазы  $\varphi = 180^\circ$ , для неинвертирующих -  $\varphi = 0^\circ$  (для обеспечения баланса фаз).

**1. Компаратор** - (сравнивающее устройство) – служит для определения моментов равенства двух напряжений.

**2. Компаратор** – интегральный ОУ специального назначения, у которого выходные напряжения мгновенно изменяются от максимальных до минимальных значений или обратно при каждом прохождении через нуль разности двух входных напряжений.

## Глоссарий

### часть 2 «Схемотехника цифровых устройств»

**БИС** – большая интегральная схема.

**СБИС** – сверхбольшая интегральная схема.

**ПЛИМ** – программируемая логическая матрица.

**ТТЛ** – транзисторно-транзисторная логика;

**Фиксатор** – триггер-защелка(противодребезговое устройство);

**Триггер(фиксатор)** – бистабильный мультивибратор;

**Мультивибратор** – генератор тактовых импульсов, генерирующий непрерывную последовательность импульсов с ТТЛ-уровнями;

**Система счисления** – код, в котором используются специальные символы для обозначения количества каких-либо объектов;

**Вес разряда** – различная значимость разряда системы счисления;

**Логический элемент** – схема, “решающая”, что ей ответить на выходе– “да” или “нет”. Термин “логический” здесь использован по отношению к процедуре принятия решения;

**Булевы выражения** – основной язык, универсальный для цифровой техники. Булева алгебра – алгебра логики;

**Конъюнкция** – логическое умножение;

**Дизъюнкция** – логическое сложение;

**Положительная логика** – высокий уровень сигнала соответствует логической единице, а низкий – нулю;

**Отрицательная логика** – высокий уровень сигнала соответствует нулю, а низкий – логической единице;

**Совместимость уровней** входных и выходных сигналов – обеспечение согласования логических элементов при их покаскадном включении;

**Помехоустойчивость** логических элементов – это свойство их нечувствительности к отклонениям входных сигналов от асимптотических значений;

**Быстродействие** логического элемента – характеризуется временем задержки распространения сигнала (при включении, при выключении, среднее время задержки);

**РТЛ** – резисторно-транзисторная логика;

**ДТЛ** – диодно-транзисторная логика;

**ТТЛ** – транзисторно-транзисторная логика;

**ЭСЛ** – эмиттерно-связанная логика;

**ИИЛ (И<sup>2</sup>Л)** – инжекторно – интегральная логика;

**МОП-ИС** – логическая ячейка с МОП-транзистором;

**КМОП-ИС** – логическая ячейка с КМОП-транзисторами (взаимно дополняющая, комплементарная пара транзисторов с р-п-каналами).

**Шифратор** – устройство для преобразования десятичного числа в какой-либо код;

**Дешифратор** – устройство обратного преобразования кодов в десятичное число;

**Мультиплексор** – устройство для управляемой передачи данных от нескольких источников информации в один выходной канал;

**Демультимплексор** – устройство для управляемой передачи данных от одного источника информации в несколько выходных каналов.

**Триггер** – устройство, способное сформировать два устойчивых значения выходного сигнала и скачкообразно изменять эти два значения под действием внешнего управляющего сигнала;

**Счётчик** – последовательное устройство, предназначенное для счёта входных импульсов и записи их числа в двоичном коде;

**Модуль счета** – число состояний счетчика в процессе полного цикла.

**Регистр** – последовательное счетное устройство, предназначенное для записи, хранения, и (или) сдвига информации, представляемой в виде многоразрядного двоичного кода.

**Сумматор** – комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных чисел;

**Полусумматор** – устройство, предназначенное для сложения двух одноразрядных кодов, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых сигнал суммы и сигнала переноса в старший разряд;

**АЛУ** – арифметическо-логическое устройство, предназначенное для реализации логических и арифметических операций по обработке информации. АЛУ – функционально законченный узел ЭВМ.

**Бит** – один разряд двоичного числа;

**Байт** – 8-разрядное кодовое число;

**ОЗУ** – оперативно запоминающее устройство, используемое для хранения информации в процессе работы;

**ПЗУ** – постоянно запоминающее устройство, предназначенное для хранения информации в течение времени эксплуатации устройства.

**Дискретизация сигнала по времени** – определение номера заданных дискретных моментов времени и определение в эти моменты значений непрерывной функции;

**Квантование** – округление до некоторых известных величин полученных в дискретные моменты времени значений исходной аналоговой величины по уровню;

**Шум квантования** – погрешность, определяемая разрядностью числового кода.

## Оглавление

<b>Список сокращений и обозначений .....</b>	<b>4</b>
<b>ВВЕДЕНИЕ .....</b>	<b>7</b>
<b>Лекция 1</b>	
<b>Тема: основные технические характеристики и показатели аналоговых электронных устройств (АЭУ)</b>	
1.1. Стандартизация. Унификация .....	9
1.2. Входное и выходное сопротивление .....	10
1.3. Коэффициенты усиления (передачи) .....	10
1.4. Коэффициент усиления (передачи) по мощности .....	12
1.5. Амплитудно - и фазочастотная характеристики .....	12
1.6. Переходная характеристика .....	15
1.7. Нелинейные искажения .....	16
1.8. Коэффициент полезного действия .....	18
1.9. Собственные помехи .....	19
1.10. Амплитудная характеристика .....	20
1.11. Специфические показатели АЭУ .....	21
1.12. Стабильность показателей .....	22
Выводы по теме .....	23
Задания и вопросы для самоконтроля по теме .....	23
<b>Лекция 2</b>	
<b>Тема: требования к цепям питания усилительных элементов. Стабилизация режима транзистора</b>	
2.1. Нестабилизированные цепи питания .....	26
2.1.1. Смещение фиксированным током базы .....	26
2.1.2. Смещение фиксированным напряжением база— эмиттер .....	28
2.2. Стабилизация режима транзистора .....	30
2.2.1. Эмиттерная стабилизация .....	30
2.2.4. Цепи смещения с температурной стабилизацией .....	33
2.3. Цепи смещения без стабилизации режимов полевых транзисторов .....	34
2.4. Цепи смещения со стабилизацией режима .....	36
2.5. Генераторы стабильного тока (ГСТ) .....	37

2.5.1. Принцип работы ГСТ.....	37
2.5.2. Схемы ГСТ .....	40
Выводы по теме .....	42
Задания и вопросы для самоконтроля по теме .....	44

### **Лекция 3**

**Тема: обратная связь в аналоговых электронных устройствах и ее влияние на их параметры и свойства.**

**Схемотехника применения отрицательной обратной связи**

3.1. Виды обратной связи.....	46
3.1.1. Параллельная по входу и выходу ОС.....	47
3.1.2. Последовательная по входу и выходу обратная связь.....	49
3.1.3. Последовательная по входу и параллельная по выходу обратная связь.....	51
3.1.4. Параллельная по входу и последовательная по выходу ОС.....	53
3.2. Влияние ОС на коэффициенты усиления.....	55
3.3. Стабильность коэффициента усиления при обратной связи.....	58
3.4. Влияние отрицательной обратной связи на входные и выходные сопротивления .....	60
3.4.1. Влияние отрицательной обратной связи на входное сопротивление .....	60

### **Лекция 4**

**Тема: обратная связь в аналоговых электронных устройствах и ее влияние на их параметры и свойства.**

**Схемотехника применения обратной связи (продолжение лекции 3)**

3.4.2. Влияние отрицательной обратной связи на выходное сопротивление .....	62
3.4.3. Общий метод определения влияния ООС на входные и выходные сопротивления по формуле Блекмана.....	64
3.5. Влияние ОС на амплитудно-, фазочастотные и переходные характеристики (линейные искажения) .....	66
3.5.1. Частотно-независимая ОС.....	66
3.5.2. Частотнозависимая ОС.....	70
3.6. Влияние ОС на нелинейные искажения, помехи и динамический диапазон .....	71



3.7. Устойчивость усилителей с ОС. Критерии устойчивости. Запасы устойчивости .....	72
Выводы по теме .....	78
Задания и вопросы для самоконтроля по теме .....	79

## **Лекция 5**

### **Тема: усилители на биполярных и полевых транзисторах**

5.1.1. Основные свойства транзистора, включенного по схеме с общим эмиттером.....	81
5.1.2. Основные свойства транзистора, включенного по схеме с общей базой.....	83
5.1.3. Основные свойства транзистора, включенного по схеме с общим коллектором.....	86
5.2. Принцип электронного усиления.....	87
5.3. Режимы работы усилительных элементов .....	89
5.4. Схемы межкаскадных связей .....	92
5.5. Динамические и нагрузочные характеристики.....	94
5.6. Резисторный апериодический предварительный усилитель напряжения.....	96
5.6.1. АЧХ резисторного каскада на биполярном транзисторе .....	97

## **Лекция 6**

### **Тема: усилители на биполярных и полевых транзисторах (продолжение лекции 5)**

5.6.2. Фазочастотная характеристика резисторного каскада.....	105
6. Усилители на полевых транзисторах. Широкополосные (импульсные) усилители. Коррекция амплитудно-частотных характеристик .....	106
6.1. Особенности анализа каскадов на полевых транзисторах .....	107
6.2. Широкополосные (импульсные) каскады. Площадь усиления.....	108
6.3. Низкочастотная коррекция .....	111
6.3.1. НЧ коррекция с помощью цепочки $R_F C_F$ .....	111
6.3.2. НЧ коррекция с помощью ОС.....	114
6.4. Высокочастотная коррекция.....	115
6.4.1. Схема ВЧ коррекции с параллельной индуктивностью.....	115

6.4.2. Схема ВЧ коррекции с ООС .....	117
Выводы по теме .....	119
Задания и вопросы для самоконтроля по теме .....	121

## **Лекция 7**

### **Тема: анализ и схемотехника выходных мощных**

<b>каскадов усиления</b> .....	124
7.1. Требования к оконечным усилительным .....	125
каскадам .....	125
7. 2. Схемы выходных каскадов .....	126
7. 3. Трансформаторный каскад мощного усиления в режиме А .....	129
7.3.1. Общие соотношения .....	129
7.3.2. Расчет однотактного транзисторного каскада мощного усиления в режиме А .....	132
7.3.3. Особенности расчета двухтактного каскада мощного усиления в режиме А .....	135

## **Лекция 8**

### **Тема: анализ и схемотехника выходных мощных**

#### **каскадов усиления (продолжение лекции 7)**

7.3.4. Трансформаторный каскад в режиме В .....	139
7.3.5. Бестрансформаторные двухтактные каскады мощного усиления .....	142
7.3.6. Двухтактный бестрансформаторный каскад с параллельным (несимметричным) выходом .....	142
7.3.7. Двухтактный каскад с последовательным управлением .....	146
7.3.8. Расчет бестрансформаторных двухтактных каскадов .....	147
7.3.9. Двухтактный усилитель мощности с операционным усилителем .....	150
Выводы по теме: .....	150
Контрольные вопросы по теме: .....	152

## **Лекция9**

### **Тема: операционные усилители** ..... 153 |

9.1 Операционные усилители. Определения, Структура .....	154
9.2 Схемотехника ОУ .....	159
9.2.1. Элементарная (упрощенная) схема входного каскада .....	159

9.2.2. Упрощенная типовая схема входного каскада ОУ первого поколения.....	160
9.2.3. Схема входного каскада ОУ второго поколения.....	161
9.2.4. Схема входного каскада ОУ третьего поколения .....	162
9.2.5. Промежуточные каскады .....	163
9.2.6 Выходные каскады .....	163
9.3. Основные параметры ОУ.....	166
9.4. Схемы сдвига уровней .....	168
Выводы по теме .....	169
Задания и вопросы для самоконтроля по теме .....	171

## **Лекция 10**

### **Тема: схемотехника аналоговых устройств на основе операционных усилителей.....**

10.1. Инвертирующий усилитель.....	173
10.2. Неинвертирующий усилитель.....	177
10.3. Дифференциальный усилитель .....	178
10.4. Устройства суммирования и вычитания .....	180
10.4.1. Инвертирующий сумматор.....	180
10.4.2. Сумматор на основе неинвертирующего усилителя .....	181
10.5. Интегрирующий усилитель.....	182
10.6. Дифференцирующий усилитель .....	184
10.7. Логарифмический и антилогарифмический усилители .....	186

## **Лекция 11**

### **Тема: схемотехника аналоговых устройств на основе операционных усилителей (продолжение лекции 10)**

11.1. Перемножители и делители на ОУ.....	191
11.1.1. Аналоговый умножитель.....	191
11.1.2. Применение аналоговых умножителей.....	192
11.1.3. Умножитель с переменной крутизной (общий принцип).....	193
11.2. Повторитель напряжения.....	195
11.3. Активные фильтры на основе операционных усилителей.....	196
11.3.1. Активные RC – фильтры нижних частот первого порядка. Обобщенное описание фильтра НЧ.....	197

11.3.2. Реализация ARC – фильтра нижних частот первого порядка.....	200
11.3.3. Преобразование фильтра НЧ в фильтр ВЧ.....	200
11.3.4. Реализация ФВЧ на ARC.....	201
11.3.5. Реализация ARC – фильтров НЧ и ВЧ второго порядка.....	201
11.3.6. Фильтр НЧ со сложной ООС.....	202
11.3.7. ФНЧ на основе положительной обратной связи.....	203
11.3.8. Фильтр ВЧ на основе положительной обратной связи.....	204
11.3.9. Реализация полосовых фильтров второго порядка.....	205
Выводы по теме.....	207
Задания и вопросы для самоконтроля по теме.....	211

## **Лекция 12**

**Тема: положительная обратная связь**

**Генераторы на основе операционных усилителей**

**Компараторы на основе операционных усилителей.....**

12.1. Применение положительной обратной связи в RC - генераторах на ОУ.....	213
12.2. Генератор сигналов прямоугольной формы.....	214
12.3. Генератор сигналов треугольной формы.....	218
12.4. Компараторы напряжения на основе операционных усилителей.....	220
12.4.1. Принцип функционирования компаратора.....	221
12.4.2. Включение ПОС в компараторе.....	222
12.4.3. Пороговые уровни компараторов.....	224
12.4.4. Детектор с «окном».....	225
12.4.5. Особенности схемотехники компараторов.....	226
Выводы по теме.....	227
Задания и вопросы для самоконтроля по теме.....	229

**часть 2. Схемотехника цифровых устройств**

## **Лекция 13**

**Тема: современные базовые элементы цифровой техники (введение в цифровую технику).**

**Цифровые сигналы и цифровые схемы.....**

13.1. Цифровые сигналы и цифровые схемы.....	231
13.2. Современные базовые элементы цифровой	232

техники .....	235
13.2.1. Логический элемент «И» .....	236
13.2.2. Логический элемент «ИЛИ» .....	240
13.2.3. Логический элемент «НЕ» (инвертор) .....	243
13.2.4. Логическое двойное инвертирование .....	245
13.3. Логические элементы «И-НЕ», «ИЛИ-НЕ», «исключающее ИЛИ» .....	245
13.3.1. Логический элемент «И-НЕ» (инвертированное «И») .....	246
13.3.2. Логический элемент «ИЛИ-НЕ» (отрицание «ИЛИ») .....	248
<b>Лекция 14</b>	
<b>Тема: современные базовые элементы</b>	
<b>Цифровой техники (введение в цифровую технику)</b>	
<b>Цифровые сигналы и цифровые схемы</b>	
(продолжение лекции 13)	
14.1. Свойства и сравнительные характеристики современных базовых элементов .....	253
14.2. Способы представления информации .....	254
14.3. Основные требования к базовым логическим элементам .....	255
14.3.1. Совместимость уровней входных и выходных сигналов .....	256
14.3.2. Нагрузочная способность логического элемента .....	257
14.3.3. Формирующие свойство логического элемента (квантование сигнала) .....	258
14.4. Помехоустойчивость логических элементов. Быстродействие логических элементов. Классификация логических устройств	
14.4.1. Помехоустойчивость логических элементов .....	260
14.4.2. Быстродействие логического элемента .....	262
14.5. Классификация логических устройств .....	263
14.5.1. Классификация по способу ввода-вывода информации .....	263
14.5.2. Классификация по принципу действия .....	264
14.5.3. Классификация по схемотехническим решениям .....	265
Выводы по теме .....	266
Задания и вопросы для самоконтроля по теме .....	269

## Лекция 15

### Тема: схемотехника цифровых интегральных схем

<b>Схемотехника логических элементов</b> .....	272
15.1. Ключ на биполярном транзисторе .....	273
15.2. Транзисторная логика с непосредственными связями (НСТЛ) .....	274
15.3. Схема РТЛ (транзисторная логика с резистивной связью) .....	276
15.4. Схема ДТЛ (диодно-транзисторная логика) .....	277
15.5. ТТЛ (транзисторно-транзисторная логика) .....	278
15.6. Эмиттерно-связанная логика (ЭСЛ) .....	280
15.7. Логические элементы с инжекционным питанием ( $I^2L$ ) .....	282
15.8. Логические элементы на полевых транзисторах .....	285
15.8.1. Ключ на МДП-транзисторах с динамической нагрузкой .....	286
15.8.2. Логические элементы на комплементарных МДП-транзисторах (КМДП) .....	289
15.8.3. Динамическая логика на МДП-транзисторах .....	291
15.9. Сравнение параметров основных типов интегральных логических схем .....	293
Выводы по теме .....	294
Задания и вопросы для самоконтроля по теме .....	296

## Лекция 16

### Тема: коды. Преобразователи кодов. Шифраторы.

#### Мультиплексоры

16.1. Двоично – десятичный код 8421 .....	298
16.2. Код с избытком 3 .....	300
16.3. Код Грея .....	301
16.4. Преобразователи кодов .....	301
16.5. Шифраторы. Дешифраторы .....	302
Мультиплексоры. Демультимплексоры .....	302
16.5.1. Шифраторы и дешифраторы .....	304
16.5.2. Мультиплексоры и демультимплексоры .....	308
Выводы по теме .....	313
Задания и вопросы для самоконтроля по теме .....	315

## Лекция 17

### Тема: триггеры. Схемы фиксаторов. Запуск триггеров.....

17.1. RS-триггер (асинхронный) .....	319
17.2. Синхронный (тактируемый) RS-триггер .....	322
17.3. D-триггер (триггер с задержкой).....	325
17.4. D-триггеры с дополнительными входами .....	326
17.5. JK-триггеры. Схемы фиксаторов. Запуск триггеров. JK-триггер (ждуший мультивибратор) .....	328
17.6. JK-триггер с дополнительными входами .....	330
17.7. Схемы фиксаторов.....	331
17.8. Запуск триггеров.....	334
<i>17.8.1. Триггеры с управлением (запуском) или по фронту или по срезу тактового импульса .....</i>	<i>334</i>
<i>17.8.2. Триггеры типа ведущий/ведомый (триггеры с динамическим управлением) .....</i>	<i>337</i>
Выводы по теме .....	338
Задания и вопросы для самоконтроля по теме .....	340

## **Лекция 18**

<b>Тема: счетчики; регистры; сумматоры</b> .....	342
18.1. Счетчики со сквозным переносом .....	343
18.2. Асинхронный счетчик по модулю 10 .....	345
18.3. Синхронные счетчики .....	346
18.4. Вычитающие счетчики.....	348
18.5. Асинхронный трехразрядный счетчик по модулю 8 .....	348
18.6. Самоостанавливающиеся счетчики .....	349
18.7. Регистры .....	350
<i>18.7.1. Последовательные регистры сдвига.....</i>	<i>352</i>
<i>18.7.2. Параллельные регистры сдвига .....</i>	<i>354</i>
<i>18.7.3. Классификация регистров.....</i>	<i>356</i>
18.8. Арифметические устройства. Сумматоры .....	357
<i>18.8.1. Двоичное сложение .....</i>	<i>357</i>
<i>18.8.2. Сложение в разряде единиц (полусумматор) .....</i>	<i>359</i>
<i>18.8.3. Полные сумматоры.....</i>	<i>361</i>
<i>18.8.4. 3-х разрядный сумматор .....</i>	<i>362</i>
Выводы по теме .....	363
Задания и вопросы для самоконтроля по теме .....	364

## **Лекция 19**

<b>Тема: запоминающие устройства. Схемотехника запоминающих устройств .....</b>	<b>367</b>
---	------------

19.1. Принципы работы ОЗУ. ЗУ с произвольной выборкой (ЗУПВ) .....	369
19.2. Постоянные запоминающие устройства (ПЗУ) .....	373

## **Лекция 20**

### **Тема: запоминающие устройства. Схемотехника запоминающих устройств (продолжение лекции 19)**

20.1. Схемотехника ЗУ .....	378
20.1.1. Статические ОЗУ на биполярных транзисторах .....	379
20.1.2. Статические ОЗУ на основе полевых транзисторах .....	380
20.1.3. Динамические ОЗУ .....	382
20.2. Постоянные ЗУ (ПЗУ; ROM -Read – Only Memory).....	384
20.2.1. Масочные ПЗУ .....	385
20.2.2. Прожигаемые ПЗУ (однократно программируемые ППЗУ) .....	386
20.2.3. Перепрограммируемые ПЗУ (стираемое ППЗУ - ErasablePROM, EPROM; ППЗУ) .....	387
Выводы по теме .....	389
Задания и вопросы для самоконтроля по теме .....	392

## **Лекция 21**

### **Тема: сопряжение цифровых и аналоговых устройств**

#### **Цифроаналоговые преобразователи (ЦАП)**

Аналого-цифровые преобразователи (АЦП).....	395
21.1. Цифроаналоговые преобразователи .....	396
21.2. Общая структурная схема ЦАП .....	398
21.3. Основная схема простого ЦАП .....	399
21.4. Цифроаналоговый преобразователь лестничного типа ..	400
21.5. Сопряжение цифровых и аналоговых устройств. Аналого-цифровые преобразователи (АЦП) .....	402
21.5.1. Базовая структурная схема аналого-цифрового преобразователя (АЦП).....	404

## **Лекция 22**

### **Тема: сопряжение цифровых и аналоговых устройств**

#### **Цифроаналоговые преобразователи (ЦАП)**

#### **Аналого-цифровые преобразователи (АЦП)**

(продолжение лекции 21).....	406
21.5.2. Структурная схема АЦП с динамической компенсацией .....	406



21.5.3. Интегрирующий АЦП .....	407
21.5.4. АЦП последовательного приближения .....	409
21.6. Характеристики АЦП и ЦАП .....	411
Выводы по теме .....	415
Задания и вопросы для самоконтроля по теме .....	416
<b>Список литературы</b> .....	418
часть 1 «Схемотехника аналоговых устройств» .....	418
Основная литература: .....	418
Дополнительная литература: .....	418
часть 2 “Схемотехника цифровых устройств” .....	419
Основная литература .....	419
Дополнительная литература: .....	419
<b>Глоссарий</b> .....	420
часть 1 «Схемотехника аналоговых устройств» .....	420
часть 2 «Схемотехника цифровых устройств» .....	427

УДК 621. 385

**Галочкин В.А.** «Схемотехника аналоговых и цифровых устройств». Учебное пособие. Под редакцией д.т.н., профессора Елисеева С.Н.- Самара: ФГОБУ ВПО ПГУТИ 2016г- 441с.

**ISBN 978-5-904029-51-7**

Рецензент - д.т.н., профессор Тяжев А.И.

ФГОБУ ВПО «Поволжский государственный  
университет телекоммуникаций и информатики»  
443011, г. Самара, ул. Льва Толстого 23

---

Подписано в печать 05.05.15.г. Формат 60х84<sup>1</sup>/<sub>16</sub>  
Бумага писчая №1. Гарнитура Таймс. Заказ 1003085  
Печать оперативная. Усл. печ. л. 25,19. Тираж 100 экз.

---

Отпечатано в издательстве учебной и научной литературы  
Поволжского государственного университета  
телекоммуникаций и информатики  
443090, г. Самара Московское шоссе 77.  
Тел.(846)228-00-44