



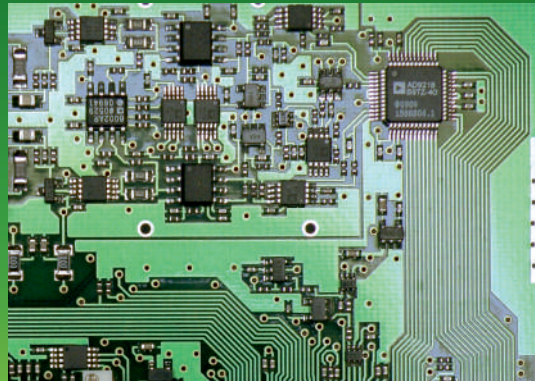
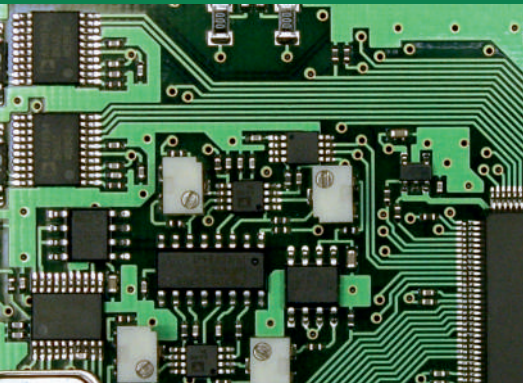
Уральский
федеральный
университет

имени первого Президента
России Б.Н.Ельцина

Институт естественных наук
и математики

БАЗОВЫЕ ЭЛЕМЕНТЫ ЦИФРОВОЙ ТЕХНИКИ

Учебно-методическое пособие



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
УРАЛЬСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ
ИМЕНИ ПЕРВОГО ПРЕЗИДЕНТА РОССИИ Б. Н. ЕЛЬЦИНА

БАЗОВЫЕ ЭЛЕМЕНТЫ ЦИФРОВОЙ ТЕХНИКИ

Учебно-методическое пособие

Рекомендовано

методическим советом Уральского федерального университета
в качестве учебно-методического пособия для студентов вуза,
обучающихся по направлениям подготовки 03.03.02 «Физика»,
27.03.01 «Стандартизация и метрология», 27.03.05 «Инноватика»,
28.03.01 «Нанотехнологии и микросистемная техника»

Екатеринбург
Издательство Уральского университета
2018

УДК 621.377.6(07)

ББК 32.844.1я7

Б177

Авторы:

В. Х. Осадченко, Я. Ю. Волкова,
А. В. Германенко, П. С. Зеленовский

Под общей редакцией Я. Ю. Волковой

Рецензенты:

лаборатория полупроводников и полуметаллов
Института физики металлов УрО РАН (заведующий лабораторией
доктор физико-математических наук *М. В. Якунин*);
М. С. Каган, доктор физико-математических наук,
заведующий лабораторией неравновесных электронных процессов
в полупроводниках Института радиотехники и электроники РАН

Базовые элементы цифровой техники : учеб.-метод. пособие /
Б177 [В. Х. Осадченко, Я. Ю. Волкова, А. В. Германенко, П. С. Зеленов-
ский ; под общ. ред. Я. Ю. Волковой] ; М-во образования и науки
Рос. Федерации, Урал. федер. ун-т. — Екатеринбург : Изд-во Урал.
ун-та, 2018. — 120 с.

ISBN 978-5-7996-2435-4

В пособии последовательно изложены вопросы, относящиеся к элементной базе цифровой техники. Подробно рассматриваются основы схемотехники различных базисных элементов и триггеров, анализируется работа электронных схем. Особое внимание уделено методике создания логических схем с помощью уравнений, связывающих входные и выходные состояния элементов в различных импульсных устройствах.

Пособие предназначено для студентов университетов, не являющихся профильными по специальностям, связанным с электротехникой и электроникой. Оно также будет полезно достаточно широкому кругу читателей, заинтересованных в получении знаний по электротехнике и основам радиоэлектроники, а также в смежных с ними областях – цифровой технике и робототехнике.

УДК 621.377.6(07)

ББК 32.844.1я7

ISBN 978-5-7996-2435-4

© Уральский федеральный университет, 2018

ПРЕДИСЛОВИЕ

Данное пособие предназначено для первоначального ознакомления с логикой и принципами действия электронных схем, используемых в логических и цифровых интегральных микросхемах. Его разделы могут быть полезны в курсах дисциплин «Основы радиоэлектроники», «Электротехника и электроника», «Электроника и схемотехника».

Особенностью данного пособия является систематичность представления материала, начиная с основ алгебры логики, ее методического использования при построении схем цифровой электроники. Проводится достаточно простой, но подробный анализ электрических процессов в широко распространенных схемах логических элементов и триггеров. Для большей наглядности импульсных процессов в цифровой схемотехнике приводятся зависимости от времени всех существенных сигналов в устройствах. Эти процессы студенты могут наблюдать в дальнейшем при выполнении предложенных лабораторных работ на стандартном учебном оборудовании.

ВВЕДЕНИЕ

Основу цифровой техники составляют логические элементы. К ним относятся элементы, в которых существует определенная логическая связь между входными и выходными сигналами, принимающими значения логических нуля или единицы. Связь между сигналами определяется логической функцией. Для ее описания используется математическая логика. Для простоты анализа логических элементов и для уяснения их функциональных возможностей служат таблицы состояний входных и выходных величин — сигналов. По этим таблицам можно построить временные диаграммы работы логического элемента.

Всего логических элементов, применяемых в настоящее время в цифровой технике, около тридцати, включая и различные типы триггеров.

Сначала изучим наиболее распространенные из них: И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, 2И-ИЛИ-НЕ, РАВНОЗНАЧНОСТЬ, СУММАТОР ПО МОДУЛЮ 2, RS-, D-, T-, JK-триггеры. Изучение логических элементов и триггеров начнем с анализа принципов действия электрических схем, выполняющих логические функции. Далее из логических элементов построим более сложные функциональные элементы, такие как РАВНОЗНАЧНОСТЬ, СУММАТОР ПО МОДУЛЮ 2, триггеры.

Все эти цифровые логические элементы широко используются в автоматике, связи, компьютерной технике. Из них же построены современные микропроцессорные устройства, которые можно самостоятельно программировать для выполнения функций управления бытовыми приборами в «умных» домах, в технологических процессах в роботизированных конвейерных линиях, в радиосвязи и телекоммуникациях.

1. БАЗОВЫЕ ЭЛЕМЕНТЫ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

1.1. Цифровые интегральные микросхемы (ИМС)

Любое электронное устройство, независимо от назначения и степени сложности, состоит из активных (транзисторы, интегральные микросхемы) и пассивных (резисторы, конденсаторы, катушки индуктивности) компонентов.

Интегральная микросхема (ИМС) представляет собой изделие из активных и пассивных элементов и соединительных проводников, выполненное в объеме и на поверхности полупроводникового кристалла таким образом, что создается определенная электронная схема. Кристалл помещен в корпус для защиты от внешних воздействий (механических, климатических и др.). Характерная особенность ИМС — большая плотность упаковки элементов. Наибольшее распространение имеют следующие виды микросхем:

ТТЛ — микросхемы транзисторно-транзисторной логики на биполярных транзисторах;

ЭСЛ — микросхемы эмиттерно-связанной логики на биполярных транзисторах;

МОП (или, иначе, МДП) — микросхемы на полевых транзисторах структуры металл-оксид-полупроводник (их также называют металл-диэлектрик-полупроводник);

КМОП — микросхемы с симметричной структурой на полевых транзисторах p - и n -типа.

В устройствах, собираемых из отдельных элементов, основным активным компонентом являются транзисторы, число которых определяет степень сложности схемы. В устройствах на ИМС основными элементами также являются транзисторы, выполненные с помощью нанотехнологий.

Логический элемент (ЛЭ) представляет собой электронное устройство, на входах и выходах которого сигнал может иметь только один из двух дискретных уровней напряжения — низкий и высокий. Эти уровни обычно называют *логическим нулем* и *логической единицей*.

1.2. Логические операции

В основе алгебры логики и схем цифровой техники лежат три основные элементарные операции: И — логическое умножение, или конъюнкция, ИЛИ — логическое сложение, или дизъюнкция, и НЕ — логическое отрицание, или инверсия. Эти три функции совместно позволяют осуществить любую сколь угодно сложную логическую операцию. Это свойство называют *функциональной полнотой*, а все три логических операции И, ИЛИ, НЕ вместе называют *базисными операциями (функциями)* или кратко *базисом*. Базисными операциями являются также логические функции Пирса и Шеффера, на основе которых строятся логические элементы И-НЕ, ИЛИ-НЕ.

1.2.1. Логические функции и логические элементы И, ИЛИ, НЕ

Логические переменные и логические функции могут принимать всего два значения — истина и ложь. В цифровой технике этим состояниям приписывают 1 и 0. Единица эквивалентна истине, а ноль эквивалентен ложному значению логических переменных и их функций, что в электронике естественно отразить высоким и низким уровнями напряжения соответственно.

Логическая функция НЕ (инверсия) выполняет операцию логического отрицания над значением логической переменной. Если

значение переменной ложно (эквивалентно нулю), то значением функции будет истина (эквивалентно единице) и, наоборот, если значение логической переменной ноль, то значением логической функции НЕ будет единица.

Логическая формула инверсии имеет вид

$$Y = \bar{X}. \quad (1)$$

Здесь черта над логической переменной означает операцию инверсии логической переменной.

Логический элемент НЕ, осуществляющий эту функцию в цифровой технике с помощью электронной схемы, называется *инвертором*. Он является простейшим элементом с одним входом и одним выходом.

Элемент НЕ изменяет значение напряжения входного логического сигнала так, что на выходе элемента появляется напряжение с логически противоположным значением, т. е. инвертирует логическое значение входной переменной. Его условное графическое обо-



X	Y
0	1
1	0

Рис. 1. Условное обозначение и таблица истинности логического элемента НЕ

значение и таблица истинности логической функции НЕ и инвертора представлены на рис. 1. Так как вход у этого логического элемента только один, то его таблица истинности состоит только из двух строк.

Логическая функция И (конъюнкция) выполняет операцию логического умножения переменных $X_1, X_2, X_3, \dots, X_n$. Значение этой функции эквивалентно единице тогда и только тогда, когда все логические переменные эквивалентны единице. Значение функции И равно нулю, если хотя бы одна из логических переменных равна нулю.

Логическая формула конъюнкции для двух логических переменных имеет вид

$$Y = X_1 \cdot X_2. \quad (2)$$

Логический элемент И (конъюнктор), электрически выполняющий операцию логического умножения, иногда называют *схемой совпадения*. Напряжение, соответствующее логической единице,

появляется на его выходе только при совпадении значений напряжений, соответствующих единице всех входных логических переменных. Его условное графическое обозначение и таблица истинности логической функции И для двух переменных представлена на рис. 2.

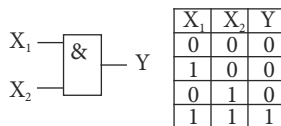


Рис. 2. Графическое обозначение и таблица истинности двухвходового элемента И

Из таблицы истинности следует, что на выходе элемента И будет напряжение высокого уровня (логическая единица) только в одном случае — когда на обоих входах будет напряжение высокого уровня.

Логическая функция ИЛИ (дизъюнкция) выполняет операцию логического сложения переменных $X_1, X_2, X_3, \dots, X_n$. Значение этой функции эквивалентно нулю тогда и только тогда, когда все логические переменные эквивалентны нулю. Значение функции ИЛИ равно единице если хотя бы одна из логических переменных равна единице. Логическая формула дизъюнкции для двух логических переменных имеет вид

$$Y = X_1 + X_2. \quad (3)$$

Условное графическое изображение двухвходового логического элемента ИЛИ (дизъюнктора), выполняющего операцию логического сложения двух переменных, и таблица истинности операции ИЛИ показаны на рис. 3.

По таблице истинности можно сделать вывод, что на выходе элемента ИЛИ будет напряжение высокого уровня (логическая единица), если либо на одном, либо сразу на всех входах будет напряжение высокого уровня.

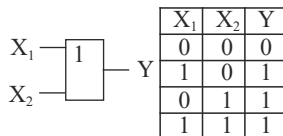


Рис. 3. Графическое обозначение и таблица истинности двухвходового элемента ИЛИ

1.2.2. Базисные логические операции Пирса и Шеффера и логические элементы ИЛИ-НЕ, И-НЕ

Сложные логические операции, осуществляемые микросхемами цифровой техники, строятся обычно на основе функциональных базисов, содержащих одну операцию. Таковыми являются операции Пирса (стрелка Пирса) и Шеффера (штрих Шеффера).

Операция Пирса последовательно выполняет сначала функцию логического сложения любого числа логических переменных, а затем инверсию (логическое отрицание) результата сложения. Поэтому эту функцию называют ИЛИ-НЕ.

Логическая формула операции Пирса для двух переменных имеет вид

$$Y = \overline{X_1 + X_2}. \quad (4)$$

Логический элемент, реализующий эту операцию, может быть построен из базисных элементов ИЛИ и НЕ по схеме (см. рис. 4).

Элемент ИЛИ-НЕ (рис. 4) осуществляет логическое сложение двух цифровых сигналов с инверсией результирующего сигнала.

Условное графическое изображение и таблица истинности двухвходового элемента ИЛИ-НЕ представлены на рис. 5.

Можно доказать базисность (функциональную полноту) элемента ИЛИ-НЕ. Логические функции И, ИЛИ, НЕ обладают функциональной полнотой в том смысле, что из них можно построить сколь угодно сложную логическую функцию. Поэтому если мы покажем, что только из элементов ИЛИ-НЕ можно построить систему базовых логических функций И, ИЛИ, НЕ, то тем самым докажем, что элемент ИЛИ-НЕ обладает функциональной полнотой. Выполним это

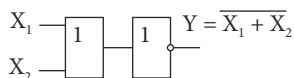


Рис. 4. Элемент ИЛИ-НЕ на два входа, построенный в трехэлементном базисе И, ИЛИ, НЕ

X_1	X_2	Y
0	0	1
1	0	0
0	1	0
1	1	0

Рис. 5. Графическое обозначение и таблица истинности элемента ИЛИ-НЕ

с помощью таблиц истинности элементов И, ИЛИ, НЕ, соотношений алгебры логики (см. Прил. 2) и условных графических изображений.

Элемент НЕ может быть получен из ИЛИ-НЕ простым соединением входов, как показано на рис. 6.

Видно, что при таком соединении таблица истинности элемента ИЛИ-НЕ будет эквивалентна таблице истинности инвертора (ср. таблицы рис. 1 и 5). Тогда для получения функции элемента ИЛИ достаточно к выходу элемента ИЛИ-НЕ присоединить полученный инвертор, что снимет инверсию этого элемента, и в итоге получится элемент ИЛИ (рис. 7). На схеме рис. 7 показаны результаты выполнения операции на выходе каждого элемента ИЛИ-НЕ.

Для получения из элемента ИЛИ-НЕ логического элемента И необходимо воспользоваться теоремой де Моргана (см. Прил. 2), согласно которой

$$X_1 \cdot X_2 = \overline{\overline{X_1} + \overline{X_2}}. \quad (5)$$

Из этой формулы следует, что если входные переменные X_1 и X_2 предварительно подать на полученные ранее инверторы из ИЛИ-НЕ, а затем на сам элемент ИЛИ-НЕ, то на выходе такой схемы будет реализована искомая функция элемента И (рис. 8).

Подписи результата операции на выходе каждого элемента ИЛИ-НЕ на схеме рис. 8 показывают, что в соответствии с формулой (5) результатом всех операций на выходе схемы реализуется функция логического умножения входных переменных. Этот результат подтверждается путем непосредственной подстановки всех возможных пар логических значений входных переменных X_1, X_2 .

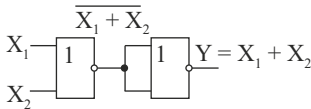


Рис. 7. Схема элемента ИЛИ, построенного из элементов ИЛИ-НЕ

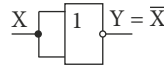


Рис. 6. Получение инвертора из элемента ИЛИ-НЕ

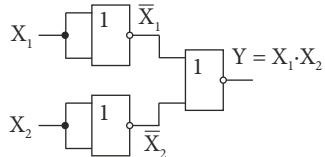


Рис. 8. Элемент И из элементов ИЛИ-НЕ

Таким образом, базисность элемента ИЛИ-НЕ и функциональную полноту операции Пирса можно считать доказанной.

Операция Шеффера последовательно выполняет сначала функцию логического умножения переменных, а затем инверсию (логическое отрицание) результата умножения для любого числа логических переменных. Поэтому эту функцию называют И-НЕ. Логическая формула операции Шеффера для двух переменных имеет вид

$$Y = \overline{X_1 \cdot X_2}. \quad (6)$$

Логическая функция, реализующая эту операцию, может быть, в принципе, получена последовательным выполнением функций И и НЕ из базиса И, ИЛИ, НЕ по схеме (рис. 9).

Элемент И-НЕ (см. рис. 9) производит логическое умножение двух цифровых сигналов с инверсией результата. Условное графическое изображение и таблица истинности двухвходового элемента ИЛИ-НЕ представлены на рис. 10.

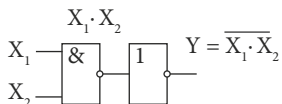


Рис. 9. Элемент И-НЕ на два входа, построенный из элементов базиса И, ИЛИ, НЕ

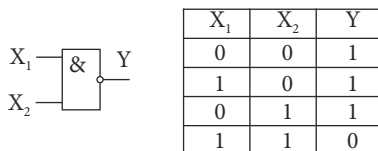


Рис. 10. Графическое обозначение и таблица истинности элемента И-НЕ

По методике, использованной ранее для доказательства функциональной полноты элемента ИЛИ-НЕ, докажем базисность элемента И-НЕ. Аналогично предыдущему, получаем инвертор соединением входов элемента И-НЕ (рис. 11).

Используя полученный инвертор, подключаем его на выход элемента И-НЕ для получения элемента с функцией И (рис. 12).

Далее, используя теорему де Моргана для логического сложения (см. Прил. 2)

$$\overline{X_1 + X_2} = \overline{\overline{\overline{X_1} \cdot \overline{X_2}}}, \quad (7)$$

получаем прямо по формуле логическую схему для элемента ИЛИ, состоящую только из одних элементов И-НЕ (рис. 13).

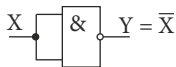


Рис. 11. Получение инвертора из элемента И-НЕ

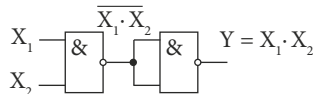


Рис. 12. Схема элемента И, построенного из элементов И-НЕ

При подстановке всех возможных комбинаций входных логических переменных X_1 , X_2 на выходе логической схемы на рис. 13 получаются значения функции, соответствующие таблице истинности логического элемента ИЛИ. Таким образом, из элемента И-НЕ мы построили элементы НЕ, И, ИЛИ. Этим доказана функциональная полнота функции И-НЕ.

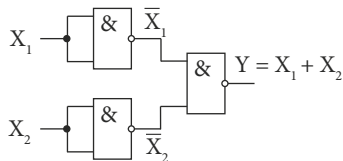


Рис. 13. Элемент ИЛИ из элементов И-НЕ

1.2.3. Элементы РАВНОЗНАЧНОСТЬ и СУММАТОР ПО МОДУЛЮ 2

Равнозначность, или *эквивалентность* — равенство логических значений двух переменных. Существует логическая функция РАВНОЗНАЧНОСТЬ (ЭКВИВАЛЕНТНОСТЬ), которая с помощью определенной комбинации базисных логических операций устанавливает факт равнозначности.

Логическая формула функции ЭКВИВАЛЕНТНОСТЬ для двух переменных имеет следующий вид:

$$Y_{\text{равн}} = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2}. \quad (8)$$

Логический элемент РАВНОЗНАЧНОСТЬ, реализующий эту функцию с помощью базисных операций И, ИЛИ, НЕ, может быть построен по следующей логической схеме (см. рис. 14).

На выходе каждого логического элемента на схеме рис. 14 поэтапно показаны результаты последовательного выполнения операций в соответствии с их функциями, что в итоге создает формулу (8) функции РАВНОЗНАЧНОСТЬ (ЭКВИВАЛЕНТНОСТЬ).

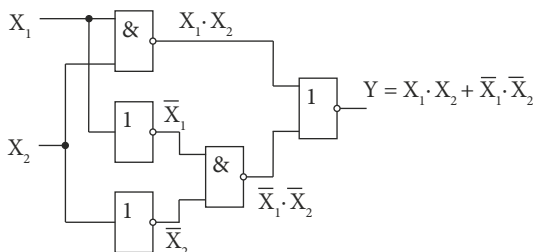


Рис. 14. Схема элемента РАВНОЗНАЧНОСТЬ в базе И, ИЛИ, НЕ

Условное графическое обозначение логического элемента РАВНОЗНАЧНОСТЬ на два входа и таблица истинности функции РАВНОЗНАЧНОСТЬ представлены на рис. 15.

Для получения схемы элемента РАВНОЗНАЧНОСТЬ в базе ИЛИ-НЕ необходимо с помощью закона двойного отрицания и теореме алгебры логики (см. Прил. 2) преобразовать выражение (8) функции РАВНОЗНАЧНОСТЬ таким образом, чтобы оно содержало только операции дизъюнкции и инверсии. По закону двойного отрицания

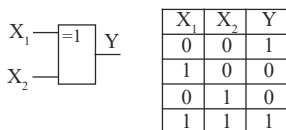


Рис. 15. Графическое обозначение и таблица истинности элемента РАВНОЗНАЧНОСТЬ

$$Y_{\text{равн}} = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} = \overline{\overline{X_1} \cdot \overline{X_2}} + \overline{\overline{\overline{X_1} \cdot \overline{X_2}}} \quad (9)$$

Применяя теорему де Моргана (закон двойственности) к нижним инверсиям над логическими произведениями $X_1 \cdot X_2$ и $\overline{X_1} \cdot \overline{X_2}$ в формуле (9), получим:

$$Y_{\text{равн}} = \overline{\overline{X_1} + \overline{X_2}} + \overline{X_1 + X_2}. \quad (10)$$

Теперь непосредственно по полученной формуле (10) можно построить схему элемента РАВНОЗНАЧНОСТЬ только из элементов ИЛИ-НЕ (рис. 16). При этом лишнюю инверсию на выходе снимаем инвертором (последний элемент ИЛИ-НЕ):

Аналогично предыдущим преобразованиям функции РАВНОЗНАЧНОСТЬ можно с помощью закона двойного отрицания

и теоремы де Моргана получить выражение этой функции только через операции И-НЕ. По закону двойного отрицания,

$$Y_{\text{равн}} = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} = \overline{\overline{X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2}}} \quad (11)$$

Применяя теорему де Моргана к нижней инверсии над операцией логического сложения, получим логическую функцию РАВНОЗНАЧНОСТЬ в базе И-НЕ:

$$Y_{\text{равн}} = \overline{\overline{X_1 \cdot X_2} \cdot \overline{\overline{X_1} \cdot \overline{X_2}}} \quad (12)$$

Теперь непосредственно по полученной формуле (12) построим схему элемента РАВНОЗНАЧНОСТЬ только из базисных элементов ИЛИ-НЕ (см. рис. 17).

В цифровой технике находит широкое применение логическая функция НЕРАВНОЗНАЧНОСТЬ, которая с помощью определенной комбинации базисных логических операций устанавливает факт неравенства логических значений переменных.

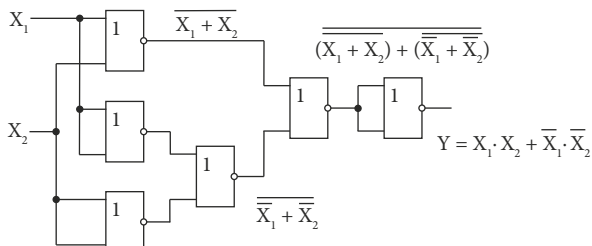


Рис. 16. Элемент РАВНОЗНАЧНОСТЬ в базе ИЛИ-НЕ

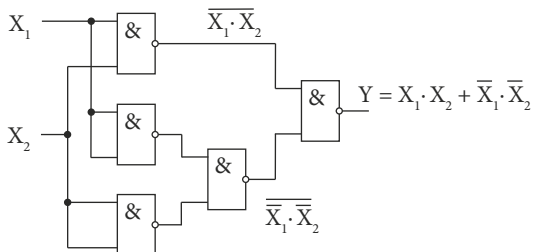


Рис. 17. Элемент РАВНОЗНАЧНОСТЬ в базе И-НЕ

Как будет показано далее, эта функция может называться ИСКЛЮЧАЮЩЕЕ ИЛИ, а также операцией СУММИРОВАНИЕ ПО МОДУЛЮ 2. Логическая формула функции НЕРАВНОЗНАЧНОСТЬ для двух переменных имеет следующий вид:

$$Y_{\text{неравн}} = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}. \quad (13)$$

С помощью законов алгебры логики (см. Прил. 2) легко показать, что функция НЕРАВНОЗНАЧНОСТЬ является инверсией функции РАВНОЗНАЧНОСТЬ и наоборот, т. е. эти функции логически взаимно отрицают друг друга:

$$Y_{\text{равн}} = \overline{Y_{\text{неравн}}}. \quad (14)$$

Одно из нескольких условных графических обозначений двухвходового логического элемента, выполняющего операции функции (13), и таблица ее истинности представлены на рис. 18.

Такое условное графическое обозначение отражает свойство элемента НЕРАВНОЗНАЧНОСТЬ как отрицание элемента РАВНОЗНАЧНОСТЬ.

Из таблицы истинности видно, почему этот элемент называют также СУММАТОР ПО МОДУЛЮ 2. Действительно, таблица показывает сложение одноразрядных двоичных чисел с переносом единицы в старший разряд при сложении двух единиц в последней строке таблицы.

Необходимо также отметить, что таблица истинности элемента НЕРАВНОЗНАЧНОСТЬ отличается от соответствующей таблицы элемента ИЛИ нулевым значением функции в последней строке.

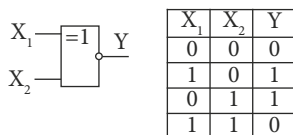


Рис. 18. Условное графическое обозначение логического элемента и таблица истинности функции НЕРАВНОЗНАЧНОСТЬ для двух логических переменных

Поэтому элемент НЕРАВНОЗНАЧНОСТЬ называют также элементом ИСКЛЮЧАЮЩЕЕ ИЛИ. В связи с различными названиями этого логического элемента он имеет разные УГО на логических и электрических схемах (см. рис. 19).

Логическую формулу этого элемента часто сокращенно записывают в виде

$$Y_{\text{неравн}} = X_1 \oplus X_2. \tag{15}$$

Анализируя формулу двухвходового логического элемента НЕРАВНОЗНАЧНОСТЬ, можно заключить, что в нем используется сложная функция, содержащая два логических умножения и логическое сложение результатов умножения двух логических переменных. Формула этой логической функции показывает, каким образом нужно соединить элементы базиса И, ИЛИ, НЕ (см. рис. 20), чтобы построить логическую схему элемента НЕРАВНОЗНАЧНОСТЬ (СУММАТОР ПО МОДУЛЮ 2, ИСКЛЮЧАЮЩЕЕ ИЛИ).

Для того чтобы построить логическую схему элемента ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе элемента ИЛИ-НЕ, необходимо с помощью алгебры логики преобразовать формулу (13) этого элемента так, чтобы она не содержала операций логического умножения. С этой целью, как уже было показано ранее, дважды инвертируем отдельно операции логического умножения. Применяя теорему де Моргана к нижним инверсиям логических произведений,

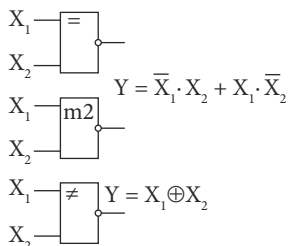


Рис. 19. Различные условные графические обозначения элемента НЕРАВНОЗНАЧНОСТЬ, или СУММАТОР ПО МОДУЛЮ 2

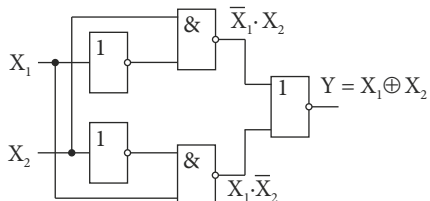


Рис. 20. Элемент НЕРАВНОЗНАЧНОСТЬ в базисе И, ИЛИ, НЕ

получим вместо них логические суммы инвертированных переменных. Теперь формула элемента ИСКЛЮЧАЮЩЕЕ ИЛИ содержит только логические операции, осуществляемые в базисе ИЛИ-НЕ:

$$Y_{\text{неравн}} = \overline{X_1 + X_2} + \overline{\overline{X_1} + \overline{X_2}}. \quad (16)$$

Используя полученную формулу, непосредственно по ней создаем логическую схему элемента НЕРАВНОЗНАЧНОСТЬ в базисе ИЛИ-НЕ (рис. 21).

Для того чтобы построить логическую схему элемента

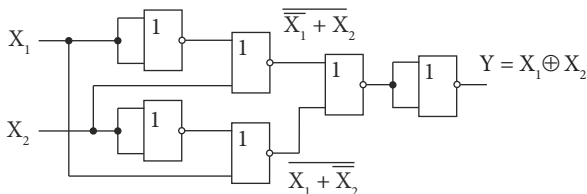


Рис. 21. Элемент НЕРАВНОЗНАЧНОСТЬ в базисе ИЛИ-НЕ

ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе элемента И-НЕ, необходимо с помощью алгебры логики преобразовать формулу (13) элемента НЕРАВНОЗНАЧНОСТЬ так, чтобы она не содержала операций логического сложения. С этой целью дважды инвертируем всю формулу (13). Применяя теорему де Моргана к нижней инверсии логического сложения, получим вместо него логическое произведение инвертированных логических произведений и окончательно запишем логическую формулу элемента ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе И-НЕ

$$Y_{\text{неравн}} = \overline{\overline{X_1 \cdot X_2} \cdot \overline{\overline{X_1} \cdot \overline{X_2}}}. \quad (17)$$

Сейчас непосредственно по формуле создаем схему логического элемента СУММАТОР ПО МОДУЛЮ 2 из элементов И-НЕ (рис. 22).

В тексте и в подрисуночных подписях мы намеренно использовали различные названия этого широко распространенного логического элемента, чтобы читатель твердо усвоил, что это разные

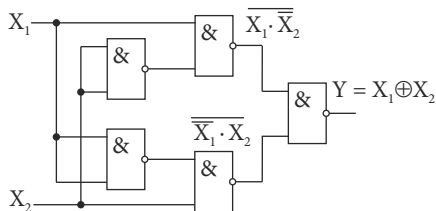


Рис. 22. Элемент НЕРАВНОЗНАЧНОСТЬ в базисе ИЛИ-НЕ

названия одного и того же элемента. В дальнейшем мы будем называть его однозначно элементом НЕРАВНОЗНАЧНОСТЬ.

1.3. Элементная база цифровых устройств

1.3.1. Логические уровни ТТЛ-микросхем

В настоящее время применяются два вида ТТЛ-микросхем — с напряжением питания 3 В и 5 В, но, независимо от этого, логическому нулю соответствует низкий уровень напряжения около нуля, а логической единице — высокий уровень, близкий к напряжению питания. Поэтому дополнительного согласования между этими ТТЛ-микросхемами обычно не требуется. Логические уровни напряжений на входе и выходе цифровой микросхемы должны находиться в определенных пределах. Границы уровней логического нуля и единицы для ТТЛ-микросхем приведены на рис. 23.

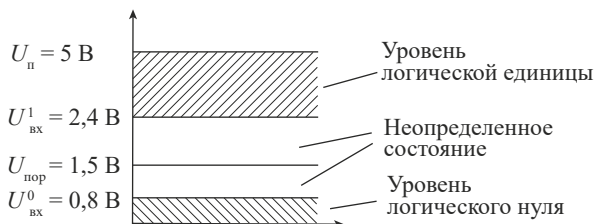


Рис. 23. Уровни логических сигналов на входе цифровых ТТЛ-микросхем

Реализация логических функций осуществляется с помощью определенных электронных процессов в транзисторных микросхемах, управляемых сигналами — электрическими импульсами низкого и высокого уровней напряжения. Выходной сигнал логических элементов связан с входными сигналами определенной логической операцией. Например, операция логического отрицания (инверсия) может быть реализована с помощью простого транзисторного усилителя, работающего в импульсном режиме. На рис. 24, б представлено условное графическое изображение устройства, реализующего функцию логического отрицания (инверсии), а на рис. 24, а — электрическая схема инвертора (элемента НЕ).

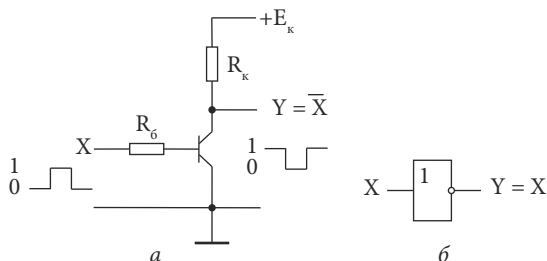


Рис. 24. Транзисторный усилитель с общим эмиттером в качестве инвертора: а — электрическая схема; б — условное графическое обозначение инвертора

Рассмотрим принцип действия такого варианта схемного решения элемента НЕ. При подаче на вход усилителя напряжения высокого уровня (уровень логической единицы) большой базовый ток (резистор R_b ограничивает ток перехода база — эмиттер до максимально возможного) вызовет максимальный ток коллектора транзистора. Величина тока определяется, по закону Кирхгофа, величиной напряжения питания E_k , сопротивлением резистора R_k и сопротивлением между коллектором и эмиттером открытого транзистора. Транзистор при этом работает в режиме насыщения, когда у него оба перехода смещены в прямом направлении, и его сопротивление и напряжение между коллектором и эмиттером практически равны нулю. Тогда выходное напряжение (измеряемое,

как и входное, относительно общего провода) равно нулю (уровень логического нуля).

Если, наоборот, на входе усилителя присутствует напряжение низкого уровня (логический ноль), то нулевой базовый ток закроет оба pn -перехода транзистора (режим отсечки). Это приведет к высокому сопротивлению и напряжению между коллектором и эмиттером транзистора. Тогда, по закону Кирхгофа, выходное напряжение будет практически равно напряжению источника питания, т. е. уровню логической единицы.

Таким образом, транзисторный усилительный каскад с общим эмиттером может выполнять функцию логического отрицания. Электрическая схема, реализующая эту функцию, называется *инвертором*, или элементом НЕ.

Логические элементы разных видов микросхем (ТТЛ, ЭСЛ, КМОП и др.) могут различаться в функциональном отношении. Базовым считают элемент с наиболее простой структурой, на основе которого легче всего создавать другие логические электронные схемы. Для микросхем ТТЛ таким логическим элементом является логическая схема И-НЕ.

Базовые элементы разных видов микросхем (ТТЛ, ЭСЛ, КМОП и др.) могут различаться в функциональном отношении. Базовым логическим элементом считают элемент с наиболее простой структурой, на основе которого легче всего создавать другие электронные схемы. Для микросхемы ТТЛ таким логическим элементом является логическая схема И-НЕ.

1.3.2. Первые логические элементы ТТЛ

В цифровой электронике простые логические операции осуществляются с помощью микроэлектронных схем, функционирующих аналогично логическим элементам. Первоначально микросхемы содержали всего один базовый логический элемент, примерная схема которого показана на рис. 25, а. По мере дальнейшего развития технологии на кристалле полупроводниковой микросхемы стали размещать разнообразные наборы элементов, а позднее начали соединять их в структуры, выполняющие более сложные логические

функции. При этом принципиальная электрическая схема базовых логических элементов не изменялась.

С течением времени скоростные параметры микросхем оказывались довольно неудовлетворительными и приходилось увеличивать величину быстродействия, экономичность и повышать помехоустойчивость микросхем за счет модернизации принципиальной схемы базовых логических элементов. В течение 20–25 лет последовательно изменились более десяти таких схем. Для того чтобы отличать их друг от друга, им присваивали условные буквенные обозначения. В них, по традиции, имеется буква Л (от слова *логика*). Словом *логика* ранее условно называли электронный ключ, управляемый импульсами. Рассмотрим принципиальную возможность построения электронных схем, осуществляющих различные логические операции, на примере развития элементов от резисторно-транзисторной логики

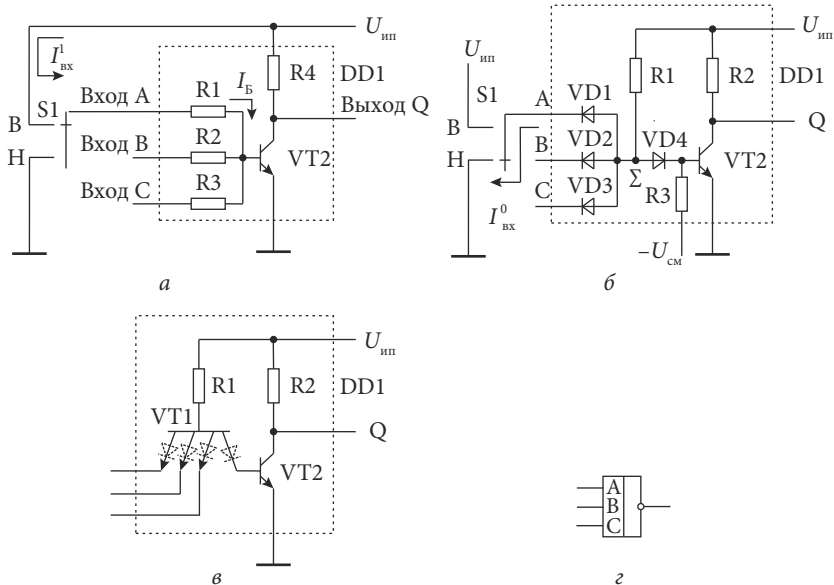


Рис. 25. Первые логические элементы:
 а — элемент РТЛ; б — элемент ДТЛ; в — элемент ТТЛ;
 з — функциональное обозначение

(РТЛ) до диодно-транзисторной логики (ДТЛ) и далее до транзисторно-транзисторной логики (ТТЛ).

Электрическая схема элемента РТЛ (рис. 25, а) отражает наличие в схеме пассивных компонентов — резисторов R1, R2, R3 и активного компонента — переключающего транзистора VT1. В 1960-е гг. микросхемы РТЛ достаточно большими партиями выпускались в гибридном исполнении, т. е. с навесными элементами. На рис. 25, а схема логического элемента (обозначенного как DD1) обведена штрихпунктирной линией.

Подключим на вход А элемента DD1 (рис. 25, а) электромеханический переключатель S1. Подвижный контакт переключателя может занимать два крайних положения — В и Н. В верхнем положении В на вход А поступает напряжение высокого логического уровня $U_{\text{вх}}^1 = U_{\text{ип}}$, а в нижнем положении Н — низкого $U_{\text{вх}}^0 = 0$. На рис. 25, а на вход А подан сигнал логической единицы высокого уровня. Сейчас от положительного вывода источника питания $U_{\text{ип}}$ через резистор R1 в базу транзистора VT1 втекает довольно большой базовый ток $I_{\text{б}}$, открывающий транзистор. Такой базовый ток транзистора VT1 является здесь входным током высокого уровня $I_{\text{вх}}^1$. Спротивление открытого транзистора приблизительно равно нулю, что приводит к выходному напряжению ЛЭ низкого уровня — сигналу логического нуля. Видно, что этот элемент РТЛ выполняет по любому из входов А, В, С функцию логического отрицания, т. е. является инвертором. При использовании всех трех входов этот ЛЭ является элементом ИЛИ-НЕ.

Необходимо отметить, что элемент РТЛ включается входным напряжением высокого уровня. Входное напряжение, включающее ЛЭ, можно назвать *активным логическим сигналом* элемента. Таким образом, у элемента РТЛ активный логический сигнал высокого уровня.

Если в схеме (рис. 25, а) переключатель S1 установить в положение Н, база транзистора будет иметь нулевой потенциал, и транзистор VT1 открывающего тока получать не будет и поэтому закроется. Транзистор перейдет в состояние с высоким сопротивлением и на выходе Q логического элемента установится напряжение высокого уровня (уровень логической единицы). Через вход А

логического элемента DD1 будет стекать на землю очень маленький входной ток. Так как этот ток течет при входном напряжении низкого уровня (нулевого логического уровня), то его обозначают как $I_{\text{вх}}^0$. Этот ток является обратным током неосновных носителей перехода коллектор — база $I_{\text{КБО}}$, т. е. неуправляемым током утечки перехода коллектор — база транзистора VT1.

В эпоху ламповых ЭВМ очень широко использовались ЛЭ с входными диодами. При использовании с транзисторами она получила название ДТЛ — диодно-транзисторная логика. Электрическая схема этого элемента показана на рис. 25, б. Входные резисторы R1, R2, R3, снижающие время включения элемента РТЛ, заменены диодами VD1–VD3. Используется дополнительное внешнее отрицательное напряжение смещения $-U_{\text{см}}$, равное 1–2 В. Диод VD4 отделяет входную матрицу VD1–VD3.

Логический элемент ДТЛ имеет активный логический сигнал низкого уровня, т. е. включается низким уровнем напряжения. Элемент ДТЛ DD1 (рис. 25, б) включается заземлением входа А через переключатель S1. При этом диод VD1 откроется, потенциал в точке Σ схемы понизится до 0,7 В (это падение напряжения на открытом кремниевом диоде). Отрицательное напряжение $(0,7 - U_{\text{см}})$ В закроет переход база — эмиттер транзистора и переведет транзистор VT1 в закрытое состояние с высоким сопротивлением (режим отсечки). На выходе Q установится напряжение высокого уровня $U_{\text{вых}}^1 \sim U_{\text{ин}}$. От входа элемента ДТЛ в это время стекает на землю входной ток низкого уровня $I_{\text{вх}}^0$:

$$I_{\text{вх}}^0 = \frac{U_{\text{ин}} - 0,7 \text{ В}}{R1}.$$

Если на вход А через переключатель S1 подать напряжение высокого уровня $U_{\text{вх}}^1$, то это приведет к закрытию диода и поэтому входной ток $I_{\text{вх}}^1$ высокого уровня будет пренебрежимо малым. При этом положительное напряжение в точке Σ схемы существенно превысит отрицательное напряжение смещения и через диод VD4 в базу транзистора будет втекать большой открывающий ток $I_{\text{Б}}$ (учитывая, что $U_{\text{ин}}$ по модулю существенно превышает $U_{\text{см}}$). Открывшийся транзистор VT1 будет иметь сопротивление, близкое

к нулю (режим насыщения) и на выходе Q появится напряжение низкого уровня $U_{\text{вых}}^0 < 0,3 \text{ В}$.

Необходимо отметить, что в схеме ДТЛ база переключающего транзистора VT1 гальванически не связана с источником сигнала — переключателем S1. Следовательно, на транзистор не попадут ложные сигналы (помехи) от источника.

Описанное поведение элемента ДТЛ по каждому из входов А, В, С характеризует его как инвертор. При использовании всех трех входов он будет выполнять логическую операцию элемента И-НЕ.

Подчеркнем, что в элементе ДТЛ входным запускающим током является ток низкого уровня, следовательно, для такой схемы входным активным логическим сигналом является напряжение низкого логического уровня $U_{\text{вх}}^0$. Перевод схемы на низкий запускающий уровень необходим для работы с источниками кодовых, цифровых сигналов (от кнопок, переключателей, контактов реле). Замыкание их контактов на земляную шину (провод с нулевым потенциалом) приводит к меньшему числу повторяющихся импульсов запуска из-за так называемого дребезга контактов. Дребезг контактов при их замыкании на высокий потенциал создает более высокие амплитуды повторяющихся импульсов, которые приводят к ложным срабатываниям ЛЭ.

Однако, несмотря на более высокие характеристики полупроводниковых микросхем ДТЛ, довольно быстро обнаружили, что для улучшения электрических параметров выгоднее заменить диоды VD1–VD4 (рис. 25, б) многоэмиттерным транзистором (VT1 на рис. 24, в). Интегральные полупроводниковые микросхемы с многоэмиттерным транзистором на входе стали называть транзисторно-транзисторной логикой (ТТЛ) или сокращенно Т²Л. Однако последнее сокращение не прижилось. Похожее подобное сокращение закрепилось за более поздней интегральной инжекционной логикой, сокращенно И²Л. Для нее, наоборот, не было принято сокращение ИИЛ. Элемент ТТЛ (рис. 25, в) из дискретных электронных компонентов не создавался, так как многоэмиттерный транзистор появился только в результате технологий интегральной схемотехники. Четыре *pn*-перехода транзистора VT1 (рис. 25, в)

выполняют электрические функции матрицы диодов VD1–VD4 в элементе ДТЛ (рис. 25, б).

Рассмотренные трехходовые элементы РТЛ, ДТЛ и ТТЛ имеют функциональное обозначение, показанное на рис. 25, г.

Существуют следующие серийные выпуски микросхем ТТЛ: три ранних — без применения переходов с барьером Шоттки (стандартные, маломощные и мощные), два с переходами Шоттки — ТТЛШ, три новых, более перспективных, усовершенствованных ТТЛШ, называемых FAST, AS и ALS.

1.3.3. Устройство и принцип действия логического элемента И-НЕ ТТЛ

Схема интегрального базового логического элемента И-НЕ семейства ТТЛ показана на рис. 26 и 27. Она состоит из *npn*-транзисторов VT1, VT2, VT3 и VT4. Транзистор VT1 является многоэмиттерным. Электрическое функционирование такого транзистора рассмотрено в предыдущем разделе. Число эмиттеров многоэмиттерного транзистора определяет число входов ЛЭ. Выпускаются логические элементы И-НЕ с 2, 3, 4 и 8 входами. Все входы многоходового элемента И-НЕ равноценны. Без потери общности мы рассмотрим наиболее простой ЛЭ с двумя входами. Помимо транзисторов микросхема такого ЛЭ содержит четыре резистора и один диод. В схеме не представлены имеющиеся паразитные транзисторные и диодные структуры. В нормальных рабочих режимах они заперты и не влияют на процессы функционирования.

На рисунках приведены номиналы резисторов, характерные для наиболее распространенной универсальной (стандартной) серии ТТЛ.

При рассмотрении работы базовых логических элементов И-НЕ сделаем следующие допущения:

- падение напряжения на *pn*-переходах, смещенных в прямом направлении, неизменно и равно 0,7 В;
- падение напряжения на переходе коллектор — эмиттер насыщенного транзистора пренебрежимо мало;
- напряжение на входе ИМС, превышающее 2,4 В, принимаем за высокий уровень и считаем логической единицей;

— напряжение ниже 0,8 В на входе принимаем за низкий уровень и считаем логическим нулем.

Рассмотрим два случая работы элементов.

1. На все входы ЛЭ И-НЕ подключено напряжение высокого уровня (рис. 26).

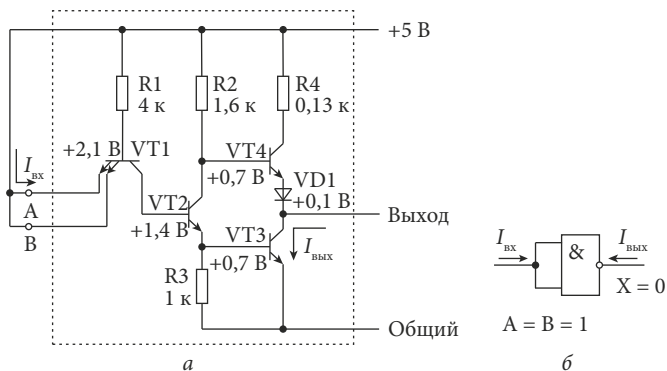


Рис. 26. Базовый логический элемент И-НЕ в состоянии с низким уровнем выходного напряжения ($U_{\text{вых}} = 0 \text{ В}$): *a* — принципиальная схема с распределением токов при единичных входных сигналах; *б* — условное обозначение

В этом случае на его выходе присутствует напряжение низкого уровня. Это значит, что транзистор VT3 открыт и насыщен. Согласно принятому допущению, напряжение на базе VT3 равно +0,7 В. В базу транзистора VT3 втекает часть эмиттерного тока транзистора VT2, обеспечивая насыщение VT3. Часть эмиттерного тока VT2 протекает через резистор R3. Транзистор VT2 тоже насыщен, поэтому напряжение на его базе равно 1,4 В (0,7 В падает на переходе база — эмиттер транзистора VT3 и столько же — на таком же переходе транзистора VT2).

На эмиттерах транзистора VT1 присутствует высокое напряжение питания (+5 В). На базу VT1 через резистор R1 также подан высокий уровень напряжения питания $U_{\text{ин}} = 5 \text{ В}$, а напряжение на коллекторе равно +1,4 В. В этом случае переходы эмиттер — база смещены (включены) в обратном направлении, а переход база —

коллектор — в прямом, что соответствует инверсному включению транзистора. При таком включении коэффициент усиления по току очень мал, так как переходы база — эмиттер транзистора VT1 закрыты. Этим объясняется то, что ток, протекающий через каждый вход, очень мал — около 40 мкА. Это ток неосновных носителей, протекающий через закрытые переходы база — эмиттер VT1.

Через переход база — коллектор транзистора VT1 протекает ток:

$$I_{\text{к}} = \frac{5 \text{ В} - 2,1 \text{ В}}{4 \cdot 10^3 \text{ Ом}} \approx 0,7 \text{ мА}.$$

Этот ток является базовым током транзистора VT2.

Такого тока достаточно для насыщения транзистора VT2. Напряжение на коллекторе VT2 при этом будет +0,7 В, так как транзистор VT2 насыщен, а на его эмиттере присутствует напряжение +0,7 В. Оно запирает транзистор VT4, так как на диоде VD1 также падает напряжение +0,7 В. Таким образом, транзистор VT4 заперт, а выходной ток ЛЭ равен коллекторному току транзистора VT3. При этом выходной ток «втекает» в ЛЭ через его вывод от нагрузки, подключенной к выходу логического элемента. Для логических элементов И-НЕ ТТЛ универсальных серий с обычной нагрузочной способностью выходной ток $I_{\text{вых}}$ не должен превышать 16 мА.

При напряжении высокого уровня на всех входах логического элемента И-НЕ на выходе действует напряжение низкого уровня. Транзистор VT1 включен инверсно, VT2 и VT3 открыты и насыщены, а VT4 закрыт. Входной ток ЛЭ пропорционален числу входов, а также току одного эмиттера многоэмиттерного транзистора, но не превышает 40 мкА (обычно равен 10 мкА). Входной ток «втекает» в ЛЭ.

2. На любой из входов логического элемента И-НЕ подано напряжение низкого уровня (рис. 27, а).

На рис. 27 показано, что вход А подключен к шине $U_{\text{инт}}$, а вход В — к общей шине. Теперь транзистор VT1 включен в режиме усиления. Его эмиттер, подключенный к входу В, имеет более низкий (нулевой) потенциал, чем потенциал базы. Переход эмиттер — база транзистора VT1 включен в прямом направлении, а переход

база — коллектор — в обратном. Ток эмиттера В является входным током база — эмиттер транзистора VT1. Он является «вытекающим» из входного вывода; его значение определяется сопротивлением резистора R1 и не превышает 1,6 мА. Напряжения относительно общего провода в различных узлах схемы указаны на рисунке. Транзистор VT2 закрыт низким потенциалом базы, что приводит к запирающему и транзистора VT3 по той же причине. Высокое сопротивление закрытого транзистора VT2 создает совместно с резистором R3 делитель напряжения с малым коэффициентом передачи, что и приводит к низкому значению напряжения на базе транзистора VT3. Назначение резистора R3 — предохранять транзистор VT3 от отпирающего начального тока VT2. Транзистор VT4 открыт током, протекающим через базу и резистор R2, но при этом не насыщается, так как его напряжение база — эмиттер меньше 0,7 В. Выходное напряжение ЛЭ при этом имеет высокий уровень. Если вытекающий из ЛЭ выходной ток $I_{\text{вых}}^1 < 2,3 \text{ мА}$, то выходное напряжение высокого уровня $U_{\text{вых}}^1 > 2,4 \text{ В}$, т. е. больше минимально допустимого (2 В).

При напряжении низкого уровня хотя бы на одном из входов логического элемента И-НЕ, на его выходе присутствует напряжение высокого уровня. Максимальный входной ток 1,6 мА. Он

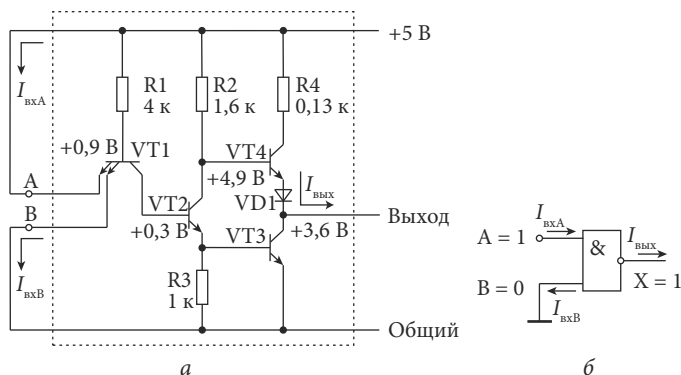


Рис. 27. Базовый логический элемент И-НЕ с высоким выходным напряжением ($U_{\text{вых}} = 5 \text{ В}$): а — принципиальная схема с распределением токов при заземлении одного из входов; б — условное обозначение

«вытекает» из ЛЭ. Максимальный выходной ток 2,3 мА. Он также «вытекает» из ЛЭ.

Транзисторы VT2, VT3 и VT4 (рис. 26 и 27) образуют так называемый сложный инвертор. В каждом состоянии ЛЭ открыт либо выходной транзистор VT3, а VT4 закрыт, либо наоборот — VT3 закрыт, а выходной транзистор VT4 открыт. По этой причине выходное сопротивление ЛЭ в обоих состояниях невелико. Низкое выходное сопротивление сложного инвертора обеспечивает возможность подключения к выходу ЛЭ до 10 входов от микросхем этой серии. Также низким выходным сопротивлением обусловлено высокое быстродействие ЛЭ, так как тем самым обеспечивается быстрый заряд и разряд паразитных емкостей, которые могут присутствовать на выходе ЛЭ. Во время переключения транзисторов VT3 и VT4 из одного состояния в другое ток $I_{\text{пот}}$, потребляемый ЛЭ от источника питания, резко возрастает. Происходит это из-за того, что при переключениях оба транзистора в течение короткого промежутка времени открыты одновременно. При этом ток в цепи питания ограничивается только резистором R4 (около 130 Ом).

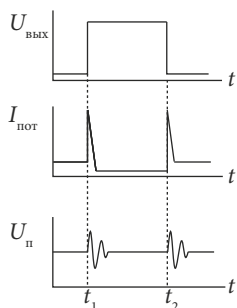


Рис. 28. Зависимость тока потребления при переключении логического элемента И-НЕ

На рис. 28 показано, как влияют переключения выходных транзисторов логических элементов И-НЕ на потребление энергии от источника питания. При смене состояний проводимости (моменты t_1 и t_2) ток потребления возрастает.

При переключениях каждого ЛЭ из-за роста потребления энергии возможно появление больших импульсных помех с напряжением $U_{\text{п}}$ в шинах питания. Поэтому в цепях питания необходимо устанавливать фильтры. Чаще всего в качестве фильтров используют конденсаторы емкостью 0,001...0,01 мкФ с малой индуктивностью выводов. Их подключают между шиной питания и общей шиной.

1.3.4. Семейства ТТЛ-микросхем

Первые ТТЛ-микросхемы можно встретить в аппаратуре, работающей до сих пор. Это семейство микросхем серии К155.

Стандартные микросхемы ТТЛ — это микросхемы, работающие от источника питания с напряжением +5 В. Зарубежные ТТЛ-микросхемы аналогичной серии называются SN74. Внутри серии микросхемы обозначаются цифровым номером, следующим за названием серии. Например, в микросхеме SN74S00 содержится четыре логических элемента 2И-НЕ. Микросхемы подобной серии с расширенным рабочим температурным диапазоном получили название SN54 (отечественный вариант — серия микросхем К133).

Отечественные микросхемы, аналогичные SN74, выпускались в составе серий К134 (низкое быстродействие, низкое потребление энергии — N74L), К155 (среднее быстродействие, среднее энергопотребление — SN74) и К131 (высокое быстродействие и большие мощности, а значит, и высокое энергопотребление). Значительно позднее были выпущены микросхемы повышенного быстродействия с диодами Шоттки. В названии зарубежных микросхем с диодами Шоттки в обозначении серии появилась буква S. В соответствующих отечественных сериях микросхем первая цифра 1 была заменена на цифру 5. Например, микросхемы серий К555 имеют низкое быстродействие и небольшую мощность (аналог — SN74LS), а К531 — высокое быстродействие и большое энергопотребление (аналог — SN74S).

В настоящее время отечественная промышленность производит микросхемы серий К1533, имеющие низкое быстродействие и низкое потребление энергии (аналог — SN74ALS), и К1531, обладающие высоким быстродействием и большим энергопотреблением (аналог — SN74F).

1.3.5. Правила работы с ЛЭ И-НЕ ТТЛ

Для безаварийного применения логических элементов необходимо соблюдать ряд правил, обусловленных технологической структурой ИМС и параметрами входящих в микросхемы элементов. Только так можно создавать надежно работающие устройства. Надежность обеспечивается главным образом диапазоном и стабильностью напряжения питания, правильным подключением внешних пассивных элементов к входам и выходам микросхем, а также способами соединения нескольких ЛЭ и различными мерами защиты входных и выходных элементов от повреждений.

Питающее напряжение стандартных ИМС ТТЛ составляет $5 \text{ В} \pm 0,25 \text{ В}$. Перед включением необходимо всегда проверять полярность и фактическое значение напряжения питания. Повышенное напряжение или его обратная полярность ведут к необратимому повреждению микросхемы. Неправильную полярность подключения можно исключить применением диодной защиты. В случае размещения ЛЭ на печатных платах желательно, чтобы шина питания и общая шина имели максимально большую площадь и образовывали замкнутый контур.

Ниже рассмотрены условия выбора ограничительных сопротивлений резисторов и конденсаторов, даны разъяснения, касающиеся подачи разных напряжений на входы ЛЭ, а также представлены способы соединения нескольких ЛЭ.

1.3.6. Включение внешнего резистора

Резистор включен между входом ЛЭ и общей шиной

Для получения на входе логического элемента И-НЕ нулевого логического уровня напряжения необходимо использовать резисторы сопротивлением менее 500 Ом.

Тогда падение напряжения на резисторе за счет входного тока ЛЭ меньше 0,4 В, что соответствует напряжению низкого уровня на входе ЛЭ.

Для получения на входе логического элемента И-НЕ единичного логического уровня напряжения необходимо использовать резисторы сопротивлением более 5 кОм. Тогда падение напряжения на резисторе за счет входного тока ЛЭ превышает 1,3 В, т. е. на входе действует напряжение высокого уровня. Это связано с тем, что входное напряжение величиной 1,3 В является для этой микросхемы *пороговым*, при котором происходит переход из одного состояния в другое. Чтобы обеспечить на входе напряжение высокого уровня, заведомо превышающее пороговое, сопротивление R должно быть больше 5 кОм.

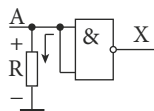


Рис. 29. Включение внешнего резистора между входом ЛЭ и нулевой шиной

Резистор включен между входом и выходом ЛЭ

Если вход А подключен к другому элементу, от которого поступают чередующиеся во времени управляющие сигналы высокого и низкого уровней, то для того чтобы отсутствовали токовые перегрузки в схеме логического элемента И-НЕ, необходимо выбирать сопротивление R такого резистора в диапазоне $240 \text{ Ом} < R < 470 \text{ Ом}$.

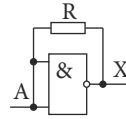


Рис. 30. Включение внешнего резистора между входом и выходом ЛЭ

Резистор включен между входом ЛЭ и шиной питания

Если на каком-либо входе ЛЭ необходимо всегда поддерживать уровень напряжения логической единицы, то в качестве источника единичного сигнала можно использовать напряжение питания $U_{\text{п}}$. Если же $U_{\text{п}}$ случайно может достичь +5,5 В, то сопротивление резистора R должно находиться в пределах $1,0 \dots 3,3 \text{ кОм}$. Можно присоединить этот вход ЛЭ к источнику питания просто проводом ($R = 0$), когда есть уверенность что $U_{\text{п}}$ ни в коем случае не станет больше +4,5 В.

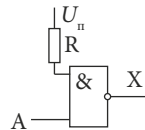


Рис. 31. Включение внешнего резистора между входом ЛЭ и шиной питания

На неприсоединенном (открытом) входе А также имеется напряжение уровня логической единицы, однако в этом случае возможно самовозбуждение схемы ЛЭ.

Резистор R2 включен между источником сигнала и входом ЛЭ

Сопротивление R2 суммируется с сопротивлением R1 источника сигналов. Если известны напряжения высокого ($U_{\text{и}}^1$) и низкого ($U_{\text{и}}^0$) уровней, развиваемых источником сигнала, то значение сопротивления R2 (в килоомах) находят по формулам:

$$R2 \approx 0,9U_{\text{и}}^0;$$

$$R2 \geq 0,5 + 0,3U_{\text{и}}^1.$$

Если результат расчета по первой формуле окажется меньше, чем по второй, то это означает, что уровни $U_{и}^0$ и $U_{и}^1$ не подходят и их следует изменить. Здесь подразумевается внешний источник сигналов, у которого уровни выходного напряжения отличаются от допустимых уровней для ТТЛ.

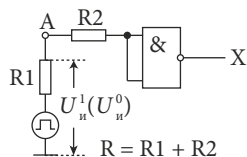


Рис. 32. Присоединение ЛЭ к источнику сигнала через резистор R2

Резистор R2 включен параллельно источнику сигнала

Резисторы R1 и R2 образуют делитель напряжения, и на вход ЛЭ попадает только часть U_A напряжения источника сигнала $U_{и}$, т. е.

$$U_A = \frac{U_{и}}{R1 + R2} \cdot R2.$$

Рис. 33. Включение резистора R2 параллельно источнику сигнала

При этом R2 вычисляется по известным значениям $U_{и}$ и R1 отдельно для напряжения низкого ($U_A < 0,4$ В) и высокого ($U_A > 2,4$ В) уровня.

1.3.7. Включение внешнего конденсатора

Конденсатор подключен между входом ЛЭ и общей шиной

Емкость конденсатора C не должна превышать 1...3 нФ, иначе во время переключений возможно возникновение колебаний с частотой до 10 МГц. При заряде конденсатора входным током ЛЭ время задержки определяется соотношением $\tau = 1,45 C$, где τ — в микросекундах, C — в нанофарадах.

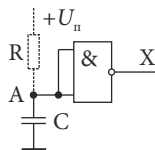


Рис. 34. Включение конденсатора C между входом ЛЭ и общей шиной

Следует отметить, что в более сложных схемах, где приняты меры против самовозбуждения (например, путем использования

RS-триггера), емкость конденсатора может быть и существенно большей величины.

Конденсатор включен на выходе ЛЭ

Емкость такого конденсатора C не должна превышать 1 нФ. Включение этого конденсатора увеличивает длительность фронта и среза импульса и ведет к росту потребления энергии. Такого включения следует по возможности избегать.

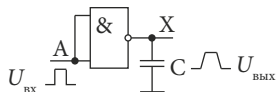


Рис. 35. Включение конденсатора C на выходе ЛЭ

Конденсатор включен между выходом одного ЛЭ и входом другого

Конденсатор C можно рассматривать как разделительный. Емкость такого конденсатора не должна превышать 10 нФ. При большей емкости во время фронта импульса возможны паразитные колебания. (Значения R на входе ЛЭ см. выше). Чтобы предохранить входы ЛЭ от выброса отрицательного напряжения, возникающего вследствие дифференцирования сигнала RC -цепью, необходимо использовать диодную защиту (на рисунке показана штрихами).

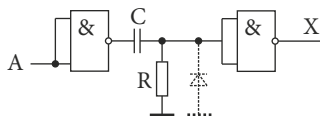


Рис. 36. Включение конденсатора C между выходом одного ЛЭ и входом другого

Входы логических элементов ТТЛ отечественного производства содержат диоды, которые изготавливаются в ходе единого технологического процесса. В нормальных условиях диоды всегда закрыты и не влияют на работу микросхемы.

1.3.8. Напряжение на выводах ЛЭ

Оптимальный режим работы ЛЭ

Оптимальный режим работы ЛЭ возможен, если напряжения входа U_A и выхода U_X соотносятся следующим образом:

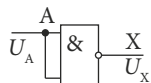


Рис. 37. Напряжение на выводах ЛЭ

$U_A < +0,8 \text{ В}$; $+2,4 \text{ В} < U_X < +5 \text{ В}$ — на входе ЛЭ действует напряжение низкого, а на выходе — высокого уровня;

$U_A > +2 \text{ В}$; $0 < U_X < +0,4 \text{ В}$ — на входе ЛЭ действует напряжение высокого, а на выходе — низкого уровня.

Подача на вход ЛЭ напряжения, которое может принимать отрицательное значение

Подача на входы отрицательного (относительно общей шины) напряжения ниже $-1,4 \text{ В}$ недопустима. Если входное напряжение может принимать и отрицательное значение, следует предусмотреть диодную защиту (изображена штрихами).

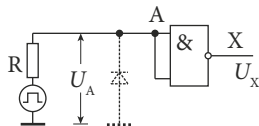


Рис. 38. Защита входов ЛЭ

Примечание. Здесь подразумевается, что источник входных сигналов может иметь собственный источник питания и в общем случае может не быть микросхемой ТТЛ.

Подача на вход ЛЭ напряжения, которое может превышать напряжение источника питания

Используется диодная защита входов ЛЭ при повышении напряжения источника сигнала. При этом охранный диод отпирается и защищает входы ЛЭ от перенапряжения.

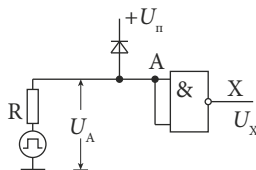


Рис. 39. Диодная защита входов ЛЭ от перенапряжения

Подача напряжения, которое может быть выше $+5 \text{ В}$ или ниже $-1,4 \text{ В}$

Защита осуществляется двумя диодами (совмещение двух предыдущих схем).

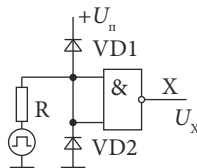


Рис. 40. Защита входа ЛЭ диодными ограничителями напряжения

1.3.9. Соединение ЛЭ между собой

Подключение входов ЛЭ к выходу другого ЛЭ

К одному выходу ЛЭ можно подключать до $K_{\text{раз}} = 10$ входов подобных ЛЭ, где $K_{\text{раз}}$ называют коэффициентом разветвления по выходу.

Если некоторые из входов соединены параллельно (DD3, DD4 и DD5 на рис. 41), учитывается каждый из них. На схеме к выходу DD1 подключено 9 входов.

Выпускаются также специальные (буферные) микросхемы И-НЕ, выходные каскады которых обладают повышенной нагрузочной способностью (например, К155ЛА12, К155ЛА6).

Параллельное соединение только выходов ЛЭ

Если на входы ЛЭ будут поданы сигналы, которые создадут напряжение высокого уровня на одном из выходов и напряжение низкого уровня на другом, через выходные транзисторы логических элементов DD1 и DD2 пройдет недопустимо большой ток и вызовет повреждение выходных транзисторов.

Параллельное соединение входов и выходов двух ЛЭ

Лишь в том случае, когда входы ЛЭ включаются параллельно, допустимо параллельное включение их выходов. В этом случае выходные транзисторы логических элементов DD1 и DD2 находятся в одинаковом состоянии.

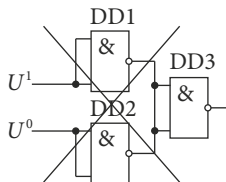


Рис. 42. Параллельное соединение только выходов ЛЭ НЕДОПУСТИМО



Рис. 41. Схема соединений ЛЭ с разветвлением по выходу

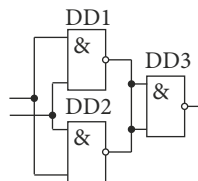


Рис. 43. Правильное параллельное соединение выходов ЛЭ

Последовательное соединение двух ЛЭ

При таком соединении двух ЛЭ амплитуда и полярность импульса сохраняются, а фронт и срез становятся круче. При импульсах с длительностью фронта или среза до 0,5 мкс такое соединение ЛЭ применяют для повышения их крутизны.

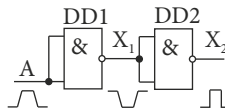


Рис. 44. Повышение крутизны фронта и среза импульсов

Построение ЛЭ в базисе И-НЕ

На выходе логического элемента И-НЕ (схемы совпадения с инверсией выходного сигнала) возникает напряжение низкого уровня, когда на все его входы подано напряжение высокого уровня. Логическая функция элемента — операция Шеффера — подробно рассмотрена в разделе 1.1.2. Принцип действия электронной схемы также рассмотрен ранее в разделе 1.1.6 (см. схемы на рис. 26 и 27). Это основной элемент семейства ТТЛ. Схемы включения двухвходовых логических элементов И-НЕ представлены в предыдущем разделе.

В данном разделе будут построены ЛЭ с различными логическими функциями в базисе (на основе) элементов И-НЕ. При этом предполагается широкое использование временных диаграмм для наглядной иллюстрации работы разных логических элементов.

Работа двухвходового логического элемента И-НЕ иллюстрируется на рис. 45.

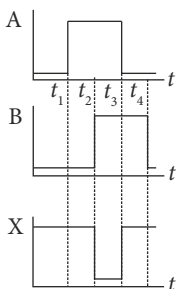


Рис. 45. Временная диаграмма работы логического элемента И-НЕ

Возможны следующие сочетания входных сигналов:

— оба входных сигнала низкого уровня ($A = 0, B = 0$ в интервале от t_1 до t_2 и затем после t_5), сигнал на выходе — высокого уровня ($X = 1$);

— один из входных сигналов высокого, другой — низкого уровня ($A = 1, B = 0$ в интервале

от t_2 до t_3 либо $A = 0, B = 1$ в интервале от t_4 до t_5), выходной сигнал — также высокого уровня ($X = 1$);

— оба входных сигнала — высокого уровня ($A = B = 1$ в интервале от t_3 до t_4), выходной сигнал — низкого уровня ($X = 0$).

На рис. 46 некоторые способы использования логических элементов И-НЕ с большим числом входных выводов, например, с тремя: A, B и C . Если задействуются только два входа (например, A и B), то на неиспользуемом входе надо поддерживать напряжение уровня логической единицы — нельзя оставлять вход свободным, как показано на рис. 46, *а*. Несмотря на то, что открытые (неподключенные) входы логических элементов ТТЛ ведут себя как входы, на которые подано напряжение высокого уровня, использовать это обстоятельство нежелательно, так как возможно воздействие различных помех, а значит, снижается помехоустойчивость схемы.

Обычно неиспользуемые входы подключают к шине питания через резистор сопротивлением $1,0 \dots 3,3$ кОм (рис. 46, *в*) либо к стабилитрону с подходящим напряжением стабилизации, обеспечивающим напряжение высокого уровня (рис. 46, *г*). В первом случае разрешается объединять до 10 входов, во втором — до 30.

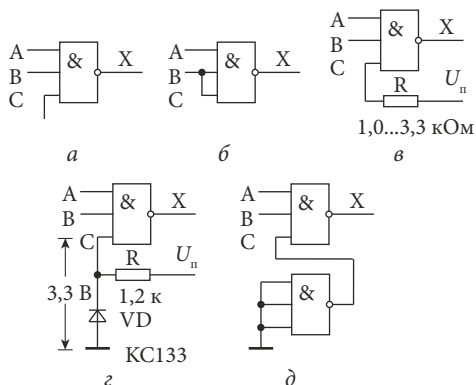


Рис. 46. Логический элемент И-НЕ с тремя входами в роли двухвходового: *а–д* — различные способы подключения неиспользуемого входного вывода

1.3.10. Логический элемент НЕ в базисе И-НЕ

Логический элемент, который обеспечивает *инверсию* (от англ. *inversion* ‘переворачивание’) входного сигнала, называют элементом НЕ или инвертором. Логическая функция элемента НЕ и его таблица истинности были представлены ранее в разделе 1.1.1. На выходе инвертора напряжение высокого уровня, когда на входе действует напряжение низкого уровня, либо напряжение низкого уровня, когда на входе напряжение высокого уровня (рис. 47). На рисунке нашло отражение то, что в реальных логических элементах существует время задержки фронта $t'_{зд}$ и среза $t''_{зд}$ импульсного сигнала в микросхеме. Как правило, эти времена задержки различны по длительности, но близки по порядку величины. Часто достаточно ориентироваться на среднее время задержки импульсного сигнала $t_{зд\text{ ср}}$.

$$t_{зд\text{ ср}} = \frac{t'_{зд} + t''_{зд}}{2}$$

Для ЛЭ универсальных серий ТТЛ оно примерно равно 10 наносекундам. Несмотря на то, что среднее время задержки чрезвычайно мало, иногда его приходится учитывать.

Для преобразования логического элемента в инвертор достаточно соединить все входы (рис. 47, з).

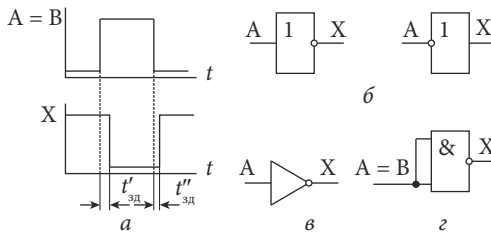


Рис. 47. Инвертор: а — временная диаграмма работы; б, в — условное графическое обозначение в отечественной и зарубежной литературе; г — реализация на основе логического элемента И-НЕ

1.3.11. Логический элемент И в базисе И-НЕ

Логический элемент И (схема совпадения) имеет на выходе напряжение высокого уровня, когда **на все** его входы подается напряжение логической единицы. Достаточно **хотя бы на один** из входов подать напряжение низкого уровня, как на выходе сразу возникнет напряжение логического нуля (см. разд. 1.1.1). Временная диаграмма работы логического элемента И с двумя входами А и В представлены на рис. 48. Задержкой выходного импульса относительно входного сигнала пренебрегаем.

На временной диаграмме нашли отражение следующие случаи:

— на обоих входах напряжение низкого уровня (на рис. 47, а $A = 0, B = 0$ в интервале $t_1 \dots t_2$ и после t_5); выходной сигнал при этом также равен логическому нулю ($X = 0$, см. табл. 1.1);

— на одном входе сигнал высокого, а на другом — низкого уровня ($A = 0, B = 1$ в интервале $t_4 \dots t_5$ или $A = 1, B = 0$ в интервале $t_2 \dots t_3$); на выходе по-прежнему напряжение нулевого уровня ($X = 0$);

— оба входных сигнала высокого уровня ($A = 1$ и $B = 1$ в интервале $t_3 \dots t_4$); выходное напряжение — высокого уровня.

Все случаи представлены в табл. 1.1, в которую последней добавлена строка, характеризующая инвертированный сигнал X.

Таблица 1.1

Логические уровни сигналов в схеме на рис. 48

Сигнал	Интервал времени			
	$t_1 \dots t_2$	$t_2 \dots t_3$	$t_3 \dots t_4$	$t_4 \dots t_5$
A	0	1	1	0
B	0	0	1	1
$X_2 = X$	0	0	1	0
$X_1 = X$	1	1	0	1

Сравнивая две последние строки табл. 1.1, можно понять, как операцию И можно реализовать с помощью логического элемента И-НЕ: достаточно к его выходу подключить инвертор, построенный из такого же элемента И-НЕ, объединив его входы (элемент DD2 на рис. 48, з).

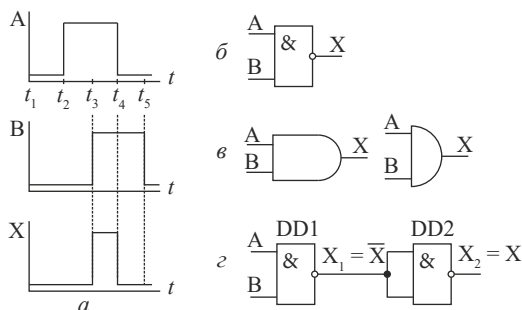


Рис. 48. Логический элемент И: *a* — временная диаграмма работы; *б, в* — условные графические обозначение в отечественной и зарубежной литературе; *г* — реализация на основе двух логических элементов И-НЕ

1.3.12. ПОВТОРИТЕЛЬ

ПОВТОРИТЕЛЬ выполняет логическую операцию, при которой зависимость между входным (A) и выходным (X) сигналами определяется таблицей истинности:

A	X
0	0
1	1

ПОВТОРИТЕЛЬ передает логический сигнал от входа к выходу без его изменения (только с временной задержкой выходного импульса, определяемой временем прохождения сигнала через ЛЭ от входа к выходу), как показано на временной диаграмме рис. 49. Для ПОВТОРИТЕЛЯ, собранного из логических элементов И-НЕ универсальных серий ТТЛ, задержка выходного сигнала относительно входного может составлять десятки наносекунд.

Часто в роли ПОВТОРИТЕЛЯ используют два инвертора из элементов И-НЕ, включенных последовательно.

ПОВТОРИТЕЛЬ необходим в следующих случаях:

- когда требуется задержка сигнала на короткое время (единицы-десятки наносекунд) без изменения логических уровней напряжения. Задержка выходного импульса относительно входного за счет двух логических элементов И-НЕ удваивается;

— когда надо обеспечить требуемый коэффициент разветвления по выходу без изменения логического уровня импульса.

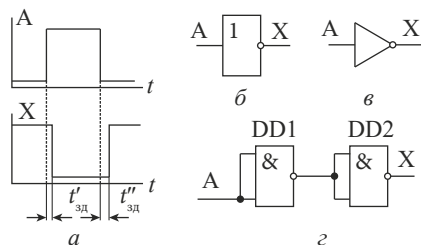


Рис. 49. Логический элемент ПОВТОРИТЕЛЬ:
 а — временная диаграмма работы; б, в — условное графическое обозначение в отечественной и зарубежной литературе;
 г — реализация на основе логических элементов И-НЕ

Как отмечалось ранее, нормальная работа логического элемента И-НЕ возможна, если к его выходу подключено не более определенного числа $K_{\text{раз}}$ входов ЛЭ подобной серии. (Напомним, что $K_{\text{раз}}$ — коэффициент разветвления интегральной микросхемы (ИМС) по выходу.)

Для логического элемента И-НЕ универсальных серий ТТЛ коэффициент разветвления $K_{\text{раз}} = 10$ (рис. 50, а). Для того чтобы одним ЛЭ управлять гораздо большим числом входов таких же ЛЭ (см. рис. 49, б), к его выходу DD1 подключается элемент DD2, а к тому — DD3 и DD4. Элемент DD2 инвертирует сигналы с выхода DD1, а DD3 и DD4 (также инверторы) позволяют подключать к каждому из их выходов еще по 10 входов.

1.3.13. Логический элемент ИЛИ в базе И-НЕ

Логический элемент ИЛИ имеет на выходе напряжение высокого уровня, если **хотя бы на один** из входов подается напряжение **логической единицы** (см. разд. 1.1.1). Временная диаграмма такого элемента представлена на рис. 51.

Выходной сигнал с напряжением высокого уровня присутствует в интервалах $t_1 \dots t_2, t_3 \dots t_4, t_5 \dots t_6$, т. е. всегда, когда хотя бы на одном

из входов ЛЭ (а в интервале $t_6 \dots t_7$ и на обоих) подано напряжение логической единицы.

Ранее в разд. 1.1.2 было показано, как с помощью теоремы Моргана можно построить логический элемент ИЛИ из элементов И-НЕ. Логическая схема такого элемента ИЛИ представлена на рис. 51, з. Элементы DD1 и DD2 инвертируют входные сигналы А и В, а затем DD3 выполняет операцию И-НЕ с инверсиями сигналов А и В. Видно, что когда на входах либо А, либо В (или на обоих одновременно)

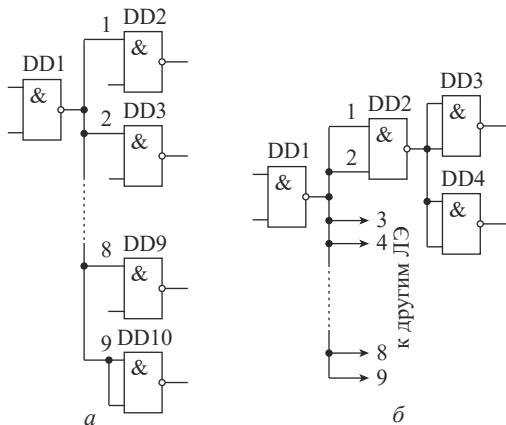


Рис. 50. Подключение к выходу логического элемента И-НЕ:
а — до 10 входов ЛЭ стандартных ТТЛ и б — больше 10

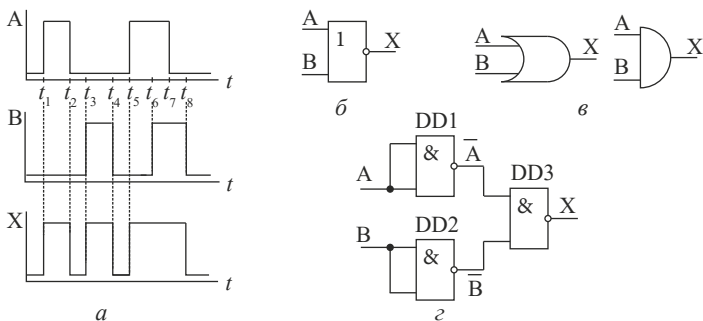


Рис. 51. Логический элемент ИЛИ: а — временная диаграмма работы; б, в — условные графическое обозначение в отечественной и зарубежной литературе; з — реализация на основе трех логических элементов И-НЕ

действует напряжение логической единицы, на вход (входы) DD3 подается напряжение логического нуля. По принципу действия логического элемента И-НЕ напряжение низкого уровня хотя бы на одном из входов DD3 приводит к напряжению высокого уровня на его выходе. Только в случае, когда оба входных сигнала A и B низкого уровня, их инверсии будут высокого уровня, а напряжение на выходе DD3 — низкого ($X = 0$), что и должно быть на выходе логического элемента ИЛИ.

1.3.14. Логический элемент ИЛИ-НЕ в базисе И-НЕ

Логический элемент ИЛИ-НЕ (схема ИЛИ с инверсией выходного сигнала) выполняет логическую операцию Пирса (см. разд. 1.1.2). Он отличается от элемента ИЛИ наличием инвертора на выходе, поэтому здесь выходные сигналы инверсны сигналам элемента ИЛИ: когда *хотя бы на один* из входов подано напряжение *единичного уровня*, на выходе будет напряжение низкого уровня. Это можно видеть на рис. 52, а, где показаны временные диаграммы выходных сигналов в зависимости от входных для двухвходового логического элемента ИЛИ-НЕ. В интервалах времени $t_1 \dots t_4$, $t_5 \dots t_6$ и $t_7 \dots t_8$, когда один из входных сигналов или оба одновременно имеют напряжение единичного уровня, на выходе существует напряжение нулевого уровня. Легко убедиться, что добавление инвертора на выход

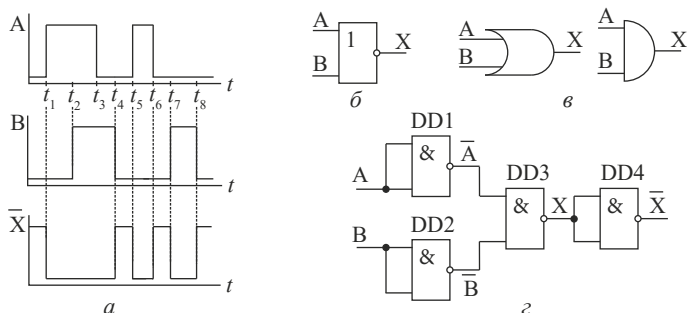


Рис. 52. Логический элемент ИЛИ-НЕ: а — временная диаграмма работы; б, в — условное графическое обозначение в отечественной и зарубежной литературе; г — реализация из четырех ЛЭ И-НЕ

логического элемента ИЛИ (рис. 51, з) превращает его в логический элемент ИЛИ-НЕ (рис. 52, з).

1.3.15. Логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе И-НЕ

Логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ (схема сравнения двух логических сигналов) достаточно подробно описан ранее в разд. 1.1.3. Это элемент НЕРАВНОЗНАЧНОСТЬ — он имеет на выходе напряжение низкого уровня, когда логические уровни сигналов на обоих входах одинаковы ($A = B = 1$ либо $A = B = 0$). Если уровни входных сигналов различаются, т. е. $A \neq B$, то на выходе X действует напряжение высокого уровня (рис. 53, а). На выходе X напряжение логического нуля существует в интервалах $t_0 \dots t_1$, $t_2 \dots t_3$, $t_4 \dots t_5$, а также после t_6 , в течение которых оба входных напряжения A и B одновременно равны 0 или 1.

Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ может быть построен из двухвходовых логических элементов И-НЕ по схеме, показанной на рис. 53, з, причем DD1 и DD2 включены как инверторы, а DD3, DD4 и DD5 используются как элементы И-НЕ. Действие логической схемы на рис. 53, з можно проследить по табл. 1.2 при различных

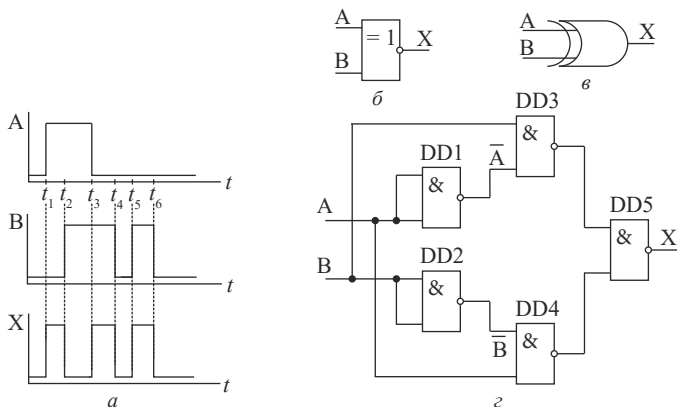


Рис. 53. Логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ:
 а — временная диаграмма работы; б, в — условные графическое обозначение в отечественной и зарубежной литературе;
 з — реализация на основе логических элементов И-НЕ

комбинациях логических уровней входных сигналов А и В. Инверсные значения А и В присвоены сигналам на выходах инверторов DD1 и DD2. Сигнал на выходе DD3 можно определить, если иметь в виду, что на его входах действуют сигналы \bar{A} и В, а сам он является логическим элементом И-НЕ. Аналогично действует и DD4, но для входных сигналов А и \bar{B} . Выходные напряжения элементов DD3, DD4, полученные на основе их таблицы истинности (для логического элемента И-НЕ), — это входные сигналы элемента DD5, который тоже является элементом И-НЕ. Выходное напряжение элемента DD5 (X) является выходным сигналом всей схемы.

Таблица 1.2

Логические уровни в схеме на рис. 53, з

A	B	\bar{A}	\bar{B}	выход DD3	выход DD4	X
0	0	1	1	1	1	0
1	0	0	1	1	0	1
0	1	1	0	0	1	1
1	1	0	0	1	1	0

Логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ (элемент НЕРАВНОЗНАЧНОСТЬ) могут применяться для сравнения логических уровней двух сигналов. Также этот логический элемент является одноразрядным сумматором двоичных чисел без переноса единицы в следующий более старший разряд. Его таблица истинности фактически является таблицей сложения одноразрядных двоичных чисел:

Таблица 1.3

Сложение двоичных чисел

A	B	X
0	0	0
1	0	1
0	1	1
1	1	0

2. ИСПОЛЬЗОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ДЛЯ ПОСТРОЕНИЯ ГЕНЕРАТОРОВ ПРЯМОУГОЛЬНЫХ ИМПУЛЬСОВ

Мультивибратор является электронным устройством, которое обладает наличием двух временно устойчивых (квазиустойчивых) состояний, чередующихся между собой. Чередование состояний происходит благодаря процессам периодического заряда и разряда конденсатора через резистор. Эти два пассивных элемента электрических цепей являются времязадающими компонентами мультивибратора, определяющими частоту периодических переключений его состояний. Временная устойчивость состояний приводит к тому, что мультивибратор генерирует импульсы, по форме близкие к прямоугольным.

2.1. Мультивибратор на инверторах

На рис. 54 приведены электрическая схема и зависимости выходных напряжений от времени простейшего мультивибратора, состоящего только из двух логических элементов И-НЕ. Схема работает благодаря периодическому перезаряду конденсатора C через резистор R . Если, например, на выходе $DD1$ напряжение высокого уровня, то на выходе $DD2$ — низкого. Это происходит за счет того, что $DD2$ инвертирует выходное напряжение $DD1$. Если конденсатор до этого момента был не заряжен, то начнется заряд верхней

обкладки конденсатора С высоким положительным напряжением, источником которого является выход элемента DD1. В этот момент нижняя обкладка конденсатора подключена к низкому уровню напряжения (близкого к нулю) на выходе элемента DD2. Время заряда конденсатора до высокого уровня напряжения будет определяться величиной тока заряда, который, в свою очередь, зависит от сопротивления резистора R и выходного сопротивления ЛЭ. Напряжение на конденсаторе по мере заряда стремится к высокому уровню. Но когда оно увеличится до значения $U_{\text{пор}} = 1,3 \dots 1,5$ В (пороговое напряжение ЛЭ), состояние логического элемента DD1 инвертируется, и напряжение на его выходе станет низкого уровня. Сразу же инвертируется и состояние DD2, на выходе которого теперь возникнет напряжение высокого уровня. Напряжение на конденсаторе не может измениться мгновенно (так как цепь заряда-разряда конденсатора обладает сопротивлением). Сразу после переключения на входе DD1 продолжает действовать напряжение, превышающее пороговое для ЛЭ, потому что к напряжению на конденсаторе прибавляется высокий уровень напряжения с выхода переключившегося элемента DD2. В начальный момент (сразу после последовательного переключения элементов) на входе элемента DD1 напряжение равно: $U_C = U_{\text{пор}}$ плюс уровень напряжения логической единицы с выхода DD2, т. е. приблизительно $(1,3 \dots 1,5) + (3,5 \dots 4,0)$ В. Поэтому в начальный момент после переключения элементов на выходе DD1 сохраняется напряжение низкого уровня. Но конденсатор начинает перезаряжаться. Теперь к его верхней обкладке поступает напряжение нулевого логического уровня, а к нижней обкладке — высокого (единичного) уровня. При разряде конденсатора до порогового напряжения элемент DD1 снова инвертирует свое состояние. Следует новый заряд конденсатора, и т. д.

Период генерируемых импульсов определяется в основном параметрами RC-цепи:

$$T \approx 2,3 RC,$$

при этом сопротивление резистора должно быть в пределах $240 \text{ Ом} < R < 470 \text{ Ом}$.

Форма импульсов существенно отличается от прямоугольных (см. рис. 54) из-за влияния RC-цепи на входное и выходное сопротивления и емкость ЛЭ. Поэтому для приближения формы импульсов к прямоугольной применяют дополнительные ЛЭ в качестве буферных элементов. Усилители этих ЛЭ согласуют сопротивления входов и выходов с полным сопротивлением RC-цепи. Иногда просто формируют прямоугольные импульсы с помощью дополнительных ЛЭ, подключаемых к выходам мультивибратора (на рис. 54 показаны штрихами).

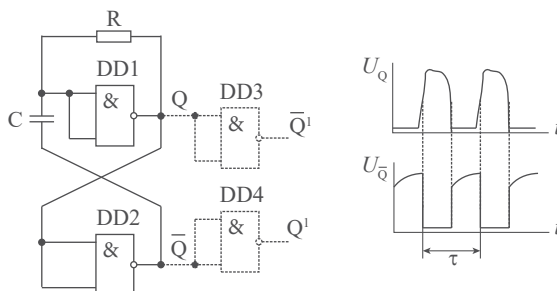


Рис. 54. Мультивибратор с двумя элементами И-НЕ

2.2. Одновибратор на логических элементах И-НЕ

Ждущие мультивибраторы (одновибраторы) являются электронными устройствами с одним временно устойчивым (квазиустойчивым) состоянием. Эти устройства необходимы для получения импульсов прямоугольной формы заданной длительности, которые должны вырабатываться с приходом на вход ждущего мультивибратора пускового импульса. При появлении на входе одновибратора запускающего импульса он переходит из основного (в котором постоянно находится в ждущем режиме) в квазиустойчивое состояние. Длительность временно устойчивого состояния зависит главным образом от времязадающих компонентов R и C. Квазиустойчивое состояние заканчивается, когда напряжение на конденсаторе достигает порога переключения ЛЭ, после чего одновибратор скачком возвращается в основное состояние.

Простейший ждущий мультивибратор на логическом элементе И-НЕ содержит только два элемента (рис. 55).

Элемент DD1 используется по прямому назначению, причем его нижний вход А предназначен для подачи входных пусковых импульсов. Логический элемент DD2 включен как инвертор и предназначен для создания обратной связи, а также как буферный усилитель для согласования выходного сопротивления ЛЭ с нагрузкой. В исходном (ждущем) состоянии на входах DD2 напряжение низкого уровня, так как вход инвертора соединен с общей шиной через резистор R сопротивлением 470 Ом, через которое конденсатор разряжен до нуля (потенциал общей шины). На выходе инвертора DD2 потенциал высокого уровня. До поступления на вход А импульса низкого уровня (до момента t_1 , см. рис. 55) на обоих входах DD1 напряжение логической единицы, а на выходе — низкого уровня. Конденсатор C разряжен. Когда на вход А будет подан сигнал логического нуля (момент t_1), на выходе DD1 появится напряжение высокого уровня и конденсатор C начнет заряжаться током I_C , как показано на схеме устройства.

Первоначально (спустя несколько наносекунд после прихода входного импульса) зарядный ток максимален, и вследствие закона Ома падение напряжения на резисторе U_R также максимально. Однако по мере заряда конденсатора на нем накапливается все больший заряд и зарядный ток I_C спадает. Падение напряжения на резисторе R ($U_R = R \cdot I_C$) также уменьшается, и когда оно снизится

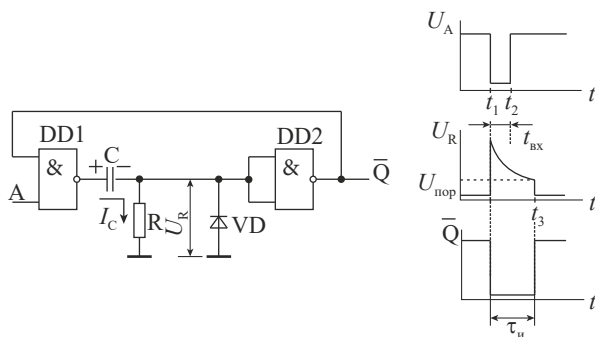


Рис. 55. Ждущий мультивибратор с двумя ЛЭ И-НЕ

до порогового напряжения ЛЭ (момент t_2 на временной диаграмме), инвертор DD2 переключится и на его выходе снова появится напряжение логической единицы высокого уровня. Если к этому моменту времени сигнал нулевого уровня на входе А уже закончился, то на обоих входах элемента И-НЕ DD1 будет напряжение высокого единичного уровня, а на выходе — низкого. Это приведет к быстрому разряду конденсатора через диод VD и открытый выходной транзистор элемента DD1 (см. принцип действия логического элемента И-НЕ ТТЛ). Таким образом, ждущий мультивибратор вернется в исходное состояние. Из принципа действия представленной схемы одновибратора следует, что входной импульс должен быть короче выходного. В противном случае длительность выходного импульса будет равна длительности входного.

Длительность импульса (от момента t_1 до момента t_3), генерируемого одновибратором, определяется значениями R и C:

$$\tau_{и} = 0,75 RC.$$

При этом надо помнить об ограничениях на значения сопротивления резистора $100 \text{ Ом} < R < 500 \text{ Ом}$.

2.3. Интегральный одновибратор ИМС K155АГ1

Интегральная микросхема ТТЛ-серии K155АГ1 является одноканальным ждущим мультивибратором (рис. 56). Одновибратор формирует на своих выходах Q и \bar{Q} калиброванные по амплитуде и длительности импульсы хорошей стабильности. Микросхема содержит ячейку памяти D-триггер с двумя выходами Q и \bar{Q} . Оба выхода имеют наружные выводы (6 и 1 соответственно). Благодаря этому разработчик может получить от микросхемы сформированный парафазный импульс — пару синхронизированных во времени и длительности импульсов с противоположными логическими значениями. Триггер имеет три отдельных импульсных входа логического управления через элемент Шмидта. Вход В (активный перепад — положительный) позволяет осуществлять прямой запуск триггера (фронтом импульса), а входы А1 и А2 —

инверсные (активный перепад — отрицательный) — позволяют запускать триггер срезом импульса.

Сигнал сброса триггера, т. е. окончания импульса, формируется с помощью внешнего RC-звена: времязадающий конденсатор C_τ подключается между выводами 10 и 11 микросхемы, внешний резистор R_τ включается между выводом 11 и положительной шиной питания 5 В (см. рис. 56, б).

На кристалле микросхемы (между выводами 11 и 9) имеется интегральный резистор $R_{вн}$ с номиналом 2 кОм. Если требуемый номинал $R_\tau < R_{вн}$, то можно использовать только $R_{вн}$ (т. е. подать напряжение питания 5 В на вывод 9 и подключить C_τ между 10 и 11 выводами).

Зависимость длительности импульса одновибратора $\tau_{\text{вых}}$ от величин C_τ и R_τ представлена диаграммой (рис. 56, в).

Длительность $\tau_{\text{вых}}$ можно не только определить по диаграмме, но и вычислить:

$$\tau_{\text{вых}} = C_\tau R_\tau \ln 2 = 0,7 C_\tau R_\tau.$$

Если отсутствуют внешние элементы C_τ , R_τ , т. е. $R_\tau \rightarrow \infty$ и $C_\tau \rightarrow 0$, длительность $\tau_{\text{вых}}$ будет менее 35 наносекунд. Длительность импульса слабо зависит от температуры и напряжения питания. Желательно включение фильтров в цепь питания микросхемы.

В табл. 2.1 приведена подборка всех сигналов логического управления одновибратором K155АГ1.

Таблица 2.1

Управляющие и выходные сигналы одновибратора K155АГ1

Вход			Выход		Вход			Выход	
A1	A2	B	Q	\overline{Q}	A1	A2	B	Q	\overline{Q}
Н	×	В	Н	В	↓	В	В	□	□
×	Н	В	Н	В	↓	↓	В	□	□
×	×	Н	Н	В	Н	×	↑	□	□
В	В	×	Н	В	×	Н	↑	□	□
В	↓	В	□	□					

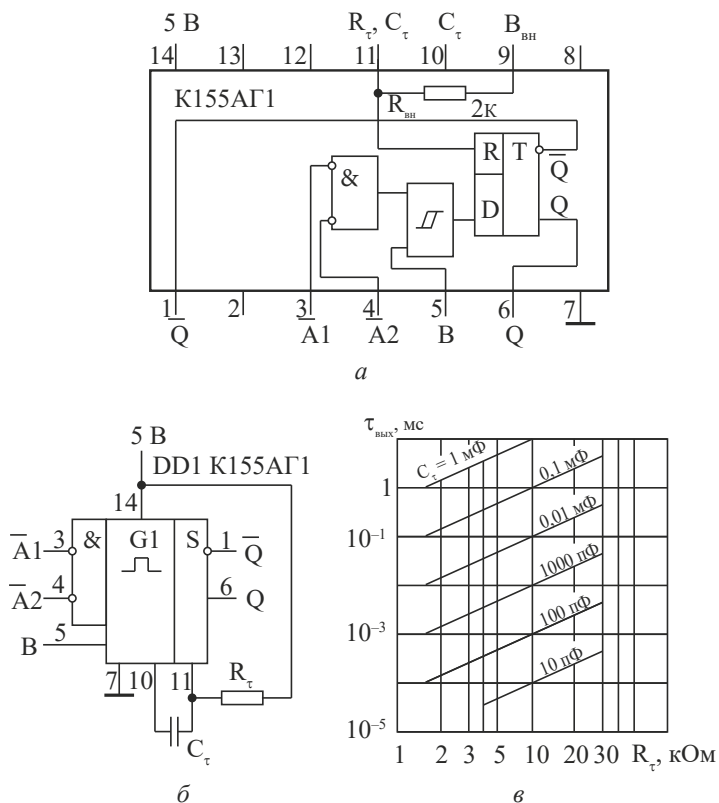


Рис. 56. Одновибратор К155АГ1: а — схема включения; б — условное графическое обозначение; в — зависимость длительности выходного импульса от емкости C_τ и сопротивления R_τ

Первые четыре строки показывают статические выходные уровни Q и \bar{Q} (исходное состояние триггеров) в зависимости от статических уровней на входах $\bar{A1}$ и $\bar{A2}$. Оставшаяся часть таблицы содержит пять способов генерации одного выходного импульса и указывает логический уровень сигналов на выходах Q и \bar{Q} . Выходной сигнал с длительностью $\tau_{\text{вых}}$ получается при подаче фронта импульса на вход B (стрелка вверх в последних двух строках таблицы) или при появлении среза импульса на входе $\bar{A1}$ (или $\bar{A2}$) (стрелка вниз в пятой и шестой строках) или на обоих входах $\bar{A1}$ и $\bar{A2}$ с низким

активным перепадом (седьмая строка). На неиспользуемые входы надо подавать статические сигналы напряжения в соответствии с последними пятью строками табл. 2.1 (В — высокий уровень статического напряжения, Н — низкий). В можно использовать как разрешающий (с высоким уровнем).

Одновибратор АГ1 нельзя запустить заново, пока не истекло время $\tau_{\text{вых}}$. Запущенный одновибратор при этом не реагирует на входные сигналы $\overline{A1}$, $\overline{A2}$ и В. Схема с триггером Шмидта надежно запускается по входу В даже при медленно нарастающем запускающем напряжении (например, при скорости нарастания фронта 1 В/с).

Диаграммы выходных запускающих по входам \overline{A} и В импульсов приведены на рис. 57. Здесь для стандартного исполнения ТТЛ средний уровень переключения $U_{\text{ср}} = 1,3$ В, для варианта LS уровень $U_{\text{ср}} = 1,5$ В; условия нагрузки: $C_{\text{H}} = 15$ пФ, $R_{\text{H}} = 400$ Ом.

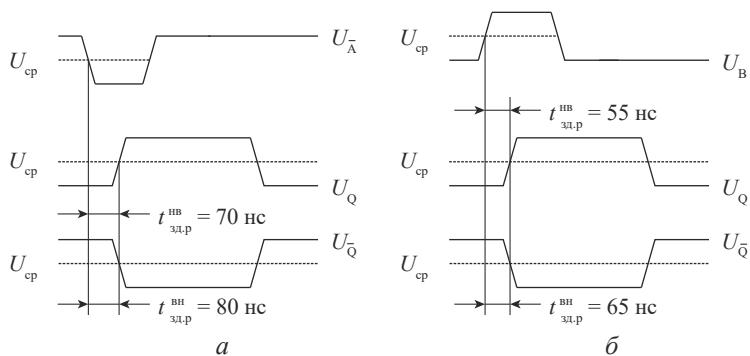


Рис. 57. Диаграммы запуска мультивибратора К155АГ1:
 а — срезом импульса; б — фронтом импульса

ЛАБОРАТОРНАЯ РАБОТА № 1

ИССЛЕДОВАНИЕ ЭЛЕМЕНТНОЙ БАЗЫ ЦИФРОВЫХ ЛОГИЧЕСКИХ СХЕМ И ПОСТРОЕНИЕ НА ИХ ОСНОВЕ МУЛЬТИВИБРАТОРОВ И ОДНОВИБРАТОРОВ

Цель работы: изучение базовых логических элементов и построение на их основе мультвибратора и одновибратора.

В лабораторной работе выполняются задания на сменных устройствах печатных плат на цифровых интегральных микросхемах серии 155 с логическими элементами И, ИЛИ, НЕ, И-НЕ и логических схемах, составленных на их основе.

Задание 1. Изучение цифровых интегральных схем И, ИЛИ, НЕ, РАВНОЗНАЧНОСТЬ и ИСКЛЮЧАЮЩЕЕ ИЛИ, размещенных на логических микросхемах D1–D5 (см. принципиальную электрическую схему сменного устройства УС12).

Сигналы управления на входы исследуемых логических интегральных микросхем подаются (см. Прил. 1 «Описание комплекта К32») нажатием кнопок «1»–«4» и «7»–«12» программатора кодов. Выходные сигналы отображаются на цифровом табло в двоичном коде или исследуются с помощью мультиметра или осциллографа.

Исследовать опытным путем логические элементы микросхем D1–D5 и по полученным результатам составить их таблицы истинности.

При исследовании микросхемы D1 (К155ЛЛ1 — 4 элемента 2ИЛИ) используются кнопки «7», «8» программатора кодов, выходной сигнал отображается на левом цифровом табло (1-й разряд) в двоичном коде.

При исследовании микросхемы D2 (K155ЛА4 — 3 элемента 3И-НЕ) используются кнопки «9», «10», «11» программатора кодов, выходной сигнал отображается на левом цифровом табло (2-й разряд) в двоичном коде.

При исследовании микросхемы D3 (K155ЛН1 — 6 элементов НЕ) используются кнопка «12» программатора кодов, выходной сигнал подается на мультиметр (осциллограф) с гнезда XS1 на плате.

При исследовании микросхемы D4 (K155ЛП5 — 4 двухвходовых элемента ИСКЛЮЧАЮЩЕЕ ИЛИ) используются кнопки «1», «2» программатора кодов, выходной сигнал отображается на левом цифровом табло (3-й разряд) в двоичном коде.

При исследовании микросхемы D5 (155ЛЕ1 — 4 элемента 2ИЛИ-НЕ) используются кнопки «3», «4» программатора кодов, выходной сигнал отображается на левом цифровом табло (4-й разряд) в двоичном коде.

Задание 2. Исследование комбинаторных схем

Исследуется работа цифровых логических схем, составленных на базе цифровых интегральных микросхем логических элементов И, ИЛИ, И-НЕ (см. принципиальную электрическую схему сменного устройства УС13).

В работе на входы исследуемых комбинаций элементов логических ИС D1, D2 нажатием кнопок «1»–«12» программатора кодов подаются логические сигналы («0»–«1»). Выходные сигналы отображаются на левом цифровом табло в двоичном коде.

Исследовать выполняемые комбинациями элементов цифровых микросхем D1–D4 логические функции и составить их таблицы истинности.

Схема, собранная на базе элементов цифровых ИС D1, D3.1, D2.5, исследуется с помощью кнопок «1»–«4» программатора кодов, выходной сигнал отображается на левом цифровом табло (1-й разряд) в двоичном коде. Промежуточные выходы схемы (гнезда на печатной плате XS1, XS2, XS9) подключаются к мультиметру (осциллографу).

Схема, собранная на базе элементов цифровых ИС D1, D3.1, D3.2, D2.6, D3.4, исследуется с помощью кнопок «1»–«8» программатора

кодов, выходной сигнал отображается на левом цифровом табло (2-й разряд) в двоичном коде. Промежуточные выходы схемы (гнезда на печатной плате XS13, XS4, XS10) подключаются к мультиметру (осциллографу).

Схема, собранная на базе элементов цифровых ИС D2.1...D2.4, D4.1, D4.2, D3.3, исследуется с помощью кнопок «9»–«12» программатора кодов, выходной сигнал отображается на левом цифровом табло (3-й и 4-й разряды) в двоичном коде. Промежуточные выходы схемы (гнезда на печатной плате XS5, XS6, XS7, XS8, XS11) подключаются к мультиметру (осциллографу).

Микросхемы D1–D4 сменного устройства УС13 содержат следующие логические элементы:

D1 — К155ЛЕ1 — 4 элемента 2ИЛИ-НЕ;

D2 — К155ЛН1 — 6 элементов НЕ;

D3 — К155ЛЛ1 — 4 элемента 2ИЛИ;

D4 — К155ЛА3 — 4 элемента 2И-НЕ.

Задание 3. Изучение работы мультивибраторов и одновибраторов

Исследуется работа мультивибратора и одновибратора, использующих логические элементы ИС НЕ, И-НЕ, и одновибратора в интегральном исполнении (см. принципиальную электрическую схему сменного устройства УС13). В работе изучается принцип действия генератора прямоугольных импульсов, собранного из элементов логической интегральной микросхемы D7 (К155ЛН1), принцип действия одновибратора, собранного на логических элементах интегральной микросхемы D9 (К155ЛА8), и одновибратора в интегральном исполнении ИС D8 (К155АГ1).

Одновибратор D9 (выводы 2, 3 — D9.1) запускается выходным сигналом мультивибратора D7 (выход 6 — D7.3).

Сигналы управления одновибратора D6 подаются с помощью кнопок «9»–«14» программатора кодов. Выходные сигналы исследуются с помощью мультиметра (осциллографа). Необходимые цепи подключаются ко входу мультиметра (осциллографа) с помощью коммутатора.

На всех каналах прохождения импульсов КПИ1–КПИ10 (кроме КПИ2 и КПИ8), при исследовании мультивибратора D7 и одновибратора D9, измерить амплитуду U , период T и длительность $\tau_{и}$ сигналов. Каналы прохождения импульсов (КПИ) связаны со входами и выходами микросхем D7, D9 и подключаются к мультиметру (осциллографу) с помощью коммутатора внешних устройств (см. описание комплекта K32).

В работе одновибратор в интегральном исполнении D8, выполненный на микросхеме K155АГ1 (см. рис. 56 и описание микросхемы в разд. 2.3).

Исследовать работу ждущего мультивибратора D8, следуя таблице управления и сигналов (см. в разд. 2.3).

При исследовании работы одновибратора D8 измерить амплитуду U , период T и длительность $\tau_{и}$ запускающих и выходных сигналов одновибратора на внешних гнездах XS12, XS13, XS14, XS15 сменной платы и на каналах прохождений импульсов КПИ8, КПИ2, подключаемых к мультиметру или осциллографу. Зарисовать осциллограммы исследуемых сигналов. Проанализировать полученные результаты и сравнить их с результатами табл. 2.1 в разд. 2.3.

В работе используются микросхемы:

D5 — K155ЛИ1 — 4 элемента 2И;

D6 — K155ЛЛ1 — 4 элемента 2ИЛИ;

D7 — K155ЛН1 — 6 элементов НЕ;

D8 — K155АГ1 — одновибратор в интегральном исполнении;

D9 — K155ЛА8 — 4 элемента 2И-НЕ с открытым коллекторным

выходом.

3. ТРИГГЕРЫ

Триггеры являются импульсными устройствами и предназначены для запоминания одного бита двоичной информации.

Триггеры представляют собой большой класс электронных устройств, которые могут длительно находиться в одном из двух устойчивых состояний и изменять их под воздействием внешних сигналов.

По функциональному признаку (способу переключения триггера сигналом управления) различают Т-триггеры, JK-триггеры, RS-триггеры, D-триггеры и т. д.

По способу записи информации триггеры подразделяются на синхронные и асинхронные.

В асинхронных триггерах изменение состояния происходит сразу с поступлением сигнала управления на информационный вход. Асинхронные триггеры бывают:

- а) с внутренней задержкой переключения;
- б) управляемые статическим уровнем входного импульса.

Синхронный триггер переключается только в момент появления тактирующего импульса — сигнала на специальном входе синхронизации. Синхронные триггеры бывают:

- а) с внутренней задержкой выходного сигнала;
- б) управляемые уровнем тактирующего импульса.

Триггеры позволяют реализовывать устройства памяти, а также широко используются для построения цифровых устройств, таких как счетчики, последовательные порты, преобразователи «последовательного кода в параллельный», цифровые фильтры, применяемые в линиях задержки.

Напомним, что простейший триггер имеет два входа и два выхода. Выходы принято обозначать латинскими буквами Q и \bar{Q} . Выход Q называют прямым, а \bar{Q} — инверсным. Уровни напряжения на обоих выходах взаимно инверсны: если сигнал $Q = 1$, то $\bar{Q} = 0$, либо если $Q = 0$, то $\bar{Q} = 1$. Состояние триггера, при котором $Q = 1$, а $\bar{Q} = 0$, называют единичным. В нулевом состоянии $Q = 0$ и $\bar{Q} = 1$. При поступлении сигналов управления на входы триггера либо происходит переключение, либо сохраняется исходное состояние. Результат зависит от предыдущего состояния триггера. В зависимости от функциональной связи между сигналами на входах и выходах триггеры в интегральном исполнении имеют следующие наименования: \overline{RS} , RS , D , T , JK и нек. др. Теми же буквами обозначают и входы триггеров.

Простейшая схема, позволяющая запоминать двоичную информацию, может быть построена на двух последовательно включенных инверторах. Общепринято контур из двух инверторов изображать в виде так называемой «защелки», логическая схема которой приведена на рис. 58.

Такое изображение контура из двух инверторов показывает наличие положительной обратной связи между ними. Действительно, если логическая единица находится на выходе Q , то на инверсном выходе \bar{Q} триггера будет логический ноль, который после инвертирования приводит (подтверждает) к уровню логической единицы на выходе Q . И наоборот, если на выходе триггера Q присутствует ноль, то на инверсном выходе \bar{Q} будет уровень логической единицы.

Если не выключать питание электрической схемы защелки,

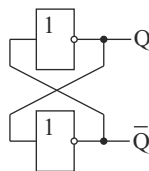


Рис. 58. Схема простейшего триггера-защелки, построенного на двух инверторах

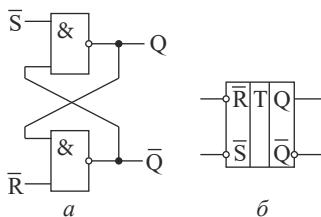
то установившееся на выводах защелки одно из двух состояний будет сохраняться неизменным. Так как схема защелки симметрична, включая и выключая напряжение питания схемы, можно на выходах получить одно из двух равновероятных состояний: 1, 0 или 0, 1. Однозначную запись одного бита информации можно получить, создав входы записи нуля и записи единицы.

3.1. RS-триггеры

RS-триггер, или триггер с установочными входами, получил свое название по обозначениям входов. Подключением на вход S (англ. *set* ‘установить’) напряжения уровня логической единицы устанавливается выход Q (англ. *quit* ‘выход’) в состояние логической единицы. (Установить логическую единицу на выход Q означает записать в триггер логическую единицу). Подача логической единицы на вход R (англ. *reset* ‘сбросить’) позволяет сбрасывать выход Q в нулевое состояние.

Поскольку у инверторов только один вход, то для реализации RS-триггера можно воспользоваться двухвходовыми элементами 2ИЛИ-НЕ или элементами 2И-НЕ. Логическая схема, построенная на элементах 2И-НЕ, приведена на рис. 59.

Рассмотрим подробнее действие схемы триггера, изображенной на рис. 59. Пусть на входы \bar{R} и \bar{S} подаются единичные потенциалы. Если на выходе верхнего логического элемента 2И-НЕ Q



присутствует ноль, то на выходе нижнего элемента 2И-НЕ должна находиться логическая единица. Эта единица соответствует нулю на выходе Q. Если на выходе верхнего элемента 2И-НЕ Q первоначально присутствует логическая единица, то на выходе нижнего элемента 2И-НЕ будет логический ноль. Этот ноль

Рис. 59. $\bar{R}\bar{S}$ -триггер на элементах 2И-НЕ: а — схема; б — условное графическое изображение. Входы R и S инверсные (активный, т. е. переключающий уровень напряжения — низкий)

соответствует логической единице на выходе Q . Таким образом, при единичных уровнях напряжения на входах \bar{R} и \bar{S} , схема RS-триггера устойчиво хранит свое исходное состояние, другими словами, находится в режиме хранения информации.

Подадим на вход \bar{S} триггера нулевой уровень напряжения, а на вход \bar{R} единичный. Согласно таблице истинности элемента 2И-НЕ на выходе Q появится единичный потенциал. Это приведет к появлению на инверсном выходе \bar{Q} триггера напряжения нулевого логического уровня. Теперь, даже если снять нулевой потенциал с входа S , на основном выходе Q триггера останется единичный потенциал, т. е. мы записали в триггер логическую единицу.

Точно так же можно записать в триггер и логический ноль. Для этого следует на вход \bar{R} установить низкий уровень напряжения, а на вход \bar{S} — высокий.

Чтобы составить правильное представление о триггерах с установочными входами, получим с помощью логических выражений таблицу истинности устройства. В случае триггеров она называется таблицей переключений. Для триггера, реализованного на основе защелки из двух логических элементов И-НЕ, запишем логические уравнения выходов, используя соответствующие уравнения входящих в триггер ЛЭ и обозначив логические переменные на их входах как X_1 для верхнего входа и X_2 — для нижнего (см. рис. 59):

$$Q = \overline{X_1 \cdot \bar{Q}} \text{ — логическое уравнение основного выхода;}$$

$$\bar{Q} = \overline{X_2 \cdot Q} \text{ — логическое уравнение инверсного выхода.}$$

Для получения полной таблицы переключений триггера подставим в уравнения все возможные комбинации пар входных логических переменных:

$$1) X_1 = 0, X_2 = 1; Q = 0 \cdot \bar{Q} = \bar{0} = 1, \bar{Q} = 1 \cdot Q = 1 \cdot 1 = \bar{1} = 0.$$

При такой комбинации входов происходит установка триггера, так как на основном входе у него логическая единица, а на инверсном — 0.

$$2) X_1 = 1, X_2 = 0; \bar{Q} = 0 \cdot Q = \bar{0} = 1, Q = 1 \cdot \bar{Q} = 1 \cdot 1 = \bar{1} = 0.$$

Очевидно, что такой комбинацией входов мы сбросили триггер в ноль.

$$3) X_1 = 1, X_2 = 1; Q = 1 \cdot \overline{\overline{Q}} = \overline{\overline{Q}} = Q, \overline{Q} = 1 \cdot \overline{\overline{Q}} = \overline{Q}.$$

Видно, что входная комбинация 1, 1 переводит триггер в режим хранения.

$$4) X_1 = 0, X_2 = 0; Q = 0 \cdot \overline{\overline{Q}} = \overline{0} = 1, \overline{Q} = 0 \cdot \overline{\overline{Q}} = \overline{0} = 1.$$

Таким образом, при нулевых значениях переменных на обоих входах выходные значения триггера не определены, т. е. такую входную комбинацию на триггер из элементов И-НЕ подавать нельзя. Состояние $Q = 1, \overline{Q} = 1$ считается неопределенным, а входная комбинация $X_1 = 0, X_2 = 0$ называется запрещенной.

Необходимо отметить, что триггер типа RS (триггер с установочными входами), построенный из элементов И-НЕ, устанавливается нулевым уровнем напряжения по входу X_1 и сбрасывается нулевым напряжением по входу X_2 . Таким образом, X_1 — это вход установки \overline{S} с активным (переключающим) низким уровнем напряжения, а X_2 — вход сброса \overline{R} с активным низким уровнем напряжения. Поэтому этот триггер называют \overline{RS} -триггером и говорят, что у него инверсные входы и что он управляется нулями.

Работа \overline{RS} -триггера характеризуется таблицей переключений (индексы n и $n+1$ означают принадлежность сигнала моменту времени t_n и следующему за ним t_{n+1}):

Таблица 3.1

\overline{R}	\overline{S}	Q_{n+1}	\overline{Q}_{n+1}
1	1	Q_n	\overline{Q}_n
1	0	1	0
0	1	0	1
0	0	неопределенное состояние	

Не разрешается одновременная подача напряжения низкого уровня на оба входа \overline{RS} -триггера.

Триггер с установочными входами можно построить и на двух-входовых логических элементах 2ИЛИ-НЕ. Схема RS-триггера, построенного на логических элементах 2ИЛИ-НЕ, приведена на рис. 60.

Единственное отличие в работе этой схемы триггера будет заключаться в том, что его сброс и установка будут производиться единичными логическими уровнями. Эти особенности реализации схемы триггера связаны с принципами работы инверсной логики ИЛИ-НЕ, которые рассматривались ранее.

Проведем подробный анализ работы триггера, построенного из логических элементов ИЛИ-НЕ. Получим с помощью логических уравнений таблицу переключения триггеров с элементами ИЛИ-НЕ. Для этого запишем логические уравнения выходов, используя уравнения элементов 2ИЛИ-НЕ. Обозначим логические переменные на их входах как X_1 для верхнего входа и X_2 — для нижнего (см. рис. 60).

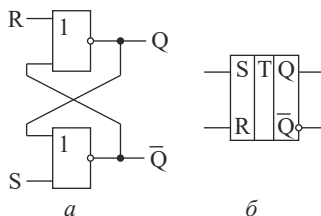


Рис. 60. RS-триггер на логических элементах 2ИЛИ-НЕ: а — схема и б — условное графическое изображение. Входы R и S имеют высокий активный уровень

$$Q = X_1 + \overline{Q} \text{ — логическое уравнение основного выхода;}$$

$$\overline{Q} = \overline{X_2 + Q} \text{ — логическое уравнение инверсного выхода.}$$

Для получения полной таблицы переключений триггера подставим в уравнения все возможные комбинации пар входных логических переменных:

$$1) X_1 = 0, X_2 = 1; \overline{Q} = \overline{1 + Q} = \overline{1} = 0, Q = 0 + \overline{Q} = 0 + 0 = 0 = \overline{0} = 1.$$

При такой комбинации входов происходит установка триггера, так как на основном входе у него логическая единица, а на инверсном — 0.

$$2) X_1 = 1, X_2 = 0; Q = 1 + \overline{Q} = \overline{1} = 0, \overline{Q} = \overline{0 + Q} = \overline{0} = 1.$$

Очевидно, что такой комбинацией входов мы сбросили триггер в ноль.

$$3) X_1 = 1, X_2 = 1; \overline{\overline{Q}} = \overline{1} = 0, \overline{Q} = \overline{1+Q} = \overline{1} = 0.$$

Таким образом, при единичных значениях входных переменных выходные значения триггера не определены, т. е. такую входную комбинацию на триггер из элементов ИЛИ-НЕ подавать нельзя. Состояние $Q = 0, \overline{Q} = 0$ считается неопределенным, а входная комбинация $X_1 = 1, X_2 = 1$ будет запрещенной для триггера из базисных элементов ИЛИ-НЕ.

$$4) X_1 = 0, X_2 = 0; \overline{\overline{Q}} = \overline{0} = Q, \overline{Q} = \overline{0+Q} = \overline{Q}.$$

Видно, что входная комбинация 0, 0 переводит триггер в режим хранения.

Необходимо подчеркнуть, что триггер типа RS (триггер с установочными входами), построенный из элементов ИИЛИ-НЕ, устанавливается единичным уровнем напряжения по входу X_1 и сбрасывается единичным напряжением по входу X_2 . Таким образом, X_1 — это вход сброса R с активным высоким уровнем напряжения, а X_2 — вход сброса S с активным высоким уровнем напряжения. Поэтому именно этот триггер называют RS-триггером. В противоположность \overline{RS} -триггеру, управляемому нолями, RS-триггер управляется единицами. При изображении схемы защелки из элементов ИЛИ-НЕ с установочными входами вход установки триггера в единицу располагается напротив инверсного вывода (рис. 60).

Так как RS-триггер при построении его на логических элементах 2И-НЕ или 2ИЛИ-НЕ работает одинаково, то его условное графическое изображение на принципиальных схемах тоже одинаково (см. рис. 59, 60). Логический анализ, проведенный выше, позволяет построить таблицу переключений RS-триггера.

Таблица 3.2

R_n	S_n	Q_{n+1}	\overline{Q}_{n+1}
0	0	Q_n	\overline{Q}_n
0	1	1	0

R_n	S_n	Q_{n+1}	\bar{Q}_{n+1}
1	0	0	1
1	1	неопределенное состояние	

Не разрешается одновременная подача напряжения высокого уровня на оба входа RS-триггера.

3.2. Временные диаграммы работы RS-триггеров

Триггеры являются импульсными устройствами с двумя уровнями напряжения, соответствующими логическому нулю (низкий) и логической единице (высокий). Все триггеры относятся к так называемым «последовательностным» устройствам. Они характеризуются тем, что их переключение зависит не только от наличия соответствующих управляющих сигналов, но и от их предыдущих состояний. Частота поступления импульсов в современных цифровых схемах достаточно высока, что весьма затрудняет их анализ. В этом случае как в логических комбинаторных схемах, составленных из различных ЛЭ, так и в схемах, содержащих триггеры, можно использовать временные диаграммы их работы.

Покажем, как предыдущее состояние триггера влияет на его переключение при чередовании входных управляющих импульсов напряжения. Для конкретного анализа рассмотрим временные диаграммы RS-триггеров обоих типов совместно с их схемами (рис. 61, 62). На рис. 61 показан простейший триггер — типа \overline{RS} . Здесь использованы только два логических элемента И-НЕ.

Из предыдущего раздела известно назначение входов: \bar{S} — для установки триггера в единичное состояние и \bar{R} — для сброса в нулевое состояние. Черта над обозначениями входов показывает, что переключение триггера будет происходить в моменты времени, когда входное напряжение высокого уровня сменяется напряжением низкого уровня, т. е. в моменты «среза» импульса (перепады напряжения от высокого к низкому в импульсной технике называют срезами импульсного сигнала). Можно видеть, что, когда на входы

не поступают сигналы «среза», триггер не переключается (сохраняет свое состояние, например, до момента времени t_1). Однако почему он не переключился в момент времени t_1 , когда появился срез импульса на входе \bar{S} , если, как на рис. 61, а, $Q = 1$ и $\bar{Q} = 0$, т. е. триггер установлен в единичное состояние? Поскольку выход DD1 связан с верхним входом DD2, а выход DD2 — с нижним входом DD1, на двух входах DD2 находится напряжение высокого, а на его выходе — низкого ($\bar{Q} = 0$) уровня. В то же самое время на нижнем входе DD1 напряжение низкого уровня, а на выходе — высокого. Если теперь на вход \bar{S} поступает сигнал среза (момент t_1 , рис. 61, а), состояние RS-триггера не изменится, потому что один сигнал нулевого уровня на входе элемента И-НЕ уже имеется. Поэтому логическое состояние его выхода не изменится. Поступление среза сигнала (нулевого уровня напряжения) на верхний вход DD1 временно изменит только сочетание сигналов на его входах (до подачи сигнала оно было 1 и 0, а стало 0 и 0), но выходное состояние DD1 останется неизменным. Если сигнал среза поступит на вход \bar{R} (момент t_2), то на одном из входов DD2, а именно на нижнем, окажется напряжение нулевого уровня. Состояние DD2 изменится, и на его выходе установится высокое

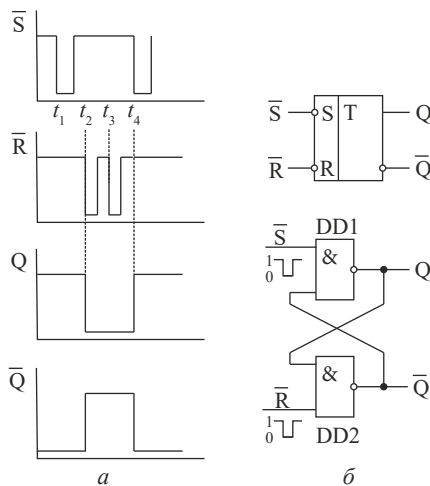


Рис. 61. \overline{RS} -триггер: а — временная диаграмма работы; б — условное графическое обозначение; в — схема с двумя ЛЭ И-НЕ

напряжение. Теперь на обоих входах DD1 будут напряжения высокого уровня, а на выходе — низкого. Теперь триггер переключился в противоположное состояние: $Q = 0$ и $\bar{Q} = 1$. По здравому смыслу, триггер, изображенный на рис. 61, а и не должен был переключиться первым нулевым импульсом по входу \bar{S} , так как уже находился в единичном состоянии, как это требовалось по сигналу на входе \bar{S} . Переключить триггер в противоположное состояние мог только срез (появление низкого уровня) на входе \bar{R} , что и произошло. Напротив, при поступлении второго сигнала нулевого уровня на вход \bar{R} , триггер опять не переключился в нулевое состояние, так как к этому моменту времени уже в нем находился.

Отсюда следует, что переключения $\bar{R}\bar{S}$ -триггера происходят только при чередовании сигналов низкого уровня на входах \bar{S} и \bar{R} . Смена состояния происходит при чередовании на обоих входах сигналов вида $\begin{matrix} 0 \\ \downarrow \\ 1 \end{matrix}$. Триггер «запоминает», на какой из двух входов (\bar{R} или \bar{S}) поступил последний сигнал. После одновременного поступления таких сигналов состояние $\bar{R}\bar{S}$ -триггера станет неопределенным (состояние $Q = 0$ или $Q = 1$ равновероятно). Поэтому синхронная (одновременная) подача сигналов низкого уровня на оба входа такого триггера недопустима.

Если последний сигнал поступил на вход \bar{R} , триггер находится в нулевом состоянии ($Q_1 = 0, \bar{Q}_1 = 1$) и на повторный сигнал \bar{R} не реагирует. Если на вход \bar{S} , то $\bar{R}\bar{S}$ -триггер находится в единичном состоянии ($Q_1 = 1, \bar{Q}_1 = 0$) и не переключается повторяющимся \bar{S} -сигналом.

Все сказанное относительно поведения во времени $\bar{R}\bar{S}$ -триггера сохраняет силу и для RS-триггера. Единственное различие связано с противоположными уровнями входных сигналов, R вместо \bar{R} и S вместо \bar{S} (см. таблицы их переключений в предыдущем разделе). Схема RS-триггера может быть получена из $\bar{R}\bar{S}$ -триггера присоединением к каждому входу по инвертору (DD3 и DD4) из тех же логических элементов И-НЕ (см. рис. 62).

Инверторы обеспечивают высокий уровень входных сигналов. Вместо сигнала $\begin{matrix} 0 \\ \downarrow \\ 1 \end{matrix}$ на входах инверторов теперь необходим активный сигнал $\begin{matrix} 1 \\ \downarrow \\ 0 \end{matrix}$ — перепад напряжения от нулевого уровня до высокого, называемый в импульсной технике фронтом сигнала. Фронты входных сигналов приводят к смене состояния RS-триггера

(моменты времени t_1, t_2, t_3 и t_5). В момент времени t_4 переключения нет, так как триггер уже установлен в единицу (во время фронта в момент t_3). Переключения триггера происходят при чередовании фронтов (сигналов вида $0 \begin{array}{|} \hline \square \\ \hline \end{array}$) на его входах. Триггер «запоминает» момент поступления первого сигнала на вход R или S и на последующие сигналы не реагирует. Не разрешается одновременная подача напряжения высокого уровня на оба входа RS-триггера.

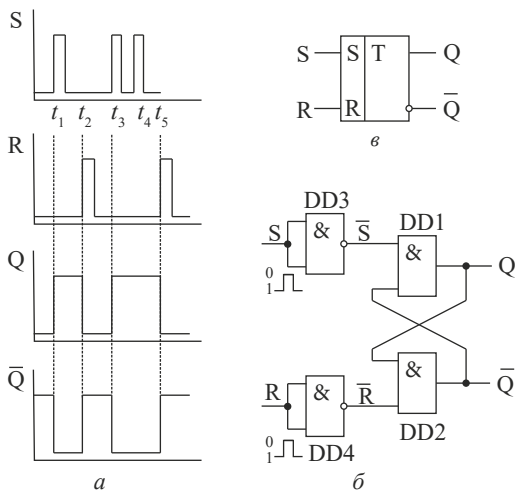


Рис. 62. RS-триггер: а — временная диаграмма работы; б — условное графическое обозначение; в — схема с четырьмя ЛЭ И-НЕ

3.3. Синхронные RS-триггеры

RS-триггер позволяет запоминать состояние элементов его логической схемы, однако этот процесс не мгновенный. В начальный момент времени существует переходный процесс, связанный с разной скоростью переключения ЛЭ. Иногда это приводит к неправильной записи логических состояний. Для исключения ошибок запоминать состояния ЛЭ в триггерах нужно только в момент, когда все переходные процессы закончены. Этот момент времени обычно определяют

с помощью тактового сигнала (сигнала синхронизации). Все переходные процессы в логической схеме триггера должны закончиться к моменту появления фронта или среза импульса синхронизации, подающегося на специальный вход триггера. Синхронными триггерами называются триггеры, переключающиеся в момент времени, определяемый синхроимпульсом. Ранее рассмотренные RS-триггеры, в отличие от синхронных, получили название асинхронных.

Синхронизирующие сигналы с различной частотой и длительностью формируют при помощи мультивибраторов и одновибраторов, которые были рассмотрены в предыдущих разделах пособия. Теперь научимся записывать в триггеры входные логические сигналы только при наличии разрешающего сигнала (синхросигнала). Для этого потребуется элемент, пропускающий входные сигналы на входы триггера только при наличии синхроимпульса. Таким элементом является логический элемент И. Часто его называют «схемой совпадения» — на выходе элемента логическая единица появится только при одновременном совпадении единиц на всех его входах. Если хотя бы на одном из входов элемента И появится логический ноль, то на его выходе сигнал будет нулевого уровня. Логическая схема синхронного RS-триггера показана на рис. 63. Здесь вместо элемента И используется И-НЕ, так как он тоже является схемой совпадения с инверсным выходом, необходимым для управления нулями входов \overline{RS} -триггера. Отметим, что, несмотря на использование в схеме \overline{RS} -триггера, получился синхронный RS-триггер с активно высокими входными сигналами.

Получим логические уравнения выходов Q_1 и \overline{Q}_1 схемы, представленной на рис. 5. Сначала запишем уравнения для входов \overline{RS} -триггера \overline{R} и \overline{S} как функций входных переменных R, S и C, а затем окончательно для выходов Q_1 и \overline{Q}_1 :

$$\overline{S} = \overline{S \cdot C}; \quad \overline{R} = \overline{R \cdot C}$$

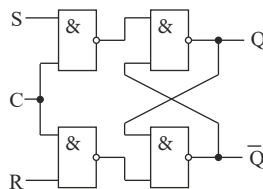


Рис. 63. Схема синхронного RS-триггера, построенного на элементах И-НЕ

$$Q = \overline{\overline{S \cdot C \cdot Q}}; \quad \overline{Q} = \overline{\overline{R \cdot C \cdot Q}}$$

Подстановку всех возможных комбинаций из трех переменных R, S и C проведем сначала при всех C = 0 (первые четыре строки), а затем при C = 1:

$$C = 0, R = 0, S = 0, Q = \overline{\overline{0 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = Q, \quad \overline{Q} = \overline{\overline{0 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = \overline{Q};$$

$$C = 0, R = 0, S = 1, Q = \overline{\overline{1 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = Q, \quad \overline{Q} = \overline{\overline{0 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = \overline{Q};$$

$$C = 0, R = 1, S = 0, Q = \overline{\overline{0 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = Q, \quad \overline{Q} = \overline{\overline{1 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = \overline{Q};$$

$$C = 0, R = 1, S = 1, Q = \overline{\overline{1 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = Q, \quad \overline{Q} = \overline{\overline{1 \cdot 0 \cdot Q}} = \overline{\overline{1 \cdot Q}} = \overline{Q};$$

$$C = 1, R = 0, S = 0, Q = \overline{\overline{0 \cdot 1 \cdot Q}} = \overline{\overline{1 \cdot Q}} = Q, \quad \overline{Q} = \overline{\overline{0 \cdot 1 \cdot Q}} = \overline{\overline{1 \cdot Q}} = \overline{Q};$$

$$C = 1, R = 0, S = 1, Q = \overline{\overline{1 \cdot 1 \cdot Q}} = \overline{\overline{0 \cdot Q}} = 1, \quad \overline{Q} = \overline{\overline{0 \cdot 1 \cdot Q}} = \overline{\overline{1 \cdot Q}} = \overline{1} = 0;$$

$$C = 1, R = 1, S = 0, \overline{Q} = \overline{\overline{1 \cdot 1 \cdot Q}} = \overline{\overline{0 \cdot Q}} = \overline{0} = 1, \quad Q = \overline{\overline{0 \cdot 1 \cdot Q}} = \overline{\overline{1 \cdot 1}} = 0;$$

$$C = 1, R = 1, S = 1, Q = \overline{\overline{1 \cdot 1 \cdot Q}} = \overline{\overline{0 \cdot Q}} = 1, \quad \overline{Q} = \overline{\overline{1 \cdot 1 \cdot Q}} = \overline{\overline{0 \cdot Q}} = 1.$$

Полученные результаты показывают, что схема триггера, представленная на рис. 63, действует по логике асинхронного RS-триггера, включая его неопределенное состояние при единичных входных сигналах, но переключается он только при наличии на входе C синхрои импульса высокого уровня (C = 1).

По результатам логического анализа составим таблицу в виде, удобном для определения режимов записи и хранения. Ниже приведена таблица переключений синхронного RS-триггера. Здесь символ × означает, что значения логических уровней на данный момент не важны.

Таблица переключений синхронного RS-триггера

$Q(t)$	$Q(t + 1)$	Пояснения
0	0	Режим хранения информации
1	1	
0	0	Режим хранения информации
1	1	
0	1	Режим установки единицы $S = 1$
1	1	
0	0	Режим записи нуля $R = 1$
1	0	
0	×	$R = S = 1$ запрещенная комбинация
1	×	

Работу синхронного RS-триггера можно проиллюстрировать временными диаграммами (рис. 64).

Как видно из временных диаграмм, синхронный RS-триггер на основном выходе сохраняет то состояние, которое соответствует последнему на данный момент синхроимпульсу. Подобные триггеры называют триггерами-защелками. Как было показано выше, RS-триггеры могут быть построены из различных логических элементов. При этом логика их работы не изменяется. Триггеры выпускаются в виде готовых микросхем (или реализуются внутри больших интегральных схем в виде готовых модулей). На принципиальных электрических схемах синхронные триггеры изображаются в виде условных графических обозначений (рис. 65).

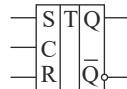


Рис. 65. Условное графическое обозначение синхронного RS-триггера

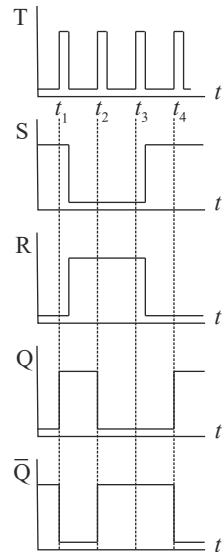


Рис. 64. Временная диаграмма синхронного RS-триггера

Видно, что условное обозначение синхронного RS-триггера отличается от асинхронного триггера только наличием входа тактовых импульсов.

3.4. D-триггеры

В RS-триггерах для записи нуля и единицы используются разные входы. В то же время один бит информации может принимать значение или нуля, или единицы. Для его передачи и записи достаточно всего одного провода.

D-триггер, как и все триггеры, предназначен для записи и хранения одного бита цифровых данных, а значит, также обладает двумя устойчивыми состояниями. Переключение выходных состояний D-триггера осуществляют только по одному информационному входу D (см. рис. 66). Этот триггер можно отнести к синхронным триггерам, так как он переключается тактовым импульсом на входе С. При поступлении синхроимпульса на выходе Q_1 устанавливается уровень напряжения, который в этот момент был на входе D. Переключение триггера тактовым импульсом происходит с некоторым отставанием d (от англ. *delay* 'задержка') относительно смены сигнала на входе D. Поэтому D-триггеры еще называют триггерами задержки. На рис. 66, а длительность задержки обозначена буквой D латинского алфавита. Величина задержки определяется периодом и длительностью тактовых импульсов.

Схема D-триггера на рис. 66, в построена из четырех логических элементов И-НЕ. Здесь элементы DD1 и DD2 составляют \overline{RS} -триггер. Элементы DD3 и DD4 предназначены для создания входов D и С.

Если $D = 1$, то при положительном тактовом импульсе на входе С на выходе DD3 появляется сигнал низкого уровня (см. рис. 66, в). Сигнал активного низкого уровня $\overline{S} = 0$ устанавливает на выходе Q \overline{RS} -триггера напряжение высокого уровня ($Q = 1$). При этом на выходе DD4 действует напряжение высокого уровня, так как на его верхнем входе напряжение низкого уровня, т. е. на выходе элемента DD4 формируется необходимый для \overline{RS} -триггера сигнал $\overline{R} = 1$ высокого уровня. Таким образом, на выходе D-триггера $\overline{Q} = 0$.

Если вход $D = 0$ при положительном тактовом импульсе на входе C , на выходе $DD3$ будет напряжение $\bar{S} = 1$ высокого уровня и $DD4$ создаст сигнал $\bar{R} = 0$. Поэтому D -триггер переключится в состояние с $Q = 0$ и $\bar{Q} = 1$. Отрицательный импульс на входе \bar{R} на рис. 66, в для этого случая изображен штриховыми линиями.

Таким образом, логическое состояние входа D переходит на основной выход D -триггера в момент поступления тактового импульса на вход C .

Запишем для D -триггера логические уравнения его выходов Q и \bar{Q} как функции входных логических переменных D и C , которые поступают на соответствующие входы триггера (см. рис. 66). При этом учтем, что верхний входной вывод элемента $DD1$ является \bar{S} -входом, а нижний входной вывод элемента $DD2$ является \bar{R} -входом $\bar{R}\bar{S}$ -триггера, представленного элементами $DD1, DD2$. Тогда по логическим функциям элементов И-НЕ находим

$$\bar{S} = \overline{D \cdot C}; \quad \bar{R} = \overline{S \cdot C} = \overline{\overline{D \cdot C} \cdot C}.$$

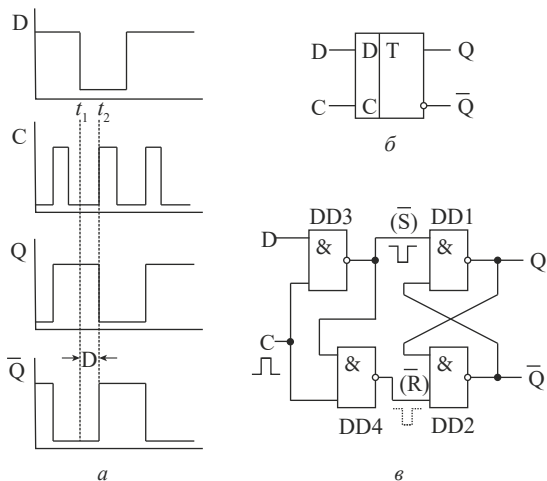


Рис. 66. D -триггер: а — временная диаграмма работы; б — условное графическое обозначение; в — схема с логическими элементами И-НЕ

По закону де Моргана (см. Прил. 2) выражение логической функции $\overline{\overline{R}}$ можно упростить:

$$\overline{\overline{R}} = \overline{\overline{\overline{D \cdot C \cdot C}}} = \overline{(\overline{D + C}) \cdot C} = \overline{\overline{D} \cdot C + \overline{C} \cdot C} = \overline{\overline{D} \cdot C}$$

Тогда функции основных выходов \overline{RS} -триггера $Q = \overline{\overline{S}} \cdot \overline{\overline{Q}}$ и $\overline{Q} = \overline{\overline{R}} \cdot \overline{\overline{Q}}$ примут вид уравнений:

$$Q = \overline{\overline{\overline{D \cdot C \cdot Q}}} \text{ и } \overline{Q} = \overline{\overline{\overline{D \cdot C \cdot Q}}}$$

Чтобы составить таблицу переключений D-триггера, проанализируем логические состояния выходов триггера Q и \overline{Q} при всех возможных комбинациях логических переменных на входах C и D.

$$C = 0, D = 0; Q = 1 \cdot \overline{\overline{Q}} = \overline{\overline{Q}} = Q; \overline{Q} = 1 \cdot \overline{Q} = \overline{Q};$$

$$C = 0, D = 1; Q = 1 \cdot 0 \cdot \overline{\overline{Q}} = 1 \cdot \overline{\overline{Q}} = \overline{\overline{Q}} = Q; \overline{Q} = 1 \cdot \overline{Q} = \overline{Q};$$

$$C = 1, D = 0; \overline{Q} = 1 \cdot 1 \cdot \overline{Q} = 1 \cdot \overline{Q} = \overline{Q} = 0 = 1; Q = \overline{\overline{0 \cdot 1 \cdot \overline{Q}}} = 1 \cdot \overline{\overline{Q}} = 1 \cdot 1 = 0;$$

$$C = 1, D = 1; Q = 1 \cdot 1 \cdot \overline{\overline{Q}} = 0 \cdot \overline{\overline{Q}} = \overline{Q} = 1; \overline{Q} = \overline{\overline{0 \cdot 1 \cdot \overline{Q}}} = 1 \cdot \overline{\overline{Q}} = 1 \cdot 0 = 0.$$

По полученным результатам можно заключить, что, независимо от логических значений переменной D на информационном входе D-триггера, при переменной C = 0 на тактовом входе состояние выходов триггера Q и \overline{Q} не изменяется, т. е. в этом случае осуществляется режим хранения. При C = 1 происходит передача логического состояния информационного входа D на основной выход Q.

Таблица 3.4

Таблица переключений D-триггера

Q(t)	Q(t + 1)	Пояснения
0	0	Режим хранения информации
1	1	
×	0	Режим записи информации
×	1	

Построить D-триггер можно на основе синхронного RS-триггера, объединив входы S и R при помощи инвертора (см. рис. 67), что, во-первых, препятствует одновременному появлению сигналов установки и сброса RS-триггера и, во-вторых, обеспечивает формирование сигнала D.

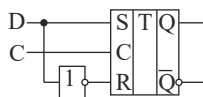


Рис. 67. Схема D-триггера на основе синхронного RS-триггера

В схеме синхронного триггера, представленной на рис. 65, синхросигнал является уровнем высокого потенциала, поэтому такие триггеры называются триггерами с синхронизацией по уровню, т. е. по вершине или основанию импульса. Происхождение этого названия можно пояснить с помощью временной диаграммы, приведенной на рис. 68.

На диаграмме видно, что триггер хранит выходное состояние только при нулевом уровне на тактовом входе. Если на вход синхронизации подать высокий потенциал, то в этот момент напряжение на выходе D-триггера станет равным напряжению входа. Входное напряжение запоминается в момент окончания тактового импульса высокого уровня. Входные данные как бы «защелкиваются» в этот момент времени, отсюда и название — триггер-защелка.

В этой схеме входной переходный процесс может повлиять на выходное состояние триггера. Поэтому, необходимо сокращать

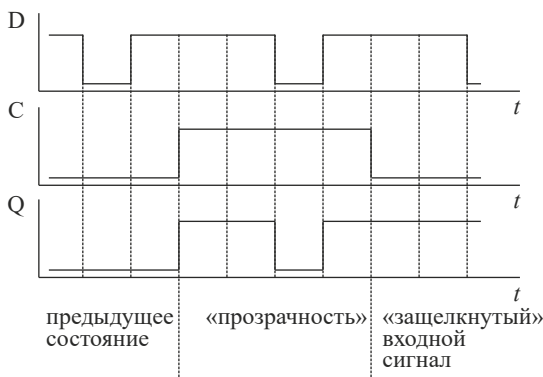


Рис. 68. Временная диаграмма D-триггера (защелки)

длительность тактового импульса. Чтобы максимально исключить влияние переходного процесса, разработали триггеры с синхронизацией по фронту или по срезу тактового импульса.

3.5. D-триггеры с синхронизацией перепадом напряжений

Фронт или срез тактового импульса, в отличие от постоянного в определенном промежутке времени потенциала, длится недолго. В идеальном случае длительность фронта и среза должна быть равна нулю. Поэтому в триггере, который синхронизируется фронтом, длительность тактового сигнала не имеет значения.

D-триггер, запоминающий входное состояние по срезу (в момент появления среза импульса), может быть создан из двух триггеров, синхронизирующихся потенциалом. Тактовый сигнал с помощью инвертора подается на эти триггеры в противофазе (рис. 69).

Рассмотрим принцип действия триггера, схема которого приведена на рис. 69. С этой целью проанализируем временные диаграммы D-триггера, показанные на рис. 70.

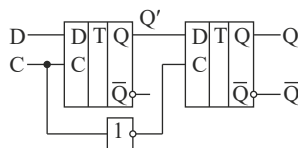


Рис. 69. Схема D-триггера с синхронизацией по срезу

Здесь обозначение Q' соответствует уровню напряжения на выходе первого триггера. Благодаря инвертору, второй триггер пропускает сигнал Q' на выход схемы Q в то время, когда первый триггер находится в режиме хранения. И наоборот, первый триггер пропускает сигнал с входа D схемы на свой выход Q' , когда второму триггеру запрещено переключение (он находится в режиме хранения). В результате сигнал на выходе схемы, приведенной на рис. 70, запоминается только в момент перехода сигнала на входе C с единичного уровня на нулевой. Такую синхронизацию триггеров называют динамической синхронизацией, а сами триггеры — динамическими. Так как переключение D-триггера осуществляется поочередным переключением двух триггеров, то такие триггеры называют двухтактными.

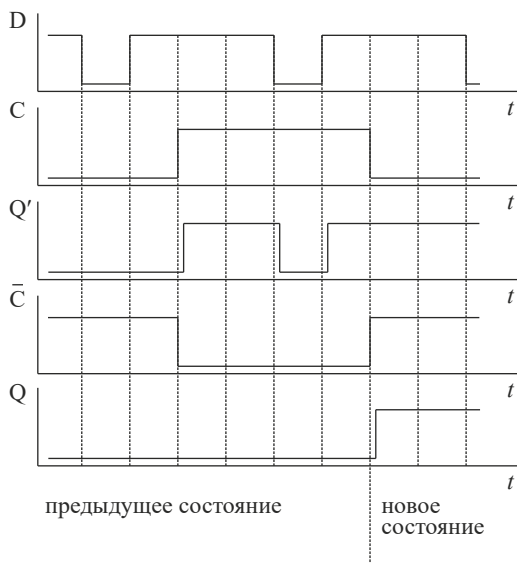


Рис. 70. Временные диаграммы D-триггера

Динамические D-триггеры выпускаются в виде готовых микросхем или входят в виде готовых блоков в состав больших интегральных схем. Условное графическое обозначение D-триггера, запоминающего информацию по срезу синхроимпульса, приведено на рис. 71.

То обстоятельство, что триггер переключается по срезу, отображается на условном графическом обозначении равнобедренным треугольником на тактовом входе вершиной, направленной от входа. Если вершина треугольника на входе синхронизации направлена к входу, то такой D-триггер переключается по фронту тактового импульса. То, что этот триггер состоит из двух, отображается в среднем поле условного графического изображения двумя буквами Т.

Иногда при изображении «полярности» динамического входа (по фронту или по срезу) вместо стрелки на входе С рисуют

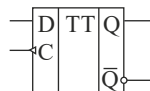


Рис. 71. Условное графическое обозначение D-триггера с синхронизацией по срезу тактового импульса

наклонную черту, наклон которой непосредственно указывает на фронт или срез синхроимпульса (рис. 72).

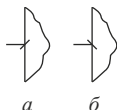


Рис. 72. Обозначение динамического входа триггера:

a — вход синхронизации по фронту; *б* — вход синхронизации по срезу

Промышленностью выпускаются микросхемы динамических триггеров, например 1533ТМ2. В этой микросхеме содержится сразу два динамических триггера. Они переключаются по фронту импульса синхронизации.

3.6. Двухтактный RS-триггер

По аналогии с двухтактным D-триггером можно построить двухтактный RS-триггер.

Часто необходимо, чтобы триггер переключался не во время действия синхроимпульса, а после его окончания. Другими словами, необходимо, чтобы информация на выходе триггера появилась после того, как процессы переключения всех ЛЭ закончатся. Одной из таких схем является двухтактный \overline{RS} -триггер. Он состоит из двух триггеров — главного и вспомогательного (см. рис. 73). Левый — главный триггер — называют ведущим, или «мастером», а правый — вспомогательный — ведомым, или «помощником». Триггеры работают поочередно, потому что тактовые импульсы на вспомогательный триггер подаются через инвертор.

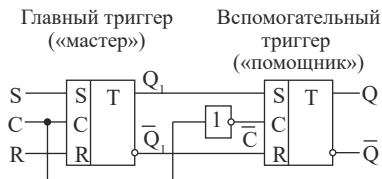


Рис. 73. Двухтактный \overline{RS} -триггер

До прихода тактового импульса на входе синхронизации С «мастера» — логический ноль, что запрещает его переключение. В то же время на тактовом входе С «помощника» — логическая единица,

и ведомый триггер переписывает состояние выхода «мастера». Таким образом, в режиме хранения оба триггера находятся в одинаковом состоянии. С приходом тактового импульса на входе С «мастера» устанавливается высокий потенциал и ему разрешается переключение, а «помощнику» — запрещается, так как на его входе С — низкий потенциал после инвертора. После окончания тактового импульса вспомогательный триггер переписывает информацию с выхода главного триггера.

Очень важно, чтобы триггеры работали поочередно, и вспомогательный триггер не «отпирался» до полного «запираания» главного триггера. Для этого вводят дополнительное запирающее напряжение на вход синхронизации вспомогательного триггера.

3.7. D-триггеры серии K155 в интегральном исполнении

Микросхема K155TM2 (рис. 74) содержит два независимых D-триггера, имеющих общую цепь питания. У каждого триггера есть входы D, C, \bar{S} и \bar{R} , а также выходы Q и \bar{Q} (см. рис. 74, а). Входы \bar{S} и \bar{R} — асинхронные, потому что они действуют независимо от сигнала на входах C и D. Активный уровень входов \bar{S} и \bar{R} низкий. Асинхронная установка в триггере (независимо от уровней сигналов на входах C и D) нужного сочетания уровней на выходах получится, если на входы \bar{S} и \bar{R} поданы взаимно противоположные логические сигналы.

Функциональные обозначения триггеров микросхемы K155TM2 показаны на рис. 74, б; ее цоколевка — на рис. 74, в.

Триггеры в этой микросхеме являются универсальными. Они могут работать как \overline{RS} -триггеры или как синхронные D-триггеры. Режимы работы этих универсальных триггеров отображены в табл. 3.5.

Сигнал от входа передается на выход Q по фронту импульса на тактовом входе C (стрелка вверх). Чтобы триггер переключился согласно табл. 3.5, уровень напряжения на входе D следует установить заранее, перед подачей тактового перепада. Загрузить в триггер по сигналу на входе D выходные уровни B — высокий или \bar{H} — низкий (т. е. 1 или 0) можно, если предварительно на входы \bar{S} и \bar{R}

подать напряжения высокого уровня. Если на входы \bar{S} и \bar{R} триггера одновременно подаются напряжения нулевого уровня, состояния выходов Q и \bar{Q} будут неопределенными.

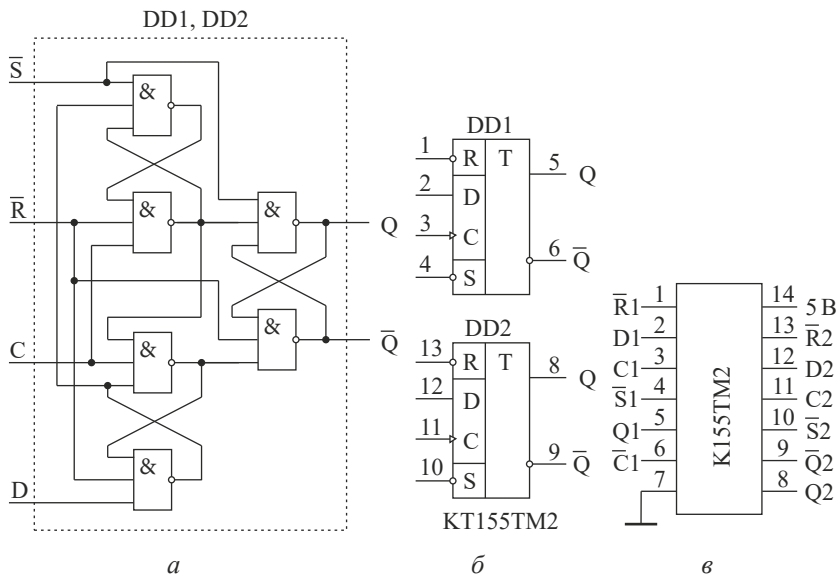


Рис. 74. Два D-триггера в микросхеме K155TM2:

a — структурная схема одного триггера; *б* — содержание микросхемы; *в* — цоколевка K155TM2

Таблица 3.5

Состояния D-триггера (микросхема K155TM2)

Режим работы	Входы				Выходы	
	\bar{S}	\bar{R}	C	D	Q	\bar{Q}
Асинхронная установка	Н	В	×	×	В	Н
Асинхронный сброс	В	Н	×	×	Н	В
Неопределенность	Н	Н	×	×	В	В
Загрузка 1 (установка)	В	В	↑	В	В	Н
Загрузка 0 (сброс)	В	В	↑	Н	Н	В

3.8. Т-триггеры

Т-триггер — это устройство с двумя устойчивыми состояниями, управляемое только по одному входу Т (рис. 75). После поступления на вход Т единичного импульса, состояние триггера меняется на прямо противоположное. На основном выходе Q появляется уровень напряжения, который ранее был на \bar{Q} , и наоборот. Счетным он называется потому, что на выходе Q Т-триггера логический ноль сменяется единицей и наоборот при последовательном поступлении импульсов на его вход Т. Поэтому можно сказать, что этот триггер умеет считать только от нуля до одного.

На рис. 75, в представлена схема Т-триггера на логических элементах И-НЕ. Отличие схемы Т-триггера от похожей схемы D-триггера (см. рис. 66, в) в том, что вход А элемента DD3 постоянно связан с выходом \bar{Q} RS-триггера.

Когда $Q = 1$, состояние инверсного выхода $\bar{Q} = 0$. Так как вход А соединен с выходом \bar{Q} , то на входе А напряжение низкого уровня. После поступления тактового импульса высокого уровня на вход Т на верхнем входе \bar{RS} -триггера $\bar{S} = 1$, а на нижнем входе $\bar{R} = 0$. На выходе Т-триггера установится напряжение низкого уровня

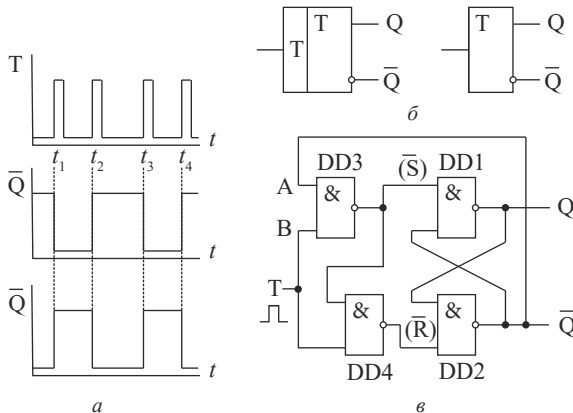


Рис. 75. Т-триггер: а — временная диаграмма работы; б — условные графические обозначения; в — схема с четырьмя логическими элементами И-НЕ

($Q = 0, \bar{Q} = 1$). Когда поступит следующий тактовый импульс, на входе А уже будет напряжение высокого логического уровня, $\bar{S} = 0, \bar{R} = 1$, и произойдет очередная смена состояния: опять установится $Q = 1, \bar{Q} = 0$ (рис. 74, а). Таким образом, таблица переключений Т-триггера будет иметь вид:

Таблица 3.6

Состояния Т-триггера		
T	Q_{n+1}	\bar{Q}_{n+1}
0	Q_n	\bar{Q}_n
1	\bar{Q}_n	Q_n

Т-триггер может быть получен из любого двухтактного триггера, например, из динамического D-триггера. Для этого необходимо ввести цепь обратной связи с инверсного выхода D-триггера, синхронизируемого по срезу, на его вход D, как показано на рис. 76.

Подтверждение того, что D-триггер с показанной обратной связью работает как счетный Т-триггер, можно увидеть с помощью временной диаграммы, приведенной на рис. 77.

Существуют и синхронные Т-триггеры. При создании схем синхронных двоичных счетчиков необходимо производить запись одновременно во все его триггеры. В этом случае вход Т-триггера только разрешает изменение состояния триггера на противоположное, а момент переключения определяется синхроимпульсом на отдельном входе С. Пример подобной схемы синхронного Т-триггера приведен на рис. 78.

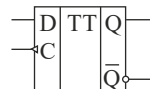


Рис. 76. Схема D-триггера, действующая как счетный триггер

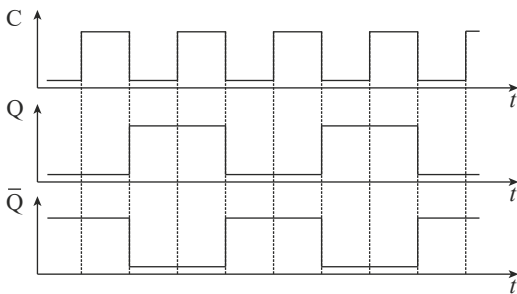


Рис. 77. Временные диаграммы Т-триггера

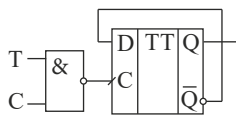


Рис. 78. Схема синхронного Т-триггера

Такая же схема счетного триггера может быть построена и на основе JK-триггера (см. разд. 3.9). Временные диаграммы, демонстрирующие работу синхронного Т-триггера, приведены на рис. 79, а его условное графическое обозначение — на рис. 80.

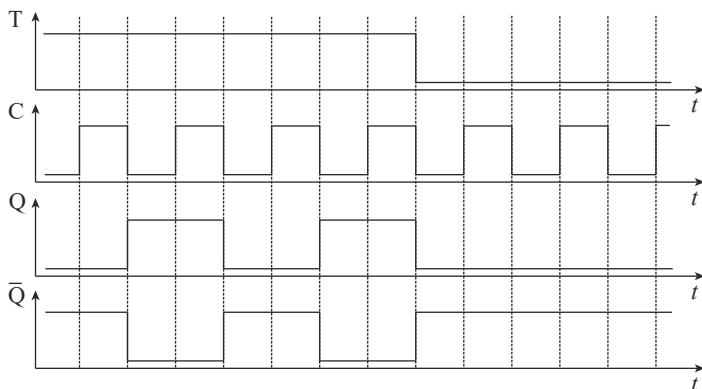


Рис. 79. Временные диаграммы синхронного Т-триггера

Т-триггеры применяются при создании различных счетчиков, поэтому в составе больших интегральных схем обычно присутствуют готовые модули Т-триггеров. Условно-графическое обозначение Т-триггера, переключающегося по срезу тактовых импульсов, показано на рис. 80.

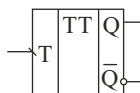


Рис. 80. Условное графическое обозначение Т-триггера

Т-триггеры также применяются в схемах деления и умножения частоты. Без них трудно было бы реализовать синтезаторы частот, задающие генераторы в передатчиках и гетеродины в приемниках. Велика роль счетных триггеров и в создании современных электронных приборов, таких как smart-телевизоры, мобильные телефоны или GSM-навигаторы. Не менее важна роль Т-триггеров в формировании тактовой частоты цифровых микросхем, таких как центральные процессоры компьютеров, планшетов или цифровых фотоаппаратов.

3.9. JK-триггер

Функционирование асинхронного JK-триггера аналогично действию RS-триггера, за исключением состояния неопределенности, присущего RS-триггеру при одновременной подаче единичных уровней напряжения на его входы R и S. Для RS-триггера это запрещенная комбинация входных сигналов. J-вход JK-триггера является аналогом входа R, а K-вход — аналог входа S, т. е. сигнал 1 на входе J (при $K = 0$) устанавливает триггер в состояние 1, а при $K = 1$ ($J = 0$) — в состояние 0. Однако для этих входов не существует запрещенных комбинаций входных переменных, а у JK-триггера отсутствуют состояния неопределенности.

Для исключения запрещенного состояния в схему RS-триггера введены перекрестные обратные связи между выходами и входами. Выход Q RS-триггера соединен с входом R, а выход \bar{Q} — с входом S. Такая обратная связь приводит к тому, что при одновременной подаче на входы J и K двух единиц JK-триггер закономерно изменит свое предыдущее состояние на противоположное.

Схема асинхронного JK-триггера из элементов И-НЕ представлена на рис. 81. Приведенная схема JK-триггера отличается от схемы RS-триггера из четырех элементов И-НЕ (см. рис. 62, в) только тем, что элементы DD3 и DD4 включены не как инверторы, а по входам A_3 и B_4 управляются сигналами с выходов триггера \bar{Q} и Q соответственно.

Работа схемы поясняется временными диаграммами (рис. 81, а). Если JK-триггер находился в нулевом состоянии ($Q = 0$, $\bar{Q} = 1$ — до момента времени t_1), и на вход J поступил единичный импульс, на выходе DD3 появится сигнал нулевого уровня. Это сигнал установки в единицу \bar{S} на входе \bar{RS} -триггера, составленного из элементов DD1 и DD2. В это время на входе K напряжение низкого уровня. На входе B_4 , связанном с выходом Q, также низкий уровень. В результате на выходе элемента DD4 высокий уровень напряжения, т. е. сигнал $\bar{R} = 1$ для \bar{RS} -триггера.

Если JK-триггер находился в единичном состоянии ($Q = 1$ и $\bar{Q} = 0$ до момента t_2) и единичный импульс появился на входе K, то на выходе DD4 возникнет нулевой сигнал на входе \bar{R} . В это время на вы-

ходе DD3 напряжение высокого уровня, т. е. $\bar{S} = 1$. Произойдет сброс \overline{RS} -триггера в ноль.

Когда на обоих входах J и K одновременно логический ноль — на обоих входах \overline{RS} -триггера по логической единице, т. е. JK-триггер находится в режиме хранения.

До момента времени t_4 действия JK- и \overline{RS} -триггеров полностью совпадали. Можно сказать, что вход J подобен входу S, а K — входу R.

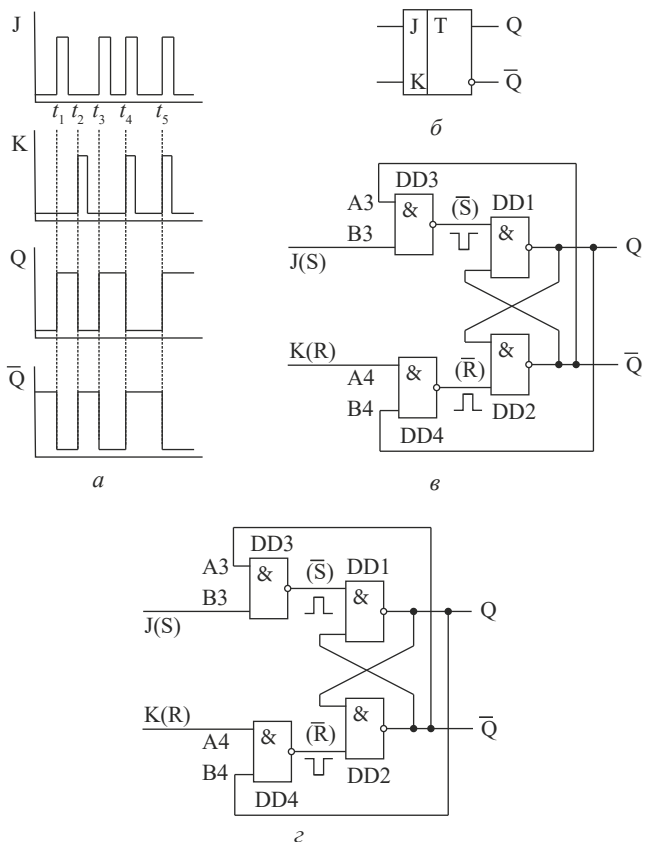


Рис. 81. JK-триггер: а — временная диаграмма работы; б — условное графическое обозначение; в, з — схемы с четырьмя логическими элементами И-НЕ

Когда на входах J и K одновременно появляется единичное напряжение, то новое состояние JK-триггера зависит от его предыдущего состояния.

1. После момента времени t_3 состояние JK-триггера — единичное ($Q = 1$ и $\bar{Q} = 0$). На входе $A_3 = 0$ и на выходе DD3 остается напряжение единичного уровня ($\bar{S} = 1$). В то же время на входе B_4 элемента И-НЕ (DD4) имеется единичный уровень напряжения ($Q = 1$), а на выходе DD4 после момента t_4 появится сигнал $\bar{R} = 0$. Поэтому \bar{RS} -триггер, состоящий из DD1 и DD2, переключится в нулевое состояние ($Q = 0$ и $\bar{Q} = 1$).

2. После момента времени t_4 состояние триггера — нулевое ($Q = 0$ и $\bar{Q} = 1$). Аналогичные предыдущим рассуждения приводят к выводу, что на выходе DD4 останется напряжение единичного уровня ($\bar{R} = 1$), а на выходе DD3 после момента t_5 появится сигнал $\bar{S} = 0$, который переключит \bar{RS} -триггер в нулевое состояние ($Q = 1$ и $\bar{Q} = 0$).

Таким образом, при одновременном появлении единиц на обоих входах JK-триггер меняет свое состояние на противоположное, в отличие от RS-триггера, состояние которого в этом случае неопределенное.

Таблица переключений асинхронного JK-триггера приведена ниже.

Таблица 3.7

Таблица переключений асинхронного JK-триггера

J	K	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
1	0	1	0
0	1	0	1
1	1	\bar{Q}_n	Q_n

На основе асинхронного JK-триггера, схема которого приведена на рис. 81, в, можно построить синхронный JK-триггер. Достаточно двухвходовые логические элементы DD3 и DD4 заменить на трехвходовые элементы И-НЕ. Схема синхронного JK-триггера показана на рис. 82. Нижний вывод верхнего элемента DD1 соединен с верхним выводом DD2, что позволяет организовать вход С для тактовых импульсов, обеспечивающий переключение JK-триггера только

при появлении синхронизирующего сигнала.

Очевидно, что переключение трехходовых элементов И-НЕ в состояние логического нуля возможно только при совпадении логических единиц на всех его входах и что эта ситуация невозможна в отсутствие единичного синхроимпульса. При $C = 1$ все оставшиеся единицы обеспечиваются обратными связями и соответствующей установкой единиц на входах J и K. Например, пусть выходное состояние триггера нулевое, т. е. $Q = 0$ и $\bar{Q} = 1$. С инверсного выхода JK-триггера на верхний вывод элемента DD1 поступает напряжение единичного уровня. На входах триггера установлены напряжения, соответствующие $J = 1$, $K = 0$. Тогда при поступлении на вход C синхроимпульса единичного уровня все три единицы «соберутся» на входах элемента DD1, что переключит его в ноль и создаст сигнал $\bar{S} = 0$ на входе \bar{RS} -триггера. В то же самое время нулевой сигнал с основного выхода триггера $Q = 0$ сохранит выход элемента DD2 в единичном состоянии, т. е. $\bar{R} = 1$, что приведет к переключению \bar{RS} -триггера, а значит, и JK-триггера в единичное состояние с $Q = 1$ и $\bar{Q} = 0$.

Появление входа для тактовых импульсов не повлияло на принцип действия триггера с обратными связями и входами J и K. Поэтому таблица переключений синхронного JK-триггера (табл. 3.8) логически следует из таблицы для асинхронного триггера.

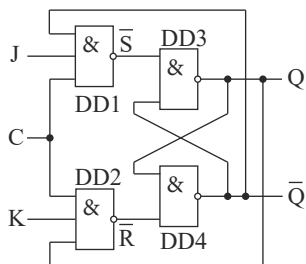


Рис. 82. Схема синхронного JK-триггера в базе И-НЕ

Таблица 3.8

Таблица переключений синхронного JK-триггера

C	K	J	$Q(t)$	$Q(t+1)$	Пояснения
0	×	×	0	0	Режим хранения информации
0	×	×	1	1	
1	0	0	0	0	Режим хранения информации
1	0	0	1	1	

C	K	J	Q(t)	Q(t+1)	Пояснения
1	0	1	0	1	Режим установки единицы J = 1
1	0	1	1	1	
1	1	0	0	0	Режим записи нуля K = 1
1	1	0	1	0	
1	1	1	0	1	K = J = 1 счетный режим триггера (переключение в противоположное состояние)
1	1	1	1	0	

Можно построить синхронный JK-триггер из синхронных RS-триггеров. Один из вариантов такой схемы приведен на рис. 83. Эта схема удобна для понимания принципов работы синхронного JK-триггера в режиме переключений (аналог счетного режима T-триггера).

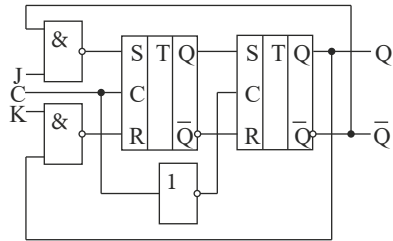


Рис. 83. Внутренняя схема JK-триггера

Для обеспечения счетного режима с помощью двухвходовых схем совпадения в схеме создана присущая JK-триггеру перекрестная обратная связь с выходов второго RS-триггера на входы R и S первого триггера. При наличии обратной связи на входах R и S первого триггера и поочередной работе триггера-«мастера» и триггера-«помощника», в схеме никогда не возникнет запрещенная комбинация. Более того, благодаря перекрестной обратной связи, вводится новый режим работы — счетный, как у T-триггера. При одновременной подаче на входы J и K логических единиц JK-триггер начинает работать подобно T-триггеру. Временные диаграммы работы JK-триггера будут такими же, как и приведенные ранее диаграммы T-триггера.

Рассмотрим работу выпускаемого промышленностью так называемого универсального JK-триггера. Условное графическое обозначение такого триггера приведено на рис. 84. Его универсальность, определяется в первую очередь многорежимной работой самого

JK-триггера, а во-вторых, тем, что он может работать еще и как асинхронный \overline{RS} -триггер, что позволяет устанавливать JK-триггер в заранее определенное исходное состояние. Более того, из JK-триггера можно построить все рассмотренные ранее типы триггеров и мн. др.

Для демонстрации многогранных возможностей JK-триггера рассмотрим некоторые примеры различных режимов его работы. Например, используем этот триггер в качестве обнаружителя коротких импульсов (рис. 85).

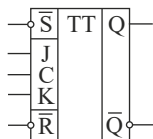


Рис. 84. Условное графическое обозначение универсального JK-триггера

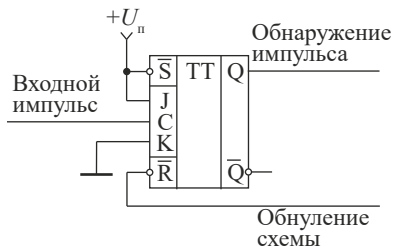


Рис. 85. Схема обнаружения короткого импульса

В этой схеме при появлении на входе С синхроимпульса малой длительности триггер мгновенно перейдет в единичное состояние, которое может быть обнаружено любой последующей цифровой схемой. Для того чтобы вернуть схему в исходное «ждущее» состояние, необходимо сбросить триггер в ноль подачей на вход R напряжения нулевого уровня.

Рассмотрим один из многих возможных вариантов построения на JK-триггере одновибратора (ждущего мультивибратора — см. рис. 86).

Действие схемы (рис. 86) подобно работе только что рассмотренной (рис. 85). При поступлении короткого тактового импульса на выходе появляется единичный импульс напряжения, длительность которого

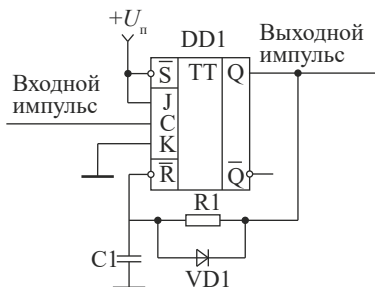


Рис. 86. Схема ждущего мультивибратора, собранного на JK-триггере

определяется постоянной времени RC-цепи. При этом открывшийся диод VD1 быстро разряжает конденсатор С, оперативно восстанавливая исходное состояние схемы. Если быстро восстанавливать схему не требуется, то диод VD1 можно исключить из схемы. Такая ситуация может возникнуть, например, когда длительность выходных импульсов значительно меньше половины периода входных импульсов.

Применим универсальный JK-триггер для создания счетного Т-триггера (рис. 87).

В схеме, приведенной на рис. 87, для реализации счетного режима работы триггера на входы J и K подаются уровни логической единицы от шины питания. В этом случае, как показано ранее, JK-триггер переходит в режим поочередного переключения в противоположные состояния каждым входным импульсом, т. е. работает как счетный Т-триггер. Если эти входы, соединенные параллельно, использовать в качестве отдельного входа Т, то они образуют отдельный вход разрешения счета.

По отечественной классификации в названиях микросхем JK-триггеров присутствуют буквы ТВ. Например, микросхема К1554ТВ9 содержит в одном корпусе два JK-триггера. Среди иностранных микросхем с JK-триггерами можно назвать, например, 74НСТ73 или 74АСТ109.

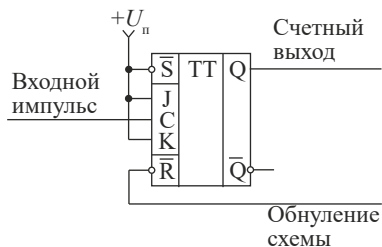


Рис. 87. Схема счетного триггера, построенного на JK-триггере

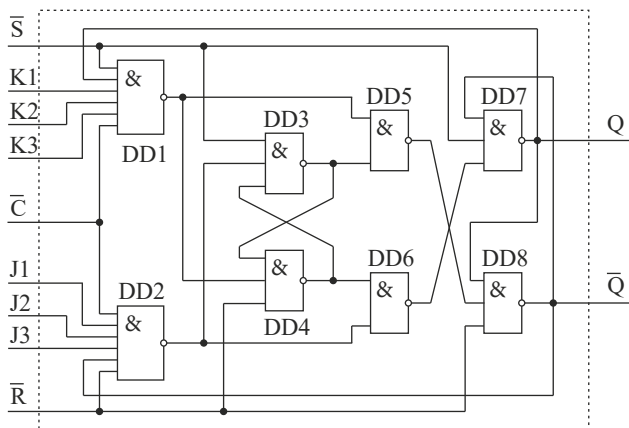
3.10. JK-триггер серии К155 в интегральном исполнении

Микросхема К155ТВ1 (рис. 88) — универсальный JK-триггер со структурой «мастер» — «помощник». Триггер имеет инверсные входы установки \bar{S} и сброса \bar{R} . Микросхема имеет три входа J (J1–J3), три входа K (K1–K3), тактовый вход С и комплементарные выходы Q и \bar{Q} .

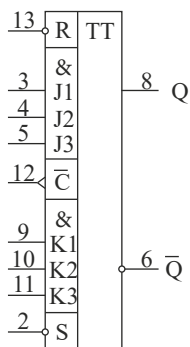
Переключение триггера К155ТВ1 осуществляется в соответствии с табл. 3.9. Буквами В и Н обозначены высокий и низкий уровни

напряжений, двумя буквами — перепад напряжения от низкого до высокого (фронт импульса) на тактовом входе. Символ \times означает, что значения логических уровней напряжения на этом входе не влияют на работу триггера в данном режиме.

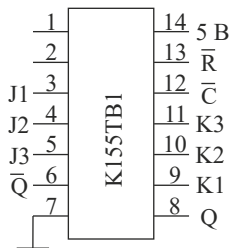
Согласно таблице, загружать информацию от входов J и K либо хранить ее можно только тогда, когда на входах \bar{S} и \bar{R} установлено напряжение логической единицы и присутствует фронт синхроимпульса. Информация с входов J и K загружается в триггер-«мастер» (элементы DD3 и DD4 на рис. 88, а) по фронту тактового



а



б



в

Рис. 88. Универсальный JK-триггер К155ТБ1: а — структурная схема; б — условное графическое обозначение; в — цоколевка

импульса и по срезу тактового импульса запоминается в триггере-«помощнике». Напоминаем, что состояния выходов Q и \bar{Q} неопределенные, если на входы \bar{S} и \bar{R} одновременно поданы напряжения уровня логической единицы. Кроме того, напряжения на входах J и K не должны изменяться, пока на входе C присутствует высокое напряжение, так как в это время «мастер» передает информацию «помощнику».

Входы \bar{S} и \bar{R} — асинхронные с активным низким уровнем. Пока на этих входах противоположные уровни напряжения В и Н или Н и В, на входы С, J и K триггер не реагирует. При этом состояния выходов Q и \bar{Q} определяются двумя первыми строками табл. 3.9.

Таблица 3.9

Таблица переключений JK-триггера (микросхема К155ТВ1)

Режим работы	Входы					Выходы	
	\bar{S}	\bar{R}	\bar{C}	J	K	Q	\bar{Q}
Асинхронная установка	Н	В	×	×	×	В	Н
Асинхронный сброс	В	Н	×	×	×	Н	В
Неопределенность	Н	Н	×	×	×	В	В
Переключение	В	В	НВ	В	В	\bar{Q}	Q
Загрузка 0 (сброс)	В	В	НВ	Н	В	Н	В
Загрузка 1 (установка)	В	В	НВ	В	Н	В	Н
Хранение	В	В	НВ	Н	Н	Q	\bar{Q}

3.11. Триггер Шмидта

Триггер Шмидта является импульсным устройством с двумя устойчивыми состояниями. Его отличие от остальных триггеров в том, что он переключается из одного состояния в другое при различных значениях входного напряжения. Значение входного сигнала $U_{\text{вх1}}$ для перехода триггера Шмидта от низкого напряжения на выходе к высокому

$$U_{\text{вх1}} > U_{\text{вх2}}$$

где $U_{\text{вх2}}$ — входное напряжение для перехода триггера от высокого выходного напряжения к низкому (рис. 89). Разность между этими напряжениями называют *напряжением гистерезиса*. Эти напряжения, при которых происходят переключения триггера Шмидта, называют *пороговыми*.

Приведенная на рис. 89 схема простейшего триггера Шмидта содержит два логических элемента И-НЕ, диод VD1 и резисторы R1 и R2.

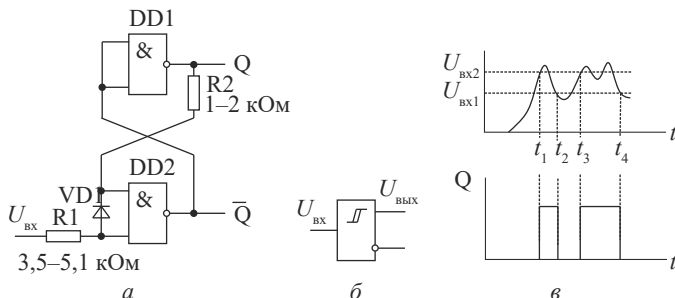


Рис. 89. Триггер Шмидта: а — схема с двумя логическими элементами И-НЕ; б — условное графическое обозначение; в — временная диаграмма работы

Когда входное напряжение ниже $U_{\text{вх1}}$ (для ЛЭ универсальных серий $\sim 1,3$ В), на обоих входах DD2 напряжение низкого уровня. Тогда на выходе этого элемента находится напряжение высокого уровня. Так как выход DD2 соединен с входами DD1, на выходе триггера действует напряжение низкого уровня ($Q = 0$). Это состояние триггера — устойчивое. При увеличении входного напряжения происходит открывание диода VD1 и, когда $U_{\text{вх}}$ возрастет до $U_{\text{вх1}}$ (момент времени t_1), на выходе элемента DD2 установится напряжение низкого уровня. Тогда на выходе элемента DD1 появится напряжение высокого уровня ($Q = 1$).

Через резистор R2 это напряжение поступает на вход DD2 и катод диода VD1, что приведет к его закрыванию. Высокий уровень напряжения на входе элемента DD2 приводит к низкому напряжению на его выходе и устойчивому высокому напряжению на выходе триггера Шмидта. Это устойчивое состояние сохраняется до тех

пор, пока входное напряжение выше $U_{\text{вх}2}$. Когда $U_{\text{вх}}$ станет ниже $U_{\text{вх}2}$, на выходе DD2 снова появится единичное напряжение, а на выходе DD1 — нулевое, т. е. триггер Шмидта вернется в исходное состояние с низким уровнем выходного напряжения.

Подбором сопротивлений резисторов R1 и R2 можно в небольших пределах изменять оба порога переключения (диапазоны допустимых сопротивлений резисторов указаны на рис. 89, а). Сопротивление резистора R1 может изменять только напряжение возвращения триггера Шмидта в исходное состояние. Диод VD1 может быть как германиевым, так и кремниевым.

Триггеры Шмидта применяют для формирования прямоугольных импульсов из сигналов с меняющейся амплитудой или для увеличения крутизны пологих фронтов прямоугольных импульсов. При этом фронты импульсов становятся круче и удовлетворяют требованиям к фронтам ИМС ТТЛ.

3.12. Триггеры Шмидта серии K155 в интегральном исполнении

В интегральной микросхеме K155ТЛ1 содержится два логических элемента со свойствами триггера Шмидта, что отражено на их условном обозначении значком гистерезиса (рис. 90, а). Кроме этого, в отличие от предыдущей схемы, выход этих триггеров инверсный, т. е. в основном состоянии на выходе триггера не нулевой уровень напряжения, а единичный. Внутренняя положительная обратная связь в этих триггерах Шмидта позволяет получить передаточную характеристику с большим гистерезисом. *Передаточной характеристикой* называется зависимость выходного напряжения от напряжения на входе. Передаточная характеристика обычного элемента ТТЛ, например, инвертора, имеет порог переключения $U_{\text{пор}} = 1,3 \text{ В}$, а у этих триггеров Шмидта — два порога: $U_{\text{вх}1} = 1,7 \text{ В}$ и $U_{\text{вх}2} = 0,9 \text{ В}$ (рис. 90, б).

Если напряжение на входе элемента триггера Шмита $U_{\text{вх}} = 0 \text{ В}$ (точка А), то выходное напряжение $U_{\text{вых}} = 3,4 \text{ В}$ (напряжение логической единицы ТТЛ). Если входное напряжение достигает 1,7 В,

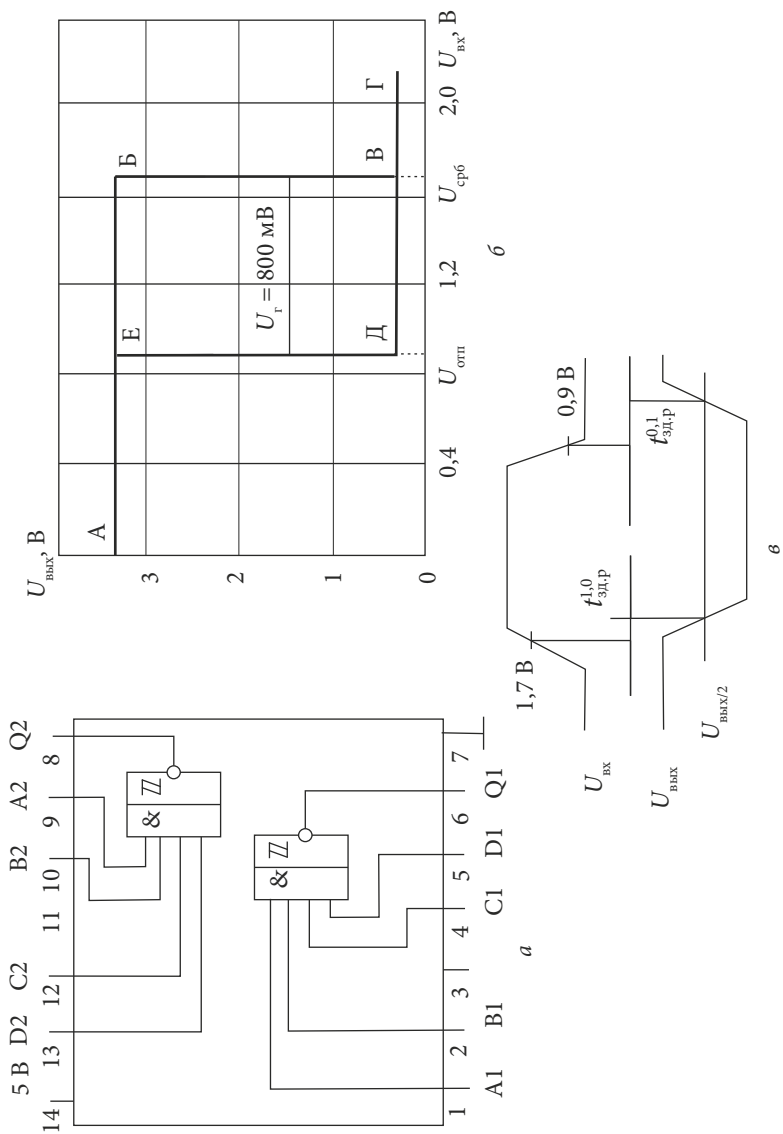


Рис. 90. Два триггера Шмидта в микросхеме К155ТЛ1:

a — структурная схема; *б* — передаточная характеристика; *в* — временная диаграмма

то выходное напряжение резко уменьшится (понижится от точки Б к В) до уровня $U_{\text{вых}} < 0,3 \text{ В}$ (напряжение логического нуля ТТЛ). Такой уровень входного напряжения называют напряжением срабатывания $U_{\text{вх}} = U_{\text{срб}} = 1,7 \text{ В}$.

После срабатывания триггер Шмидта сохраняет на выходе нулевой уровень напряжения (см. также временную диаграмму на рис. 90, в). Если постепенно уменьшать входное напряжение (от точки Г), то при $U_{\text{вх}} = 0,9 \text{ В}$ выходное напряжение скачком вернется к высокому уровню напряжения (переход Д — Е на рис. 90, б). Это входное напряжение называют порогом отпускания $U_{\text{вх}} = 0,9 \text{ В} = U_{\text{отп}}$. При дальнейшем снижении входного напряжения триггер сохраняет исходное высокое выходное напряжение. Таким образом, у этого триггера Шмидта гистерезис равен $U_{\text{срб}} - U_{\text{отп}} = 800 \text{ мВ}$, а зона гистерезиса симметрична относительно порога переключения обычного элемента ТТЛ, т. е. $1,3 \text{ В} \pm 400 \text{ мВ}$.

Благодаря гистерезису любые помехи сигнала с амплитудой, меньшей $U_{\text{срб}} - U_{\text{отп}} = 800 \text{ мВ}$, отсекаются, а любые, даже пологие, фронты и срезы входных сигналов преобразуются в крутые фронты и срезы выходных импульсов. Длительность переключения триггера Шмидта очень мала и не зависит от скорости нарастания или спада входного сигнала. Для микросхемы К155ТЛ1 время задержки выходного сигнала можно определить по временной диаграмме на рис. 90, в, где $t_1 = 27 \text{ нс}$ — время задержки распространения среза (перепада от 1 до 0), $t_2 = 22 \text{ нс}$ — время задержки фронта (перепада от 0 до 1) выходного импульса.

В микросхеме К155ТЛ1 (рис. 90, а) содержится два четырех-входовых логических элемента И-НЕ с порогами Шмидта. Если используется только один из входов этого ЛЭ, остальные три следует подключить к шине питания.

ЛАБОРАТОРНАЯ РАБОТА № 2

ИССЛЕДОВАНИЕ ТРИГГЕРНЫХ УСТРОЙСТВ, ВЫПОЛНЕННЫХ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Цель работы: изучение принципов построения RS, D, JK-триггеров, триггера Шмидта на базе ИС логических элементов НЕ, И-НЕ и исследование их работы.

Выполняются задания по работе со сменными устройствами — печатными платами № 12, 14.

Задание 1

Исследуется работа \overline{RS} -триггера, D, JK-триггеров, использующих цифровые микросхемы типа НЕ, И-НЕ.

\overline{RS} -триггер собран на ИС D6, D-триггер собран на ИС D7 и JK-триггер собран на ИС D9, D10, D11 (см. принципиальную электрическую схему сменного устройства УС12).

Сигналы управления подаются (см. описание комплекта К32, Прил. 1):

- на \overline{RS} -триггер с помощью кнопок «1», «2» программатора кодов,
- на D-триггер с помощью кнопок «3», «4» программатора кодов,
- на JK-триггер с помощью кнопок «5», «6» программатора кодов, а также с помощью программатора серии импульсов и генератора.

Выходные сигналы отображаются на правом цифровом табло в двоичном коде или исследуются с помощью мультиметра (осциллографа). Необходимые цепи подключаются к входу мультиметра (осциллографа) с помощью коммутатора.

RS-триггеры серии K155 на логических элементах

При исследовании \overline{RS} -триггера, собранного на микросхеме D6 (K155ЛА3 — используется 2 из 4 элементов 2И-НЕ) (рис. 59), экспериментально получить и проверить его таблицу истинности (табл. 3.1). Смена состояния триггера происходит при чередовании сигналов «0», «1» на его входах. Триггер «запоминает» момент поступления на вход \overline{R} или \overline{S} первого импульса сигналов.

Не разрешается одновременная подача напряжения низкого уровня на оба входа \overline{RS} -триггера.

На вход \overline{S} (выводы 1, 9, 19 микросхемы D6) сигнал управления подается кнопкой «1» программатора кодов.

На вход \overline{R} (выводы 5, 12, 13 — D6) сигнал управления подается кнопкой «2» программатора кодов.

Выходной сигнал \overline{RS} -триггера (выходы Q и \overline{Q}) отображается на правом цифровом табло (1-й и 2-й разряды соответственно) в двоичном коде.

D-триггер серии K155 на логических элементах

При исследовании D-триггера, собранного на микросхеме D7 (K155ЛА3 — 4 элемента 2И-НЕ), экспериментально получить и проверить его таблицу истинности (см. табл. 3.4).

В D-триггере состояние выхода Q совпадает с состоянием входа D в момент поступления тактового импульса на вход C.

На вход D (вывод 1 — D7) сигнал управления подается кнопкой «3» программатора кодов (если кнопка «3» нажата — происходит запись информации в триггере).

На вход C (вывод 5 микросхемы D7) сигнал управления подается кнопкой «4» программатора кодов (при нажатии кнопки «4» происходит считывание информации с триггера).

Выходной сигнал D-триггера (выходы Q и \overline{Q}) отображается на правом цифровом табло (3-й и 4-й разряды соответственно) в двоичном коде.

JK-триггеры на логических элементах серии K155

JK-триггер собран на микросхемах D9 (K155ЛА4 — 3 элемента 3И-НЕ), D10 (K155ЛА3 — 4 элемента 2И-НЕ), D11 (K155ЛА4 —

3 элемента 3И-НЕ) по схеме «мастер» — «помощник». Сигналы управления подаются на JK-триггер (выводы 10, 2, 4 микросхемы D9) с помощью кнопок «5», «6» программатора кодов. С помощью кнопки «13» программатора кодов на вход JK-триггера поступают сигналы управления или с генератора прямоугольных импульсов (выход С2, кнопка «13» нажата), или с генератора серии импульсов (выход С1, кнопка «13» не нажата).

Запуская JK-триггер одиночными импульсами, экспериментально получить и проверить таблицу истинности одиночного («мастер») JK-триггера (см. табл. 3.9). Запуская триггер от генератора прямоугольных импульсов или генератора серии импульсов, измерить амплитуду (U), период (T) и длительность ($\tau_{и}$) и снять осциллограммы импульсов на входах, выходах и с других исследуемых точек JK-триггера, подключаемых к каналам прохождения импульсов КПИ1–КПИ8 (относительно сигнала на входе синхроимпульсов). Проверить соответствие таблицы переключений JK-триггера, запускаемого по фронту импульса, и полученных осциллограмм. Проанализировать работу схемы «мастер» — «помощник» исходя из временных диаграмм работы этой схемы. Подключение каналов прохождения импульсов к мультиметру (осциллографу) см. в описании комплекта К32 (см. Прил. 1).

Задание 2

Исследуется триггер Шмидта D3 на микросхеме K155ТЛ1 в интегральном исполнении.

Триггер Шмидта запускается по входу (выводы 1, 2, 4, 5 микросхемы D3) от генератора сигналов (выход ГС1) и контролируется мультиметром (осциллографом) по каналу КПИ9.

Выходной сигнал триггера (вывод 6 микросхемы D3) подключается к мультиметру (осциллографу) с помощью коммутатора (канал КПИ10).

Измерить амплитуду ($U_{\text{вых}}$), длительность ($\tau_{и}$) и период (T) выходного сигнала. Снять и построить передаточную характеристику триггера Шмидта.

Задание 3

Исследуется работа триггеров RS, D, JK в интегральном исполнении (см. принципиальную электрическую схему сменного устройства УС14).

В работе изучаются принципы действия RS-триггера, собранного на ИС D4 (K155TM2), D-триггера, собранного на микросхеме D4 (K155TM2), JK-триггера, собранного на микросхемах D2, D5 (K155TB1).

Сигналы управления подаются с помощью кнопок «1»–«12», «15» программатора кодов и с помощью программатора серии импульсов. Выходные сигналы наблюдаются на левом цифровом табло в двоичном коде и с помощью мультиметра (осциллографа). Необходимая цепь ко входу мультиметра (осциллографа) подключается с помощью коммутатора.

Исследовать асинхронную установку (сброс D-триггера) и сравнить эти состояния с таблицей состояний RS-триггера.

Экспериментально исследовать и проверить таблицу состояний D-триггера (табл. 3.5) на микросхеме D4 (K155TM2). Проверка режимов работы триггера осуществляется с помощью кнопок «1»–«4» программатора кодов, при этом кнопкой «1» подается сигнал управления на вход \bar{S} (вывод 1 микросхемы D4), кнопкой «2» на вход D (вывод 2 микросхемы D4), кнопкой «3» — на вход C (вывод 3 микросхемы D4), кнопкой «4» — на вход \bar{R} (вывод 4 микросхемы D4). Выход Q соответствует выводу 5 микросхемы D4, а выход \bar{Q} — выводу 6 микросхемы D4. Выходные сигналы наблюдаются на левом цифровом табло (1-й и 2-й разряды) в двоичном коде.

Второй D-триггер микросхемы D4 (выводы 10–13, 8, 9) включен в счетном режиме (выход \bar{Q} (8) соединен со входом D (12)). Используя табл. 3.5, запустить триггер D4 в счетном режиме, при этом на счетный вход C (вывод 11 микросхемы D4) поступают запускающие импульсы со входа С2 генератора прямоугольных импульсов. С помощью коммутатора подключить вход С2 генератора (канал КПИ1) ко входу мультиметра (осциллографа) и измерить амплитуду (U), период (T) и длительность ($\tau_{и}$) запускающих импульсов. Также измерить $U_{\text{вых}}$, $\tau_{и}$ и T выходных сигналов с Q (вывод 9 D4) по каналу КПИ2 и с \bar{Q} (вывод 8 D4) по каналу КПИ3.

Экспериментально исследовать и проверить таблицу состояний JK-триггера (табл. 3.9) на микросхеме D2. Проверка работы триггера осуществляется с помощью кнопок «9»–«12» программатора кодов, при этом кнопкой «9» подается сигнал управления на вход \bar{S} (вывод 2 микросхемы D2), кнопкой «10» — на вход J (выводы 3–5 микросхемы D2), кнопкой «11» — на вход K (выводы 9, 10, 12 микросхемы D2), кнопкой «12» — на вход \bar{R} (вывод 13 микросхемы D2). Выход Q соответствует выводу 6 ИС D2, а выход \bar{Q} — выводу 8 ИС D2. Выходные сигналы триггера наблюдаются на левом цифровом табло (3-й и 4-й разряды) в двоичном коде.

Исследовать JK-триггер (микросхема D5, см. табл. 3.9) в динамическом (счетном) режиме. Внешнюю коммутацию триггера провести проводами, следуя табл. 3.9 и используя гнезда XS1–XS8 на сменной печатной плате. С помощью кнопки «15» программатора кодов на вход JK-триггера (D5) поступают сигналы управления или с генератора импульсов со входа C2 (кнопка «15» нажата), или с генератора серии импульсов со входа C1 (кнопка «15» не нажата).

При непрерывном запуске JK-триггера (D5) кнопки «7», «8» и «15» программатора кодов нажаты. При одиночном запуске (или запуске серией импульсов) кнопки «7», «8» нажаты, кнопка «15» не нажата. Выходные сигналы триггера наблюдаются с помощью мультиметра (осциллографа), который подключается к каналам КПИ4 и КПИ5 с помощью коммутатора.

Измерить амплитуду ($U_{\text{вых}}$), длительность ($\tau_{\text{и}}$) и период (T) выходных сигналов JK-триггера и зарисовать осциллограммы этих сигналов относительно тактовых импульсов. Проанализировать работу триггера, исходя из полученных результатов.

ОПИСАНИЕ КОМПЛЕКТА ЛАБОРАТОРНОГО ОБОРУДОВАНИЯ ПО ЭЛЕКТРОННОЙ ТЕХНИКЕ ТИПА К32

1. Общие указания

1.1. Комплект лабораторного оборудования по электронной технике предназначен для использования в качестве учебного оборудования при проведении лабораторных работ по основным элементам цифровой, измерительной и вычислительной техники. Его внешний вид и элементы передней панели представлены на рис. 91 и 92.

1.2. Указанные на передней панели надписи означают:

- «ВХ1» — вход 1;
- «ВХ2» — вход 2;
- «ГН1» — генератор напряжения постоянного тока, первый;
- «ГН2» — генератор напряжения постоянного тока, второй;
- «ГС1» — генератор сигналов, первый;
- «ГС2» — генератор сигналов, второй;
- «КВУ» — коммутатор внешних устройств;
- «Коммут» — коммутатор;
- «СИ» — серия импульсов;
- «ФВ» — фазовращатель.

2. Технические данные

2.1. Электропитание комплекта К32 осуществляется от сети переменного тока частотой 50 Гц и напряжением 220 В.

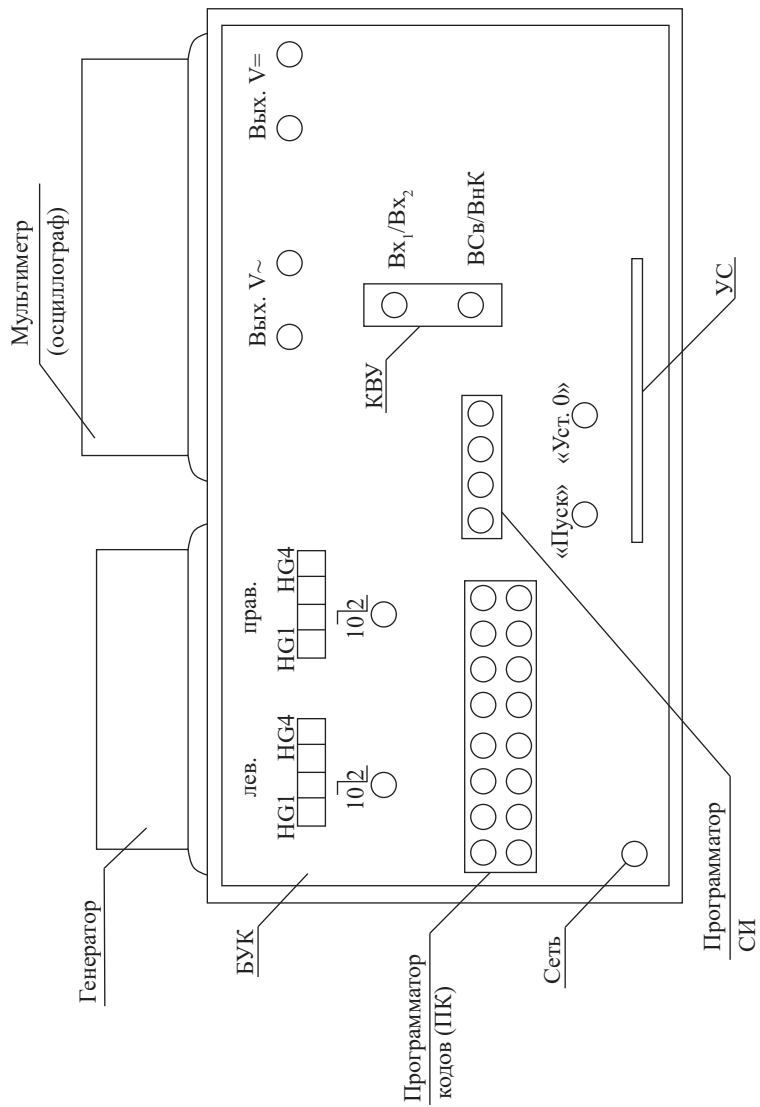


Рис. 91. Внешний вид комплекта лабораторного оборудования по электронной технике типа К32

2.2. Мощность тока, потребляемая комплектом К32 от сети, не более 110 Вт.

2.3. Время установки рабочего режима К32 не более 30 минут.

2.4. К32 допускает продолжительность непрерывной работы до 8 часов.

2.5. Время перерыва до повторного включения не менее 1 часа.

2.6. Комплект К32 обеспечивает проведение комплексных исследований основных функциональных узлов цифровых и аналоговых устройств и микросхем.

2.7. Комплект К32 обеспечивает генерацию сигналов постоянного тока с величинами напряжения 5 В, +15 В, –15 В, –32 В и двух плавно изменяющихся по величине напряжений от –12 до +12 В на выходе двух генераторов напряжений ГН1 и ГН2.

2.8. Комплект К32 обеспечивает генерацию и наблюдение сигналов переменного тока синусоидальной, треугольной и прямоугольной формами и частотой от 100 Гц до 1 МГц. К32 обеспечивает коммутацию и наблюдение двух сигналов переменного тока в диапазоне от 500 Гц до 10 кГц с возможностью изменения амплитуды каждого сигнала и фазы одного синусоидального сигнала относительно другого на величину от 0 до 180°.

2.9. Комплект К32 обеспечивает генерацию 16-разрядного двоичного кода и его световую индикацию.

2.10. Комплект К32 обеспечивает генерацию импульсных сигналов, состоящих из серии импульсов, с количеством импульсов в серии от одного до пятнадцати со световой индикацией их количества в двоичном коде.

2.11. Комплект К32 обеспечивает индикацию на двух четырехразрядных цифровых табло десятичных и двоичных чисел.

2.12. Комплект обеспечивает коммутацию логических сигналов с восьми каналов на входы коммутатора комплекта с индикацией номера канала, подключенного к соответствующему входу коммутатора, а также вывод информации (сигналов) с исследуемого сменного устройства на цифровые табло или на осциллограф.

3. Устройство комплекта К32

3.1. Комплект состоит из блока управления (БУК*), генератора, мультиметра (осциллографа), кассеты и набора сменных устройств (УС).

3.2. Блок управления состоит из передней панели (ПП), программатора серии импульсов (ПСИ), блока цифровой индикации (БЦИ), блока аналоговых сигналов (БАС), блока питания (БП).

Генератор подключается кабелем к гнезду «ВХОД ГС1» на ПП БУК.

Мультиметр (или осциллограф) подключается кабелем к гнездам «ВЫХОД V_{\sim} » и «ВЫХОД $V_{=}$ » БУК.

Вилки шнуров питания генератора и мультиметра вставляются в гнезда «220V 50Hz» на задней панели БУК. Во входной разъем Х4 БУК вставляется печатная плата сменного устройства, помещенная в кассету.

На входной разъем Х4 БУК поступают входные и выходные сигналы. Входные сигналы генерируются программатором серии импульсов, расположенным на передней панели, и генератором ЛЗ1. Выходные сигналы генерируются на печатной плате сменного устройства, поступают на входной разъем Х4 БУК и измеряются с помощью мультиметра (или осциллографа) или индицируются на устройствах индикации, цифровые табло которых расположены в левой верхней части передней панели.

3.3. Органы управления на передней панели БУК объединены в группы согласно их функциональному назначению.

Надписи и обозначения относятся к тому органу управления, у которого они расположены.

Обозначение «А/В» у кнопок означает, что если кнопка не нажата, то выполняется функция А, а если нажата — то выполняется функция В.

3.4. Светодиоды над кнопками служат для индикации срабатывания кнопок — светодиоды светятся при нажатой кнопке (кроме кнопки «ПУСК») и сигнализируют об исправности электрической цепи, которую коммутируют с помощью кнопочного переключателя.

* БУК — блок управления комплектом (экспериментальной установкой).

Кнопка «СЕТЬ» предназначена для подачи в электрические цепи стенда тока напряжением 220 В, частотой 50 Гц (кнопка нажата) и его отключения (кнопка не нажата).

Кнопки под надписью «ПИТАНИЕ V» служат для подключения соответствующих стабилизаторов напряжения к обмоткам трансформатора в блоке питания. Напряжение поступает на стабилизатор при нажатой кнопке. Для получения напряжения –30 В необходимо нажать соответствующую кнопку и кнопку «±15».

Кнопка «ВСв/ВнК» над гнездом «ГС1» служит для подключения гнезда «ВХОД ГС1» к входному разъему стенда или к гнезду «ГС1».

Кнопки под надписью «КОНТРОЛЬ V~» предназначены:

— «ГС1» — для подключения цепи гнезда «ВХОД ГС1» к цепи гнезда «ВЫХОД V~»;

— «ГС2» — для подключения цепи выхода ФВ к гнезду «ВЫХОД V~»;

— «ВХ1» — для подключения первого входа коммутатора к гнезду «ВЫХОД V~»;

— «ВХ2» — для подключения второго входа коммутатора к гнезду «ВЫХОД V~».

Кнопки под надписью «КОНТРОЛЬ V=» предназначены:

— ГН1 — для подключения выхода первого генератора постоянного напряжения к гнезду «ВЫХОД V=»;

— ГН2 — для подключения выхода второго генератора постоянного напряжения к гнезду «ВЫХОД V=»;

— «+5» — для подключения цепи питания 5 В входного разъема Х4 БУК к гнезду «ВЫХОД V=»;

— «+15» — для подключения цепи питания 15 В входного разъема БУК к гнезду «ВЫХОД V=»;

— «–15» — для подключения цепи питания –15 В входного разъема БУК к гнезду «ВЫХОД V=»;

— «–30» — для подключения цепи питания –30 В входного разъема БУК к гнезду «ВЫХОД V=».

Гнездо «ВХОД ГС1» служит для подключения генератора.

Кнопка «ВХ/ВХ2» — для определения соответствующего входа коммутатора, на который подается сигнал с выбранного КПИ1–КПИ8**.

Кнопка «ВСв/ВнК» — для подключения вводов коммутатора КПИ или для подключения аналоговых сигналов, при этом при нажатой кнопке поступают цифровые сигналы с соответствующего КПИ1–КПИ8 со входного разъема БУК, а при ненажатой кнопке — аналоговые сигналы с КПИ9 и КПИ10.

Органы управления и гнезда под надписью «КОММУТАТОР» предназначены:

- левая кнопка «ВСв/ВнК» — для подключения первого входа коммутатора к КПИ10 (кнопка не нажата) или к гнезду «ВХОД 1» (кнопка нажата);

- правая кнопка «ВСв/ВнК» — для подключения второго входа коммутатора к КПИ9 (кнопка не нажата) или к гнезду «ВХОД 1» (кнопка нажата);

- гнездо «ВХОД 1» — для подачи исследуемого сигнала на первый вход коммутатора;

- гнездо «ВХОД 2» — для подачи исследуемого сигнала на второй вход коммутатора.

3.5. Программатор серии импульсов предназначен для генерации пачек импульсов от одного до пятнадцати импульсов в серии с амплитудой от 2,4 до 5 В для коммутации цифровых сигналов, поступающих с плат сменных устройств на выходы коммутатора и для генерации прямоугольных импульсов с амплитудой от 2,4 до 5 В.

3.6. Для генерации серии импульсов необходимо провести коммутацию органов управления на передней панели БУК в следующей последовательности:

- набрать двоичный код количества импульсов в серии нажатием кнопок «2⁰», «2¹», «2²» и «2³», при этом на информационные входы интегральной схемы поступают сигналы «логический ноль» и «логическая единица» в соответствии с кодом;

** КПИ — канал прохождения импульса.

— нажать кнопку «ПУСК», при этом над ней начинает светиться светодиод;

— нажать кнопку «УСТАН 0», при этом светодиод перестает светиться, а программатор серии импульсов готов к работе.

3.7. Для коммутации выходных цифровых сигналов, поступающих по цепям КПИ1–КПИ8, необходимо:

— нажать кнопку «ВСв/ВнК» КВУ (коммутатор внешних устройств) на передней панели, при этом на первом и пятом слева индикаторах начинает светиться запятая;

— нажатием кнопок «2⁰», «2¹», «2²» и «2³» набрать двоичный код номера КПИ;

— нажать кнопку «ПУСК», на первом, если не нажата кнопка «ВХ1/ВХ2» КВУ, или на пятом индикаторе, если нажата кнопка «ВХ1/ВХ2» КВУ, засветится двоичный код номера КПИ, закодированный двоичным кодом посредством кнопок «2⁰», «2¹», «2²» и «2³».

Генерация прямоугольных импульсов осуществляется генератором, собранным на интегральных микросхемах.

3.8. Блок цифровой индикации предназначен для преобразования двоичного кода информации, поступающей с печатных плат сменных устройств, в код семисегментных индикаторов.

БЦИ работает в двух режимах, определяемых положением кнопок 10/2 на передней панели.

Если кнопка нажата, то на соответствующих четырех индикаторах изображается четырехбитная двоичная информация. Каждый бит индуцируется четырьмя нижними сегментами индикатора. Если левая кнопка 10/2 отпущена, то на левых четырех индикаторах изображается десятичная информация двоичного кода. Если правая кнопка 10/2 отпущена, то на правых двух крайних индикаторах изображается десятичная информация двоичного кода.

3.9. Стабилизатор на стабилитронах служит для питания микросхем.

3.10. Усилитель, собранный на микросхеме, служит для изменения амплитуды выходного напряжения фазовращателя.

3.11. Блок питания вырабатывает постоянное напряжение +5 В, +15 В, –15 В, –32 В.

3.12. Источники питания выполнены с защитой от короткого замыкания, в случае срабатывания которой гаснет соответствующий диод под надписью «ПИТАНИЕ». После снятия нагрузки данный источник должен восстановить свои параметры. Если этого не происходит, то необходимо выключить его соответствующей кнопкой и включить повторно через 2–3 минуты.

3.13. В комплекте предусмотрена блокировка питающих напряжений, поступающих на входной разъем Х4 блока управления комплекта. После установки кассеты со сменным устройством в разъем Х4, необходимо завинтить винты блокировки. Напряжение контролировать в гнезде «ВЫХОД=» под надписью «КОНТРОЛЬ V=» при соответствующих нажатиях кнопок «+5 В», «+15 В», «-15 В», «-32 В».

4. Подготовка комплекта К32 к работе

4.1. Вилки шнуров питания генератора и мультиметра (осциллографа) вставить в гнезда 220V, находящиеся на задней стенке блока управления. Заземлить БУК, генератор, мультиметр (осциллограф).

4.2. Вставить кассету со сменным устройством (УС) во входной разъем на передней панели БУК и закрепить ее винтами, расположенными с левой и с правой стороны кассеты.

4.3. Включить тумблеры «СЕТЬ».

4.4. Замену сменных устройств в кассете производить следующим образом:

- вывинтить винты, закрепляющие кассету на передней панели БУК, и вынуть ее из входного разъема;

- вывинтить винты, закрепляющие крышку и сменное устройство, и вынуть его из кассеты;

- вставить в кассету другое сменное устройство и накрыть крышкой, закрепить его винтами.

4.5. Перед проведением лабораторных работ убедиться в наличии на гнезде «КОНТРОЛЬ V=» напряжений ($5\pm 0,25$) В, ($\pm 15\pm 1,5$) В, (-32 ± 1) В.

5. Обозначения на принципиальных схемах

5.1. Н1, Н2, ..., Н16 — номера кнопок программатора кодов, например, Н1 означает первую кнопку программатора, и т. п. При нажатой кнопке на вход исследуемой схемы подается логическая единица («1») непосредственно или через коммутационные дополнительные логические цепи, при ненажатой кнопке на вход исследуемой схемы поступает логический ноль («0»).

5.2. С1, С2 — сигналы, поступающие на вход исследуемой схемы с генератора импульсов (непрерывных прямоугольной формы) или с генератора серии импульсов (ГСИ) с количеством в серии импульсов от одного до пятнадцати. Например, если нужно на вход исследуемой схемы подать серию из пяти импульсов, необходимо нажать и отпустить кнопку «УСТАН 0», набрать на передней панели на ПРОГРАММАТОРЕ СИ цифру «5» в двоичном коде (кнопки «2⁰» и «2²» нажаты) и затем нажать кнопку «ПУСК»; если нужно на вход исследуемой схемы подать всего один импульс, необходимо нажать и отпустить кнопку «УСТАН 0», набрать на передней панели на ПРОГРАММАТОРЕ СИ цифру «1» в двоичном коде (нажата кнопка «2⁰») и нажать кнопку «ПУСК», и т. д. Сигналы с генераторов поступят на входы исследуемой схемы непосредственно или через дополнительные коммутационные логические цепи.

5.3. Q1, Q2, ..., Q32 — выводы информации с исследуемых схем на цифровые табло в двоичном или десятичном кодах. Цифровые табло находятся на передней панели комплекта К32.

5.4. КПИ1, КПИ2, ..., КПИ10 — номера каналов прохождения импульсов. КПИ — это выходы, которые связаны с выходами исследуемой схемы на печатной плате. Для того чтобы подключить к мультиметру или осциллографу необходимый выход исследуемой схемы, соединенный с соответствующим номером канала, например, с шестым, нужно на передней панели под надписью КВУ (коммутатор внешних устройств) нажать кнопку ВСв/ВнК, набрать номер канала «6» в двоичном коде на ПРОГРАММАТОРЕ СИ (кнопки «2²» и «2¹» нажаты), нажать и отпустить кнопку «УСТАН 0», затем нажать кнопку «ПУСК», при этом на экране мультиметра или осциллографа появится исследуемый сигнал. Мультиметр или осциллограф подключается в ВХ1 или ВХ2 (под надписью «КОНТРОЛЬ V~», в зави-

симости от положения кнопки ВХ1/ВХ2 под надписью КВУ (кнопка нажата — мультиметр подключается к ВХ2, не нажата — к ВХ1). Для подключения выхода схемы, соединенного с КПИ9 (девятый канал) необходимо, чтобы правая кнопка ВСв/ВнК под надписью «КОММУТАТОР» была не нажата, для подключения выхода схемы, соединенного с КПИ10 (десятый канал), соответственно, чтобы левая кнопка ВСв/ВнК под надписью «КОММУТАТОР» была не нажата.

5.5. XS1, XS2, ..., XS9 — гнезда на печатных платах сменных устройств предназначены для подключения исследуемых схем к мультиметру или осциллографу.

6. Требования по технике безопасности

6.1. При эксплуатации комплекта К32 необходимо соблюдать правила технической эксплуатации электроустановок потребителей.

6.2. Все работы на комплекте К32 проводить только после надежного его закрепления на столе.

6.3. Винты заземления на корпусах комплекта, мультиметра и генератора соединить контуром заземления изолированными медными проводами сечением не менее 1,5 мм² каждый.

6.4. Включение питания комплекта К32 и выполнение лабораторных работ производить только после разрешения преподавателя.

ОСНОВНЫЕ ЗАКОНЫ И СООТНОШЕНИЯ АЛГЕБРЫ ЛОГИКИ

Основными понятиями, которыми оперирует алгебра логики, являются понятия логической переменной и логической функции.

Логической переменной называется величина, которая может принимать одно из двух значений: «истина» и «ложь». Первое из них обозначается символом «1», другое — «0». Для обозначения этих двух единственно возможных значений применяют и другие символы, например, «Да» и «Нет», и др. В общем виде сами переменные чаще обозначают символами X_1, X_2, \dots

В силу применения символов 1 и 0 логические переменные можно назвать также двоичными переменными.

Логической функцией (общее обозначение Y) называется функция логических переменных (аргументов), которая также может принимать только одно из двух возможных значений: 1 или 0. Значение любой логической функции от N аргументов задается для всех возможных сочетаний (наборов) логических переменных. Количество всех возможных наборов из N аргументов, очевидно, равно 2^N . При этом, поскольку сама функция при каждом наборе может принимать значение 0 или 1, то общее число возможных значений функций от N переменных равно 2^{2^N} .

Множество значений, которые могут принимать как аргументы, так и функции, равно двум. Для этих двух состояний (значений) в булевой алгебре определяются:

— отношение *эквивалентности*, обозначаемое символом **равенства** (=);

— три операции:

а) **логического сложения (дизъюнкции)**, обозначаемого символом +,

б) **логического умножения (конъюнкции)**, обозначаемого символом • или &,

в) **логического отрицания (инверсии)**, обозначаемого символом \bar{X} , где X — символ аргумента или функции.

Предполагается, что при выполнении этих операций будут справедливы постулаты:

$$0 + 0 = 0, \quad 0 \times 0 = 0, \quad \bar{0} = 1,$$

$$0 + 1 = 1, \quad 0 \times 1 = 0, \quad \bar{1} = 0,$$

$$1 + 0 = 1, \quad 1 \times 0 = 0,$$

$$1 + 1 = 1, \quad 1 \times 1 = 1.$$

На основании постулатов можно вывести следующие законы алгебры логики:

а) универсального множества:

$$X + 1 = 1, \quad X \cdot 1 = X; \quad X \cdot X = X$$

б) нулевого множества:

$$X + 0 = X, \quad X \cdot 0 = 0;$$

в) тавтологии (правило повторения):

$$X + X = X, \quad X \cdot X = X;$$

г) двойного отрицания:

$$\bar{\bar{X}} = X;$$

д) дополнительности (правило отрицания):

$$X + \bar{X} = 1, \quad X \cdot \bar{X} = 0;$$

е) коммутативный (переместительный):

$$X_1 \cdot X_2 = X_2 \cdot X_1,$$

$$X_1 + X_2 = X_2 + X_1;$$

ж) ассоциативный (сочетательный):

$$X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3,$$

$$X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3;$$

з) дистрибутивный (распределительный):

$$X_1 \cdot X_2 + X_3 = (X_1 + X_3) \cdot (X_2 + X_3),$$

$$(X_1 + X_2) \cdot X_3 = X_1 \cdot X_3 + X_2 \cdot X_3;$$

и) двойственности (законы де Моргана):

$$\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2},$$

$$\overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2};$$

к) абсорбции (поглощения):

$$X_1 + X_1 \cdot X_2 = X_1,$$

$$X_1 \cdot (X_1 + X_2) = X_1;$$

л) склеивания:

$$X_1 \cdot X_2 + X_1 \cdot \overline{X_2} = X_1,$$

$$(X_1 + X_2) \cdot (X_1 + \overline{X_2}) = X_1.$$

Любая логическая функция Y от N двоичных переменных x_1, x_2, \dots, x_N может быть задана с помощью таблицы. Такие таблицы называются **таблицами истинности**, содержат 2^N строк, в которые записываются все возможные сочетания значений аргументов, а также соответствующее значение функции.

ОГЛАВЛЕНИЕ

Предисловие.....	3
Введение.....	4
1. Базовые элементы транзисторно-транзисторной логики.....	6
1.1. Цифровые интегральные микросхемы (ИМС).....	6
1.2. Логические операции.....	7
1.2.1. Логические функции и логические элементы И, ИЛИ, НЕ.....	7
1.2.2. Базисные логические операции Пирса и Шеффера и логические элементы ИЛИ-НЕ, И-НЕ.....	10
1.2.3. Элементы РАВНОЗНАЧНОСТЬ и СУММАТОР ПО МОДУЛЮ 2.....	13
1.3. Элементная база цифровых устройств.....	19
1.3.1. Логические уровни ТТЛ-микросхем.....	19
1.3.2. Первые логические элементы ТТЛ.....	21
1.3.3. Устройство и принцип действия логического элемента И-НЕ ТТЛ.....	26
1.3.4. Семейства ТТЛ-микросхем.....	30
1.3.5. Правила работы с ЛЭ И-НЕ ТТЛ.....	31
1.3.6. Включение внешнего резистора.....	32
1.3.7. Включение внешнего конденсатора.....	34
1.3.8. Напряжение на выводах ЛЭ.....	35
1.3.9. Соединение ЛЭ между собой.....	37
1.3.10. Логический элемент НЕ в базисе И-НЕ.....	40

1.3.11. Логический элемент И в базисе И-НЕ.....	41
1.3.12. ПОВТОРИТЕЛЬ.....	42
1.3.13. Логический элемент ИЛИ в базисе И-НЕ.....	43
1.3.14. Логический элемент ИЛИ-НЕ в базисе И-НЕ.....	45
1.3.15. Логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ в базисе И-НЕ.....	46
2. Использование логических элементов для построения генераторов прямоугольных импульсов.....	48
2.1. Мультивибратор на инверторах.....	48
2.2. Одновибратор на логических элементах И-НЕ.....	50
2.3. Интегральный одновибратор ИМС К155АГ1.....	52
Лабораторная работа № 1. Исследование элементной базы цифровых логических схем и построение на их основе мультивибраторов и одновибраторов.....	56
3. Триггеры.....	60
3.1. RS-триггеры.....	62
3.2. Временные диаграммы работы RS-триггеров.....	67
3.3. Синхронные RS-триггеры.....	70
3.4. D-триггеры.....	74
3.5. D-триггеры с синхронизацией перепадом напряжений.....	78
3.6. Двухтактный RS-триггер.....	80
3.7. D-триггеры серии К155 в интегральном исполнении.....	81
3.8. Т-триггеры.....	83
3.9. JK-триггер.....	86
3.10. JK-триггер серии К155 в интегральном исполнении.....	92
3.11. Триггер Шмидта.....	94
3.12. Триггеры Шмидта серии К155 в интегральном исполнении.....	96
Лабораторная работа № 2. Исследование триггерных устройств, выполненных на логических элементах интегральных микросхем.....	99
<i>Приложение 1. Описание комплекта лабораторного оборудования по электронной технике типа К32.....</i>	<i>104</i>
<i>Приложение 2. Основные законы и соотношения алгебры логики.....</i>	<i>115</i>

Учебное издание

Осадченко Валерий Харитонович
Волкова Яна Юрьевна
Германенко Александр Викторович
Зеленовский Павел Сергеевич

БАЗОВЫЕ ЭЛЕМЕНТЫ ЦИФРОВОЙ ТЕХНИКИ

Учебно-методическое пособие

Заведующий редакцией	<i>М. А. Овечкина</i>
Редактор	<i>А. А. Макарова</i>
Корректор	<i>А. А. Макарова</i>
Компьютерная верстка	<i>В. К. Матвеев</i>

Подписано в печать 11.09.2018 г. Формат 60 × 84¹/₁₆.
Бумага офсетная. Цифровая печать. Усл. печ. л. 7,0.
Уч.-изд. л. 6,0. Тираж 50 экз. Заказ 194.

Издательство Уральского университета
Редакционно-издательский отдел ИПЦ УрФУ
620083, Екатеринбург, ул. Тургенева, 4
Тел.: +7 (343) 389-94-79, 350-43-28
E-mail: rio.marina.ovechkina@mail.ru

Отпечатано в Издательско-полиграфическом центре УрФУ
620083, Екатеринбург, ул. Тургенева, 4
Тел.: +7 (343) 358-93-06, 350-58-20, 350-90-13
Факс: +7 (343) 358-93-06
<http://print.urfu.ru>

